



Preliminary

adStar

adStar-D8M
adStar-D8MF512
adStar-D16M
adStar-D16MF512

Ver 1.6.7

August 12, 2016

Advanced Digital Chips, Inc.

History

Ver 0.0 Jul. 21, 2011	1st version released
Ver 0.1 Aug. 2, 2011	2nd version released
Ver 0.2 Aug. 5, 2011	3rd version released
Ver 0.2.1 Aug. 16, 2011	Figure 28-1 Package Dimension changed. Figure 2-3 added. Figure 2-2 modified
Ver 0.2.2 Aug. 17, 2011	Pin layout Pin name fixed. Pin definition Pullup/Pulldown description modified
Ver 0.2.3 Aug. 22, 2011	Features: Analog IPs modified. MCPWM/QEI added. Operating Temp. fixed. Block diagram SPM -> SRAM
Ver 0.2.4 Aug. 29, 2011	Timer Wave Output Generation bit added.
Ver 0.2.5 Sep. 15, 2011	Pin diagram fixed. (pin 120) Pin description fixed. (pin 33, 111, 128)
Ver 0.2.6 Sep. 22, 2011	adStar general description updated.
Ver 0.2.7 Oct. 2, 2011	Pinmux Description updated (ex. PA[0] -> P0.0)
Ver 0.2.8 Oct. 4, 2011	Watch dog Register Address fixed. Timer description fixed (8ch->4ch) CRTC Register fixed
Ver 0.2.9 Oct. 21, 2011	ADC Register's address fixed. Flash Mapping Address fixed. SPI Register address fixed. DMA Register address fixed. UART Irda Register added
Ver 0.3.0 Oct. 25, 2011	Pinmux -> Port Alternative Functions (PAF)

Ver 0.3.2 Nov. 2, 2011	ADC Sampling clock description
Ver 0.3.3 Nov. 8, 2011	Wrong description fixed (Alternate function pins, USB PHY control register)
Ver 0.3.5 Nov. 14, 2011	Wrong description fixed (Features, Dedicated PWM pin description, etc.)
Ver 0.3.6 Nov. 15, 2011	Output Compare function removed
Ver 0.3.7 Nov. 16, 2011	Miss typing corrected (Dedicated PWM)
Ver 0.3.8 Nov. 18, 2011	Serial DBG description removed.
Ver 0.3.9 Nov. 21, 2011	PLL Parameter Fin. added. I2S Clock control description added
Ver 0.4.0 Nov. 29, 2011	CRT Controller Resolution fixed. External SRAM Register description fixed ADC Conversion cycle description added
Ver 0.4.1 Nov. 30, 2011	Dedicated PWM function removed
Ver 0.4.2 Dec. 9, 2011	GPIO Block diagram updated. GPIO Schmitt input enable register added Some CRTC registers added. Short name of some INTC registers changed
Ver 0.4.3 Dec. 21, 2011	PWM function added
Ver 0.4.4 Dec. 27, 2011	adStar Block diagram modified CRT -> LCD
Ver 0.4.5 Jan. 3, 2012	TWI Master Receive mode flow chart fixed. Cache write-back removed
Ver 0.4.6 Feb. 7, 2012	Internal SRAM description updated. LDO deleted.
Ver 0.4.7 Feb. 13, 2012	Area information of analog IPs removed. Office information updated.

Ver 0.4.8 Feb. 24, 2012	USB Host: TBD. LDO added. Block diagram updated.
Ver 0.4.9 Feb. 27, 2012	USB Host: TBD -> *TBD, description added
Ver 0.5.0 Mar. 2, 2012	Electrical Characteristic information of Analog IPs not needed removed
Ver 0.5.1 Mar. 15, 2012	PMU Write Enable Register fixed. (Clock Control Off by Halt) PMU Clock Control Register fixed. (WIRQ mode/enable deleted) Flash Register added. (FLSTS2, FLCKDLY)
Ver 0.5.2 Mar. 18, 2012	Power consumption added.
Ver 0.5.3 May. 3, 2012	22.5.5 Mixer Out Register description fixed
Ver 0.5.4 Jul. 17, 2012	TWI Flowchart miss typing fixed
Ver 0.5.5 Sep. 21, 2012	PWM Override Control Register Description fixed.
Ver 0.5.6 Nov. 16, 2012	Power On Start Time added.
Ver 0.5.7 Dec. 17, 2012	Delete Special Event Register of PWM.
Ver 0.5.8 Feb. 7, 2013	Added the flip function at the LCD module
Ver 0.5.9 Jun. 5, 2013	Update Figure 12-2, 12-4
Ver 0.6.0 Nov. 6, 2013	USB PHY D+/D- Pull-down enable bit added.
Ver 0.6.1 Dec. 26, 2013	Corrected the flip command register address of the LCD module
Ver 1.6.1 Feb. 12, 2014	USB host function is available
Ver 1.6.2 Sept. 4, 2014	Added ADC's characteristics
Ver 1.6.4 Nov. 11, 2015	GP6.X SHMIT enable bit configuration is corrected
Ver 1.6.6 july. 7, 2016	gpio register, twi baud rate register setting modify.

Ver 1.6.7
Aug. 12, 2016

Remove trigger option in the ADC operation.

**adStar
Data Book**

© 2013 Advanced Digital Chips, Inc.

All right reserved. No part of this document may be reproduced in any form without written permission from Advanced Digital Chips, Inc.

Advanced Digital Chips, Inc. reserves the right to change in its products or product specification to improve function or design at any time, without notice.

Office

22F, KeumkangPenterium IT Tower A dong, 810, Gwangyang-dong,
Dong-gu, Anyang-si, Gyeonggi-do, 431-060, Korea

Tel : +82-31-463-7500
Fax : +82-31-463-7588
URL : <http://www.adc.co.kr>

CONTENTS

1 Descriptions and Features	17
1.1 General Description	17
1.2 Features	18
2 Block Diagram & Pin Descriptions	20
2.1 Block Diagram	20
2.2 Pin Layout	21
2.3 Pin Definition	23
2.4 Pin Description	29
3 Memory Architecture and Booting mode	32
3.1 Memory Map	32
3.2 Embedded Memories	33
3.2.1 Internal SRAM for Instruction	33
3.2.2 Internal SRAM for Data	33
3.2.3 Internal SRAM Registers	33
3.2.4 Internal SRAM Register Setting	35
3.3 Memory Mapped I/O	35
3.4 Boot Mode	37
3.4.1 Debugger Boot Mode	37
3.4.2 Normal Boot Mode	37
3.4.3 Flash Boot Mode	37
3.4.4 NOR Flash Boot Mode	37
3.4.5 NAND Flash Auto Boot Mode	37
4 System Reset and Clock	38
4.1 Reset	38
4.1.1 System Reset	38
4.1.2 Power On Start Time	38
4.2 Clocks	40
4.3 Power Management Unit Registers	41
4.3.1 PMU Write Enable Register (PMUWREN)	41
4.3.2 Clock Control Register (CLKCON)	42
4.3.3 PLL Control Register (PLLCON)	43
4.3.4 Sound Control Register (SNDCLKCON)	44
4.3.5 AHB Clock Control Register (HCLKCON)	44
4.3.6 APB Clock Control Register (PCLKCON)	45
4.3.7 USB PHY Control Register (USBPHYCON)	45
5 Coprocessor	46
5.1 Features	46
5.2 Coprocessor Description	47
5.3 Coprocessor Control Registers	48
5.3.1 System Coprocessor Status Register (SCPR15)	48
5.3.2 Master Command Register (SCPR15)	48
5.3.3 Supervisor Stack Point Register (SCPR14)	49
5.3.4 User Stack Point Register (SCPR13)	49
5.3.5 Vector Base Register (SCPR12)	49
5.3.6 Invalidate Cache Line and Lock Register (SCPR11)	49
5.3.7 Memory Bank Configuration Register (SCPR9)	50
5.3.8 Sub-Bank Configuration Register (SCPR8)	51
5.3.9 Sub-Bank Address Register (SCPR5)	51

5.3.10	General Access Point Data Register (SCPR4).....	52
5.3.11	General Access Point Index Register (SCPR3)	52
6	Watchdog Timer	54
6.1	Register Description	54
6.1.1	Watchdog Timer Control Register (WDTCTRL).....	54
6.1.2	Watchdog Timer Counter Value Register (WDTCNT).....	54
7	GPIO (General Purpose I/O).....	55
7.1	Features.....	55
7.2	Block Diagram	55
7.3	Function Description.....	56
7.3.1	Port Control.....	56
7.3.2	Port Edge Detect.....	56
7.3.3	Port Alternate Functions.....	56
7.4	Register Description	59
7.4.1	Port Direction Registers (GPxDIR).....	59
7.4.2	Port Direction Output Mode Setting Registers (GPxODIR)	59
7.4.3	Port Direction Input Mode Setting Registers (GPxIDIR)	59
7.4.4	Port Output Data Level Registers (GPxOLEV).....	60
7.4.5	Port Output Data Registers (GPxDOUT)	60
7.4.6	Port Output Data High Level Setting Registers (GPxOHIGH)	60
7.4.7	Port Output Data Low Level Setting Registers (GPxOLOW).....	60
7.4.8	Port Input Data Level Registers (GPxILEV).....	61
7.4.9	Port Pull-up Status Registers (GPxPUS)	61
7.4.10	Port Pull-up Enable Registers (GPxPUEN).....	61
7.4.11	Port Pull-up Disable Registers (GPxPUDIS).....	62
7.4.12	Port Rising Edge Detect Registers (GPxRED)	63
7.4.13	Port Falling Edge Detect Registers (GPxFED)	63
7.4.14	Port Edge Detect Status Registers (GPxEDS)	64
7.4.15	Port Open Drain Mode Control Registers (GPxODM).....	64
7.4.16	Port Schmitt Input Enable Registers (GPxSHMT)	64
7.4.17	Port Pull-down Status Registers (GPxPDS).....	65
7.4.18	Port Pull-down Enable Registers (GPxPDEN)	65
7.4.19	Port Pull-down Disable Registers (GPxPDDIS)	65
8	Interrupt Controller	66
8.1	Features.....	66
8.2	Function Description.....	66
8.2.1	Interrupt Vector and Priority.....	67
8.2.2	External Interrupt (EIRQx)	69
8.2.3	Internal Interrupt Mode.....	69
8.2.4	Interrupt Pending and Interrupt Pending Clear	70
8.2.5	Interrupt Enable	70
8.2.6	Interrupt Mask Set/Clear Register	70
8.3	Register Description	71
8.3.1	Interrupt Pending Clear Register (INTPENDCLR)	71
8.3.2	External Interrupt Mode and External PIN Level Register (EINTMOD)..	71
8.3.3	Internal Interrupt Mode Register (IINTMODn)	72
8.3.4	Interrupt Pending Register (INTPENDn)	73
8.3.5	Interrupt Enable Register (INTENn)	74
8.3.6	Interrupt Mask Status Register (INTMASKn).....	75
8.3.7	Interrupt Mask Set Register (INTMASKSETn).....	75
8.3.8	Interrupt Mask Clear Register (INTMASKCLRn)	76
8.3.9	Programmable Interrupt Priority Enable Register (PIPENR).....	77

8.3.10	Interrupt Priority Vector n Register (IPVRn)	77
9	DMA	78
9.1	Features	78
9.2	Block Description	79
9.3	Function Description	80
9.3.1	DMA Operation	80
9.3.2	Linked List Operation	81
9.3.3	Auto Reload Operation	84
9.3.4	Peripheral Interface	86
9.4	Register Description	89
9.4.1	DMA Interrupt Status (DMAIntStatus)	89
9.4.2	DMA Terminal Count Interrupt Status (DMATCIntStatus)	89
9.4.3	DMA Terminal Count Interrupt Clear (DMATCIntClr)	89
9.4.4	DMA Error Interrupt Status (DMAErrorIntStatus)	89
9.4.5	DMA Error Interrupt Clear (DMAErrorIntClr)	90
9.4.6	DMA Block Interrupt Status (DMABlockIntStatus)	90
9.4.7	DMA Block Interrupt Clear (DMABlockIntClr)	90
9.4.8	DMA Raw Terminal Count Interrupt Status (DMARawTCIntStatus)	90
9.4.9	DMA Raw Error Interrupt Status (DMARawErrorIntStatus)	90
9.4.10	DMA Enabled Channel Status (DMAEnbldChn)	91
9.4.11	DMA Software Burst Request (DMASoftBReq)	91
9.4.12	DMA Software Single Request (DMASoftSReq)	91
9.4.13	DMA Software Last Burst Request (DMASoftLBReq)	91
9.4.14	DMA Software Last Single Request (DMASoftLSReq)	92
9.4.15	Channel Source Address Register (ChnSrcAddr)	92
9.4.16	Channel Destination Address Register (ChnDstAddr)	92
9.4.17	Channel Linked List Item Register (ChnLLI)	93
9.4.18	Channel Control Register (ChnCntrl)	93
9.4.19	Channel Configuration Register (ChnCfg)	95
9.4.20	Channel Source Gather Address Register (ChnSrcGaAddr)	96
9.4.21	Channel Destination Scatter Address Register (ChnDstScaAddr)	97
9.4.22	Channel Auto Reload Count Register (ChnAutoReloadCnt)	97
9.5	Program Guide	98
9.5.1	Summary of Register	98
9.5.2	Programming Sequence	98
9.5.3	Program Consideration	99
10	Flash Memory Controller	100
10.1	Feature	100
10.2	Function Description	100
10.2.1	Flash Mode Register (FLMOD)	100
10.2.2	Flash Baudrate Register (FLBRT)	100
10.2.3	Flash Chip Select High Pulse Width Register (FLCSH)	100
10.2.4	Flash Command Register (FLCMD)	101
10.2.5	Flash Status Register (FLSTS)	101
10.2.6	Flash 2nd Status Register (FLSTS2)	101
10.2.7	Flash Sector/Block Erase Address Register (FLSEA/FLBEA)	101
10.2.8	Flash WIP Check Period Register (FLWCP)	101
10.2.9	Flash Clock Delay Register (FLCKDLY)	101
10.3	Register Description	102
10.3.1	Flash Mode Register (FLMOD)	102
10.3.2	Flash Baudrate Register (FLBRT)	103
10.3.3	Flash Chip Select High Pulse Width Register (FLCSH)	103

10.3.4	Flash Performance Enhance Mode Register (FLPEM).....	103
10.3.5	Flash Command Register (FLCMD).....	103
10.3.6	Flash Status Register (FLSTS).....	103
10.3.7	Flash Sector Erase Address Register (FLSEA).....	103
10.3.8	Flash Block Erase Address Register (FLBEA).....	104
10.3.9	Flash Data Register (FLDAT).....	104
10.3.10	Flash WIP Check Period Register (FLWCP).....	104
10.3.11	Flash Clock Delay Register (FLCKDLY)	104
10.3.12	Flash 2 nd Status Register (FLSTS2).....	104
11	Local Memory Controller	105
11.1	Register Description	105
11.1.1	SDRAM Control Register (MEMCON)	105
11.1.2	SDRAM Clock Delay Register (MEMCLKCON)	105
11.1.3	SDRAM Refresh Control Register (MEMREFCON)	106
12	External SRAM Controller	107
12.1	Function Description.....	107
12.2	Register Description	109
12.2.1	External SRAM_nCS0 Area Control Register (CS0CTRL)	109
12.2.2	External SRAM_nCS[3:1] Area Control Register (CSxCTRL)	110
13	NAND Flash Controller	111
13.1	Features.....	111
13.2	Function Description.....	112
13.3	ECC Operation.....	112
13.4	Register Description	114
13.4.1	NAND Flash Memory Control Register (NFCTRL)	114
13.4.2	NAND Flash Memory Command Set Register (NFCMD)	115
13.4.3	NAND Flash Memory Address Register (NFADR)	115
13.4.4	NAND Flash Memory Data Register (NFDATA)	115
13.4.5	NAND Flash Memory Operation Status Register (NFSTAT).....	115
13.4.6	NAND Flash Memory ECC(Error Correction Code) Register (NFECC).	116
13.4.7	NAND Flash Memory Configuration Register (NFCFG)	117
13.4.8	NAND Flash Memory ECC Code for LSN data (NFECCCL)	118
13.4.9	NAND Flash Memory Error Corrected Data Register (NFECD)	118
13.4.10	NAND Flash Memory Spare Address Register (NFSPADR)	118
13.4.11	NAND Flash Memory MLC ECCn Register (NFECCn)	118
13.4.12	NAND Flash Memory Error Location n Register (NFERRLOCn)	119
13.4.13	NAND Flash Memory Error Pattern n Register (NFERRPTNn).....	119
13.4.14	NAND Flash Memory ID Register (NFMID)	119
14	SD Host controller.....	120
14.1	Features.....	120
14.2	Block Diagram	120
14.3	SD Card Protocol	120
14.4	Register Description	121
14.4.1	SDHC Control Register (SDHCCON).....	121
14.4.2	SDHC Status Register (SDHCSTAT).....	121
14.4.3	SDHC Clock Divide Register (SDHCCD).....	123
14.4.4	SDHC Response Time Out Register (SDHCRT0).....	124
14.4.5	SDHC Read Data Time Out Register (SDHCRD0)	124
14.4.6	SDHC Block Length Register (SDHCBL)	124
14.4.7	SDHC Number of Block Register (SDHCNOB)	124
14.4.8	SDHC Interrupt Enable Register (SDHCIE)	125
14.4.9	SDHC Command Control Register (SDHCCMDCON)	126

14.4.10	SDHC Command Argument Register (SDHCCMDA)	126
14.4.11	SDHC Response FIFO Access Register (SDHCRFA)	127
14.4.12	SDHC Data FIFO Access Register (SDHCDFA)	127
15	USB Device	128
15.1	Features	128
15.2	Register Summary	128
15.2.1	USB Function Address Register	129
15.2.2	USB Power Management Register	129
15.2.3	USB Interrupt Registers	129
15.2.4	USB Interrupt Enable Registers	129
15.2.5	Frame Number Registers	129
15.2.6	Index Register	129
15.2.7	MAXP Register	129
15.2.8	EP0 Control Register	129
15.2.9	IN Control Registers	129
15.2.10	Out Control Registers	129
15.2.11	Out Write Count Registers	129
15.2.12	Endpoint FIFO Access Registers	129
15.3	Register Description	130
15.3.1	USB Function Address Register (USBFA)	130
15.3.2	USB Power Management Register (USBPM)	130
15.3.3	USB Endpoint Interrupt Register (USBEP1)	131
15.3.4	USB Interrupt Register (USBINT)	132
15.3.5	Endpoint Interrupt Enable Register (USBEP1EN)	132
15.3.6	USB Interrupt Enable Register (USBINTEN)	132
15.3.7	USB Low Byte Frame Number Register (USBLBFN)	132
15.3.8	USB High Byte Frame Number Register (USBHBFN)	133
15.3.9	USB Index Register (USBIND)	133
15.3.10	USB MAXP Register (USBMP)	133
15.3.11	USB EP0 Control Register (USBEP0C)	134
15.3.12	USB IN Control 1 Register (USBIC1)	135
15.3.13	USB IN Control 2 Register (USBIC2)	136
15.3.14	USB Out Control Register 1 (USBOC1)	137
15.3.15	USB OUT Control Register 2 (USBOC2)	138
15.3.16	USB Low Byte Out Write Count Register (USBLOWC)	138
15.3.17	USB High Byte Out Write Count Register (USBHBOWC)	138
15.3.18	EP0 FIFO Data Register (USBEP0)	139
15.3.19	EP1 FIFO Data Register (USBEP1)	139
15.3.20	EP2 FIFO Data Register (USBEP2)	139
15.3.21	EP3 FIFO Data Register (USBEP3)	139
15.3.22	EP4 FIFO Data Register (USBEP4)	139
16	LCD Controller	140
16.1	Features	140
16.2	Register Description	140
16.2.1	LCD Base Address Register(LCDBA)	141
16.2.2	LCD Horizontal Total Register(LCDHT)	141
16.2.3	LCD Horizontal Sync. Start / End Register(LCDHS)	141
16.2.4	LCD Horizontal Active Start / End Register(LCDHA)	141
16.2.5	LCD Vertical Total Register(LCDVT)	142
16.2.6	LCD Vertical Sync. Start / End Register(LCDVS)	142
16.2.7	LCD Vertical Active Start / End Register(LCDVA)	142
16.2.8	LCD Display Current X / Y Position Register(LCDXY)	143

16.2.9	LCD Status Register(LCDSTAT).....	143
16.2.10	LCD Control Register(LCDCON).....	143
16.2.11	LCD Overlay & DAC Control Register(LCDOEDAC)	144
16.2.12	LCD VESA Power Management Control Register(LCDPM)	145
16.2.13	LCD Base Address n Register (LCDBARn)	145
16.2.14	LCD Frame Sync. Count Register (LCDFRAMECNT).....	145
16.2.15	LCD Horizontal Width Register (LCDHWIDTH)	145
16.2.16	LCD Flip Control Register (LCDFCTL)	145
17	Timers.....	152
17.1	Features.....	152
17.2	Function Description.....	152
17.2.1	15-bit Pre-scaler with clock source selection	152
17.2.2	Timer/Counter.....	153
17.2.3	Pulse Width Modulation (PWM).....	154
17.2.4	Capture	156
17.3	Register Description	158
17.3.1	Timer Pre-scale Control Registers (TPxCTRL).....	158
17.3.2	Timer Control Registers (TMxCTRL).....	159
17.3.3	Timer Counter / PWM Period Registers (TMxCNT)	160
17.3.4	Capture Counter Registers / PWM Duty Registers (TMxDUT)	160
17.3.5	PWM Pulse Count Registers (TMxPUL).....	160
18	SPI (Serial Peripheral Interface)	161
18.1	Features.....	161
18.2	Block Diagram	161
18.3	Function Description.....	162
18.3.1	SPI Pins.....	162
18.3.2	SPI Operating Modes	163
18.3.3	SCK Phase and Polarity Control.....	164
18.3.4	Data Transfer Timing	164
18.3.5	SPI Serial Clock Baud Rate.....	166
18.3.6	Open-Drain Output for Wired-OR.....	166
18.3.7	Transfer Size and Direction	166
18.3.8	Write Collision.....	166
18.3.9	MODE Fault	166
18.3.10	Interrupt	167
18.4	Register Description	168
18.4.1	SPI Control Register (SPICTRL)	168
18.4.2	SPI Baud Rate Register (SPIBR).....	168
18.4.3	SPI Status Register (SPISTAT).....	169
18.4.4	SPI Data Register (SPIDATA)	169
18.4.5	SPI nSS Control Register (nSSCTRL)	170
18.4.6	SPI Interrupt Mask Register (SPIINT)	170
19	TWI (Two Wired Interface)	171
19.1	Features.....	171
19.2	Block Diagram	171
19.3	Function Description.....	172
19.3.1	DATA TRANSFER FORMAT	172
19.3.2	START AND STOP CONDITION.....	172
19.3.3	ACK SIGNAL TRANSMISSION.....	173
19.3.4	READ-WRITE OPERATION.....	173
19.3.5	BUS ARBITRATION PROCEDURES	174
19.3.6	ABORT CONDITIONS	175

19.3.7	Operational Flow Diagrams	175
19.4	Register Description	180
19.4.1	TWI Control Register (TWICTRL).....	180
19.4.2	TWI Status Register (TWISTAT)	181
19.4.3	TWI Address Register(TWIADR)	182
19.4.4	TWI Data Register (TWIDATA).....	182
19.4.5	TWI Baud-Rate 0 Register (TWIBR0)	182
19.4.6	TWI Baud-Rate 1 Register (TWIBR1)	183
20	UART.....	184
20.1	Features.....	184
20.2	Block Diagram	184
20.3	Function Description.....	185
20.3.1	Serial Data Format	185
20.3.2	UART Baud Rate	187
20.4	Register Summery.....	188
20.5	Register Description	189
20.5.1	UART Channel Receiver Buffer Registers (UxRB).....	189
20.5.2	UART Channel Transmitter Holding Registers (UxTH).....	189
20.5.3	UART Channel Interrupt Enable Registers (UxIE)	189
20.5.4	UART Channel Interrupt Identification Register (UxII)	189
20.5.5	UART Channel FIFO Control Register (UxFC)	190
20.5.6	UART Channel Line Control Register (UxLC)	191
20.5.7	UART Channel Line Status Register (UxLS).....	191
20.5.8	UART Channel Divisor Latch LSB Register (UxDLL)	192
20.5.9	UART Channel Divisor Latch MSB Register (UxDLM).....	192
20.5.10	UART IrDA Mode Register (UxIRM).....	193
21	USB Host Controller.....	194
21.1	Features.....	194
21.2	Operational Registers	194
22	Sound Mixer.....	195
22.1	Features.....	195
22.2	Block Diagram	195
22.3	Low Pass Filter for Digital Modulator	196
22.4	I2S Frequency Control.....	196
22.5	Register Description	197
22.5.1	Mixer Control Register (MIXER_CON).....	197
22.5.2	Mixer Volume Register (MIXER_VOL).....	198
22.5.3	Mixer Buffer Status Register (MIXER_BST)	198
22.5.4	Mixer Data Register (MIXER_DAT)	198
22.5.5	Mixer Out Register (MIXER_OUT)	199
22.5.6	Mixer Interrupt Status Register (MIX_IST)	199
23	ADC Controller	200
23.1	Features.....	200
23.2	Register Description	201
23.2.1	ADC Control Register (ADCCTRL)	201
23.2.2	ADC Data Register (ADCDATA)	201
23.2.3	ADC FIFO Register (ADCFIFO).....	201
23.2.4	ADC Status Register (ADCSTAT)	202
24	PWM (Pulse Width Modulation)	203
24.1	Features.....	203
24.2	Function Description.....	203
24.2.1	Edge Aligned PWM mode	203

24.2.2	Single Event PWM mode.....	204
24.2.3	Center Aligned PWM mode.....	204
24.2.4	Center Aligned PWM with Double Update mode.....	205
24.2.5	Dead Time Control.....	205
24.3	Register Description	206
24.3.1	PWM Mode Register (PWMMOD).....	206
24.3.2	PWM Counter Register (PWMCNT)	206
24.3.3	PWM Period Register (PWMPRD)	206
24.3.4	PWM Control Register (PWMCON)	207
24.3.5	Dead Time Control 0 Register (DTCON0)	207
24.3.6	Dead Time Control 1 Register (DTCON1)	208
24.3.7	Fault A / B Control Register (FLTACON / FLTBCON).....	208
24.3.8	Override Control Register (OVDCON)	209
24.3.9	PWM Duty Register (PWMDUT0~3).....	210
24.3.10	PWM Interrupt Status Register (IRQSTAT)	210
25	Electrical Characteristic	211
25.1	DC Electrical Characteristic.....	211
25.2	Operating Conditions	211
25.3	LDO Electrical Specification.....	212
25.4	POR Electrical Specification.....	213
25.5	PLL Electrical Specification	213
25.6	ADC Electrical Specification	214
25.7	Power Consumption	214
26	Package Dimension	215

FIGURES

FIGURE 2-1 ADSTAR BLOCK DIAGRAM	20
FIGURE 2-2 ADSTAR D8/16MF512 PIN LAYOUT.....	21
FIGURE 2-3 ADSTAR D8/16M PIN LAYOUT.....	22
FIGURE 3-1 MEMORY MAP.....	32
FIGURE 4-1 RESET.....	38
FIGURE 4-2 POWER ON START TIME DIAGRAM.....	39
FIGURE 7-1 GPIO BLOCK DIAGRAM	55
FIGURE 8-1 EXTERNAL INTERRUPT MODE	69
FIGURE 9-1 DMA BLOCK DIAGRAM	79
FIGURE 9-2 DMA TRANSFER HIERARCHY	80
FIGURE 9-3 LINKED LIST	82
FIGURE 9-4 MULTI BLOCK TRANSFER.....	82
FIGURE 9-5 GATHERING BY USING LLI	83
FIGURE 9-6 AUTO RELOAD OPERATION TRANSFER HIERARCHY.....	84
FIGURE 9-7 SCATTER WITH AUTO RELOAD OPERATION.....	85
FIGURE 9-8 GATHER WITH AUTO RELOAD OPERATION.....	86
FIGURE 9-9 DMA HANDSHAKE SIGNALS.....	87
FIGURE 9-10 TIME DIAGRAM OF DMA REQUEST.....	88
FIGURE 12-1 EXTERNAL 8-BIT SRAM MEMORY TIMING DIAGRAM	107
FIGURE 12-2 CONNECTION 8-BIT SRAM MEMORY	107
FIGURE 12-3 EXTERNAL 16-BIT SRAM MEMORY TIMING DIAGRAM	108
FIGURE 12-4 CONNECTION 16-BIT SRAM MEMORY.....	108
FIGURE 13-1 NAND FLASH CONTROLLER BLOCK DIAGRAM	111
FIGURE 13-2 READ/WRITE TIMING DIAGRAM OF NAND FLASH MEMORY	112
FIGURE 14-1 SDHC BLOCK DIAGRAM.....	120
FIGURE 17-1 PRE-SCALER BLOCK DIAGRAM.....	152
FIGURE 17-2 TIMER OPERATION	153
FIGURE 17-3 PWM OPERATION	155
FIGURE 17-4 CAPTURE MODE OPERATION.....	156
FIGURE 18-1 SPI BLOCK DIAGRAM.....	161
FIGURE 18-2 SCK PHASE AND POLARITY	164
FIGURE 18-3 TRANSFER TIMING WHEN CPHA = '0'	165
FIGURE 18-4 TRANSFER TIMING WHEN CPHA = '1'	165
FIGURE 18-5 1-BYTE TRANSFER VS. STATUS AND INTERRUPT	167
FIGURE 18-6 N-BYTES TRANSFER VS. STATUS AND INTERRUPT	167
FIGURE 19-1 TWI BLOCK DIAGRAM.....	171
FIGURE 19-2 TWI-BUS INTERFACE DATA FORMAT	172
FIGURE 19-3 DATA TRANSFER ON THE TWI-BUS	172
FIGURE 19-4 ACKNOWLEDGEMENT OF TWI.....	173
FIGURE 19-5 BUS ARBITRATION 1 OF TWI	174
FIGURE 19-6 BUS ARBITRATION 2	174
FIGURE 19-7 TWI INITIALIZATION FLOW CHAR.....	175
FIGURE 19-8 MASTER TRANSMIT FLOW CHAR.....	176
FIGURE 19-9 MASTER RECEIVE FLOW CHAR	177
FIGURE 19-10 SLAVE MODE FLOW CHART (POLLING).....	178
FIGURE 19-11 SLAVE MODE FLOW CHART (INTERRUPT).....	179
FIGURE 20-1 UART BLOCK DIAGRAM.....	184
FIGURE 20-2 UART LCR REGISTER SETTING AND SERIAL DATA FORMAT	186
FIGURE 22-1 MIXER BLOCK DIAGRAM	195
FIGURE 22-2 LOW PASS FILTER FOR DIGITAL MODULATOR.....	196
FIGURE 22-3 I2S PRE-SCALER	196
FIGURE 24-1 EDGE ALIGNED PWM	203
FIGURE 24-2 SINGLE EVENT PWM	204
FIGURE 24-3 CENTER ALIGNED PWM	204

FIGURE 24-4 CENTER ALIGNED PWM WITH DOUBLE UPDATE 205

FIGURE 24-5 DEAD TIME INSERTION DIAGRAM 205

FIGURE 26-1 PACKAGE DIMENSION 215

Preliminary

TABLES

TABLE 2-1 ADSTAR PIN DEFINITIONS 128-PIN	23
TABLE 3-1 MEMORY MAPPED I/O REGISTER	35
TABLE 5-1 REAL MEMORY MAP	46
TABLE 5-2 COPROCESSOR REGISTER DESCRIPTION	47
TABLE 7-1 INTERNAL PULL-UP RESISTANCE CHARACTERISTICS	56
TABLE 8-1 INTERRUPT VECTOR & PRIORITY	67
TABLE 15-1 ENDPOINT LIST	128
TABLE 15-2 USB CORE REGISTER LIST	128
TABLE 16-1 LCD CONTROLLER REGISTERS TABLE	140
TABLE 16-2 NATIONAL TV SIGNAL STANDARD	146
TABLE 16-3 32 BIT VIDEO DATA SERIALIZATION	149
TABLE 16-4 REGISTERS PROGRAMMING RESOLUTION REFERENCE TABLE FOR LCDC	151
TABLE 18-1 SPI PIN FUNCTIONS	162
TABLE 20-1 UART BAUD RATE	187
TABLE 20-2 UART REGISTER SUMMERY	188
TABLE 20-3 UART INTERRUPT CONTROL FUNCTION	190
TABLE 21-1 USB HOST REGISTERS LIST	194
TABLE 22-1 I2S SAMPLING FREQUENCY(LRCK) AND MCLK CLOCK	196
TABLE 22-2 I2S SAMPLING FREQUENCY AND SERIAL BIT CLOCK	196
TABLE 25-1 I/O DC ELECTRICAL CHARACTERISTIC	211
TABLE 25-2 I/O RECOMMENDED OPERATING CONDITIONS	211
TABLE 25-3 LDO ELECTRICAL SPECIFICATIONS	212
TABLE 25-5 POR SPECIFICATION (UNLESS OTHERWISE SPECIFIED, TOPR=25°C, VDD=1.8V)	213
TABLE 25-6 PLL DC CHARACTERISTICS (UNLESS OTHERWISE SPECIFIED, TOPR=25°C, VDD=1.8V)	213
TABLE 25-7 PLL INPUT FREQUENCY (UNLESS OTHERWISE SPECIFIED, TOPR=25°C, VDD=1.8V)	213
TABLE 25-8 ADC RECOMMENDED OPERATING CONDITIONS	214
TABLE 25-9 ADC DC CHARACTERISTICS (UNLESS OTHERWISE SPECIFIED, TOPR=25°C, VDD=1.8V)	214
TABLE 25-10 ANALOG CHARACTERISTICS	214
TABLE 25-11 POWER CONSUMPTION FROM DIFFERENT CONDITIONS	214

1 DESCRIPTIONS AND FEATURES

1.1 General Description

adStar 는 최대 108MHz 의 빠른 동작 속도를 가진 32 비트 마이크로 컨트롤러이며 특히 칩 내부에 내장되는 메모리가 기존의 플래시 메모리뿐만 아니라 SDRAM 까지 내장되어 다양한 어플리케이션에 적용할 수 있다.

PART NAME	FLASH	SDRAM
adStar-D8M	-	8MB
adStar-D8MF512	512KB	8MB
adStar-D16M	-	16MB
adStar-D16MF512	512KB	16MB

adStar 는 칩 외부에 연결되거나 내부에 내장된 Quad Flash 로 동작하게 된다. Flash 는 프로그램 코드와 데이터 용도로 같이 사용 가능하며, 설정에 의해 Quad 데이터 비트를 사용하여 매우 빠른 접근이 가능하다. 또한 JTAG Programming 을 통하여 빠른 프로그램 다운로드가 가능하다.

CPU 는 프로그램 메모리와 데이터 메모리를 액세스하기 위한 버스를 독립적으로 구현되어 있으며(하버드 구조), 5 단 파이프라인의 EISC 구조로 매우 빠른 명령 처리를 수행한다.

별도의 하드웨어로 구성된 LCD Controller 는 RGB888 또는 RGB565 출력을 지원하며 동급 최대 800x600 의 해상도를 지원하고 Graphic Library 와 JPEG Decoding Library 를 제공함으로써 adStar 칩 하나만으로도 LCD 를 사용하는 스마트 어플리케이션에 최적의 솔루션이 된다.

이 외에 제공되는 MP3 Decoding Library 와 Sound Mixer 는 음성, 효과음, 배경음 등으로 활용할 수 있으며 4 채널 10 비트 ADC(1MSPS)는 센서나 외부 데이터를 활용할 수 있게 한다.

특히 adStar 는 보안적인 측면도 강화를 하여 사용자가 24 비트의 Key 를 최초 한번 Write 하여 Copy Protection 을 구현한다.

또한 외부에 SRAM, FLASH Memory, SD Card 를 확장할 수 있고 특히 NAND FLASH 의 경우 SLC Type 뿐만 아니라 24bit ECC 채용으로 MLC Type 을 사용할 수 있으므로 전체적인 시스템 단가를 낮출 수 있다.

다양한 통신 수단으로는 USB 2.0 Full-Speed Device/Host 5 채널 UART, 2 채널 SPI, 2 채널 I2S, TWI 등을 제공하며 8 채널 DMA 는 보다 빠른 수행을 할 수 있게 한다.

adStar 는 스마트 가전등의 스마트 어플리케이션, LCD 를 사용하여 G.U.I 환경의 공장자동화 시스템, 출입통제 시스템, 스마트 그리드, 사인 패드, 각종 프린터, POS, 바코드 시스템, POP 모니터 등에 적용할 수 있다.

개발 환경으로는 GCC 기반의 컴파일러와 소스 편집 및 다운로드, 디버깅 환경을 제공하는 EISC STUDIO, 레퍼런스 회로도, 각종 Library, 예제 소스 코드를 에이디칩스 홈페이지 자료실에서 아무런 제약없이 다운로드 할 수 있으며, 개발 보드와 다운로드/디버깅 툴인 E-con 은 저렴한 가격에 판매를 하고 있다. 양산 툴로는 조립 전의 칩을 7 개의 소켓이 있는

갱라이터로 WRITE 하는 방법과 칩이 조립된 상태의 타겟 보드의 전원을 이용하여 stand alone 타입의 EISC HANDY 로 하나씩 다운로드하는 방법을 제공한다.

1.2 Features

▣ High-performance, Low-power 32-bit EISC Microprocessor

▣ 32-bit EISC Architecture

- AE32000C-Lucida
- Harvard Architecture
- 5-Stage Pipelining
- 1 Cycle 32bit MAC
- Up to 108MIPS Throughput at 108MHz
- 8KB 2-way Instruction Cache
- 8KB 2-way Data Cache
- JTAG Debugger
 - Core Debugger
 - Bus Debugger

▣ Embedded Memory

- 2KBytes Internal SRAM for Instruction
- 30KBytes Internal SRAM for Data
- 8/16Mbytes SDRAM
- Optional 512KBytes Flash (More than 100,000 erase/program cycles)

▣ External Memory Interface

- 8 or 16-bit data, up to 18-bit addressing SRAM Interface
- 8-bit NAND Flash Interface supports SLC and MLC (4/24-bit ECC) type

▣ Boot Mode

- ROM Booting
- NAND Flash Booting
- Flash Booting

▣ JTAG Interface

- Boundary-scan capabilities
- Extensive On-chip Debug Support
- Programming of Fuses through the JTAG Interface

▣ LCD Controller

- RGB 888 or 565 output
- Supports up to 800 x 600 resolution display in RGB mode

▣ USB 2.0 Full-Speed Device/Host Compatible

- Supports Full-speed Data Rate 12Mbps

▣ Copy Protection

- 24-bit key-protected only-one programmable bits

▣ SD-Card Interface

- Supports single/quad

▣ Sound Mixer

- 2ch. I2S, 2ch Digital Modulator

▣ Other Peripherals

- 32-bit Watchdog Timer

8-ch DMA
Interrupt Controller with 2 External IRQ
4 Channel 16-bit Timer/Counter with 15-bit Pre-scaler, Capture, PWM
5 Channel UART with 16Bytes FIFO, Functionally compatible with the 16550, with 1Channel IrDA
2 Channel Master/Slave SPI with 8Bytes FIFO
Two Wire Interface
Auto ECC NAND Flash Controller: 4-bit/24-bit ECC Support, Auto Booting with ECC Support
75-Port(adStar-D8/16M) or 69-Port(adStar-D8/16MF512) In/Out with open drain mode

▫ **Analog IPs**

10-bit 1MSPS SAR ADC with 4 analog input channels
POR (Power On Reset)
LDO
PLL x 2

▫ **Operating frequency**

Up to 108MHz

▫ **Power**

3.0V to 3.6V

▫ **Operating Temperature**

-40°C / +80°C

▫ **Package**

128ETQFP (14 x 14)

2 BLOCK DIAGRAM & PIN DESCRIPTIONS

2.1 Block Diagram

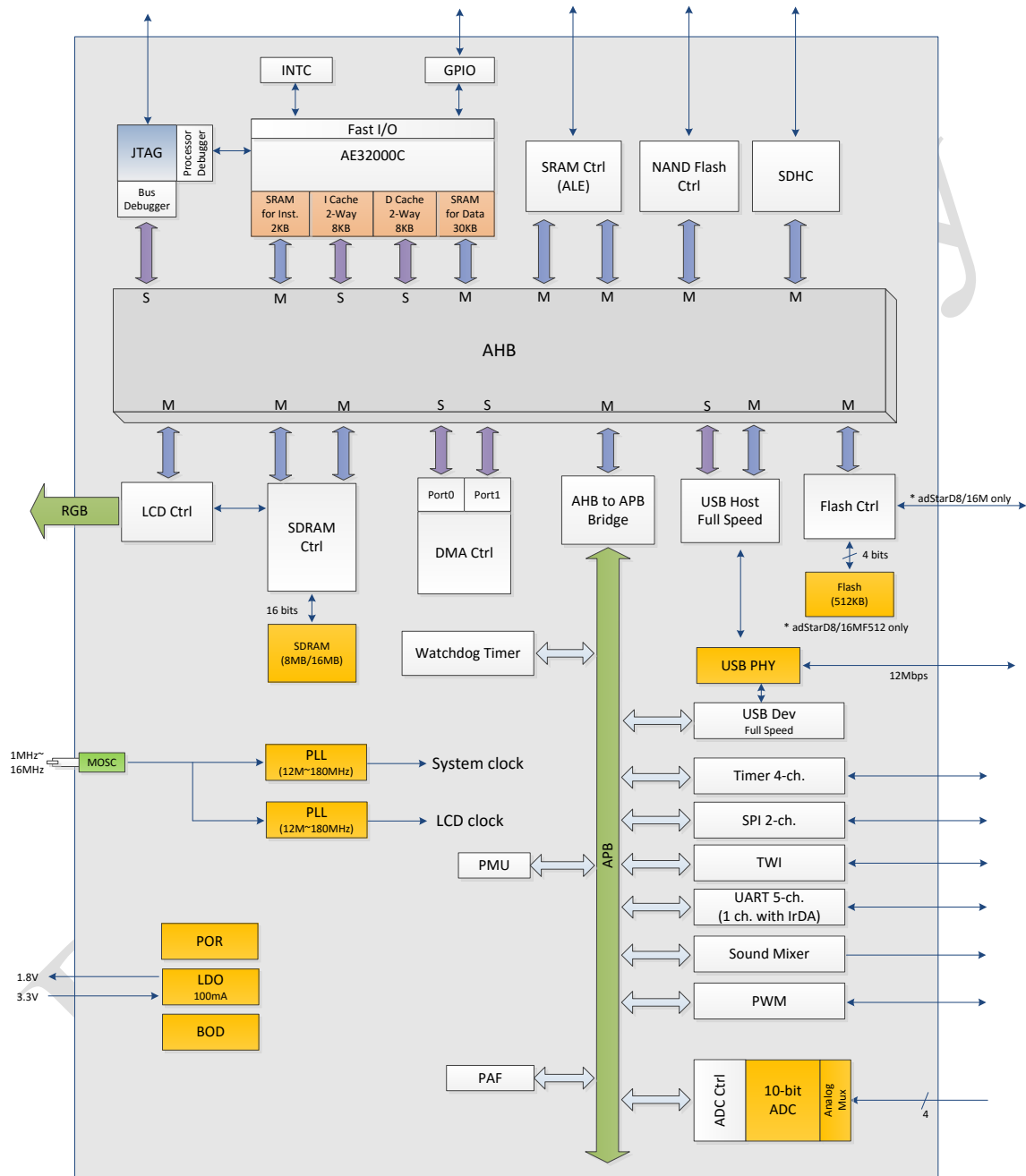


Figure 2-1 adStar Block Diagram

2.2 Pin Layout

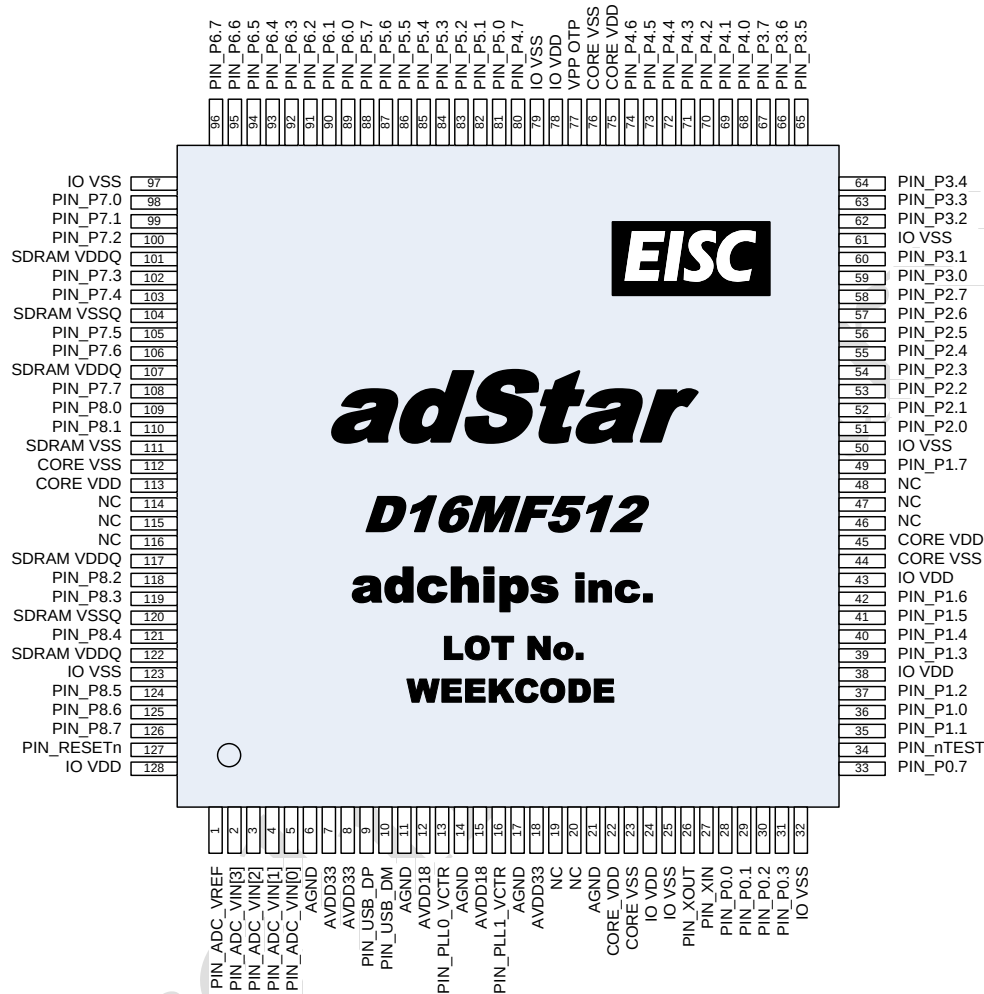


Figure 2-2 adStar D8/16MF512 Pin Layout

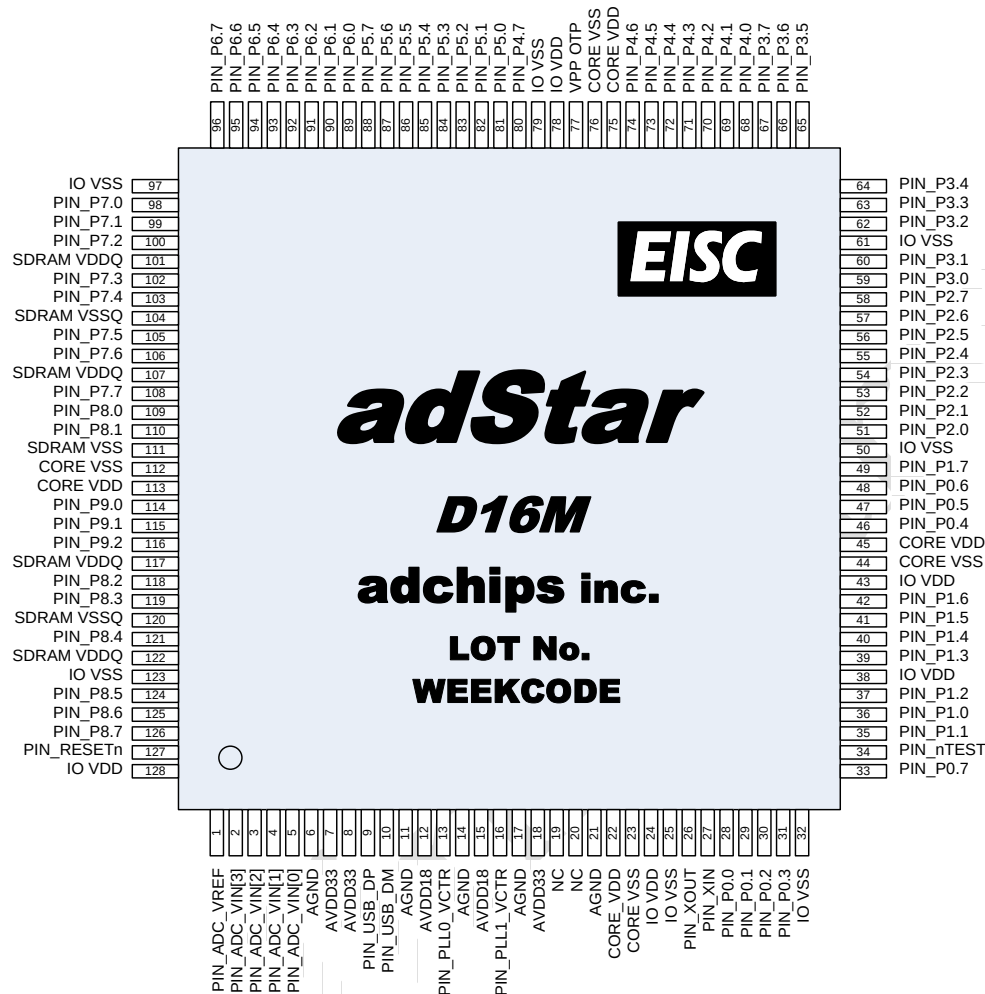


Figure 2-3 adStar D8/16M Pin Layout

2.3 Pin Definition

Table 2-1 adStar Pin Definitions 128-Pin

No.	Port Name	Description.	Type	Output Drive Current	Pull-Up / Pull-Down
1	PIN_ADC_VREF	ADC VREF - Reference Voltage Input Pin	In		
2	PIN_ADC_VIN[3]	ADC VIN 3 - Analog Voltage Input Channel 3	In		
3	PIN_ADC_VIN[2]	ADC VIN 2 - Analog Voltage Input Channel 2	In		
4	PIN_ADC_VIN[1]	ADC VIN 1 - Analog Voltage Input Channel 1	In		
5	PIN_ADC_VIN[0]	ADC VIN 0 - Analog Voltage Input Channel 0	In		
6	AGND	ADC GND - Ground	In		
7	AVDD33	ADC VDD - Positive Power Supply 3.3V	In		
8	AVDD33	USB PHY VDD - Power 3.3V	In		
9	PIN_USB_DP	USB DP - Data+ pin	I/O		
10	PIN_USB_DM	USB DM - Data- pin	I/O		
11	AGND	USB GND - Ground	In		
12	AVDD18	PLL0 VDD - Analog Power Supply 1.8V	In		
13	PIN_PLL0_VCTR	PLL0 VCTR - VCO Control Voltage, corresponding LPF should be connected here	In		
14	AGND	PLL0 GND - Ground	In		
15	AVDD18	PLL1 VDD - Analog Power Supply 1.8V	In		
16	PIN_PLL1_VCTR	PLL1 VCTR - VCO Control Voltage, corresponding LPF should be connected here	In		
17	AGND	PLL1 GND - Ground	In		
18	AVDD33	VDD - Power Supply 3.3V	In		
19	NC	Not Connected			
20	NC	Not Connected			
21	AGND	GND - Ground	In		
22	CORE_VDD	Core VDD - Power Supply 1.8V	In		
23	CORE_VSS	Core GND - Ground	In		
24	IO_VDD	IO VDD - Power Supply 3.3V	In		
25	IO_VSS	IO GND - Ground	In		
26	PIN_XOUT	OSC XOUT - Oscillator XOUT	Out		
27	PIN_XIN	OSC XIN - Oscillator XIN	In		
28	PIN_P0.0	GPIO - General Purpose I/O P0.0 DM0_PWML_P - Sound Channel 2 Digital Modulator PWM Left Channel Positive Output SPI0_CS0 - SPI Channel 0 Chip Select TWI_SCL - TWI Serial Clock Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
29	PIN_P0.1	GPIO - General Purpose I/O P0.1 DM0_PWML_N - Sound Channel 2 Digital Modulator PWM Left Channel Negative Output SPI0_MISO - SPI Channel 0 Master In Slave Out TWI_SDA - TWI Serial Data Input Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
30	PIN_P0.2	GPIO - General Purpose I/O 0.2 DM0_PWMR_P - Sound Channel2 Digital Modulator PWM Right Channel Positive Output SPI0_MOSI - SPI Channel 0 Master Out Slave In SRAM_CS1x - SRAM Bank 1 Chip Select	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
31	PIN_P0.3	GPIO - General Purpose I/O P0.3 DM0_PWMR_N - Sound CH2 Digital Modulator PWM Right Channel Negative Output SPI0_SCK - SPI Channel 0 SCK Clock SRAM_CS2x - SRAM Bank 2 Chip Select	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
32	IO_VSS	IO GND - Ground	In		
33	PIN_P0.7	GPIO - General Purpose I/O P0.7 DM1_PWMR_N - Sound CH3 Digital Modulator PWM Right Channel Negative Output TAP_SEL - TAP Controller Select (BSC or DBG) UART_RX4 - UART Channel 4 RX (IrDA)	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
34	PIN_nTEST	nTEST - Test Mode Enable Pin	In		Up
35	PIN_P1.1	GPIO - General Purpose I/O 1.1 UART_RX0 - UART Channel 0 RX I2S0_SDI - Sound Channel 0 I2S Data Input TWI_SDA - TWI Serial Data Input Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
36	PIN_P1.0	GPIO - General Purpose I/O 1.0 UART_TX0 - UART Channel 0 TX I2S_MCLK - Sound I2S Master Clock TWI_SCL - TWI Serial Clock Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)

37	PIN_P1.2	GPIO - General Purpose I/O 1.2 NF_CSx - NAND Flash Chip Select SRAM_CS1x - SRAM Bank 1 Chip Select	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
38	IO VDD	IO / SDRAM VDD - Power Supply 3.3V	In		
39	PIN_P1.3	GPIO - General Purpose I/O 1.3 NF_ALE - NAND Flash Address Latch Enable SDHC_CMD - SDHC Command SRAM_CS3x - SRAM Bank 3	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
40	PIN_P1.4	GPIO - General Purpose I/O 1.4 NF_CLE - NAND Flash Command Latch Enable SDHC_CLK - SDHC Clock SRAM_BE1x - SRAM Byte Enable [1]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
41	PIN_P1.5	GPIO - General Purpose I/O 1.5 NF_WEx - NAND Flash Write Enable I2S0_SCLK - Sound Channel 0 I2S Bit Clock SRAM_A17 - SRAM Address [17]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
42	PIN_P1.6	GPIO - General Purpose I/O 1.6 NF_REx - NAND Flash Read Enable I2S0_LRLCK - Sound Channel 0 I2S Sample Clock SRAM_A18 - SRAM Address [18]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
43	IO VDD	IO VDD - Power Supply 3.3V	In		
44	CORE VSS	Core GND - Ground	In		
45	CORE VDD	Core VDD - Power Supply 1.8V	In		
46	NC (D16MF512 or D8MF512)	Not Connected.			
	PIN_P0.4 (D16M or D8M)	GPIO - General Purpose I/O 0.4 DM1_PWML_P - Sound Channel 3 Digital Modulator PWM Left Channel Positive Output Flash_CSx - Flash Chip Select CAP_IN1 - Capture Channel 1 Input	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
47	NC (D16MF512 or D8MF512)	Not Connected.			
	PIN_P0.5 (D16M or D8M)	GPIO - General Purpose I/O 0.5 DM1_PWML_N - Sound Channel 3 Digital Modulator PWM Left Channel Negative Output Flash_DQ1 - Flash Data[1] TM_OUT1 - PWM Channel 1 output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
48	NC (D16MF512 or D8MF512)	Not Connected.			
	PIN_P0.6 (D16M or D8M)	GPIO - General Purpose I/O 0.6 DM1_PWML_P - Sound Channel 3 Digital Modulator PWM Right Channel Positive Output Flash_DQ2 - Flash Data[2] UART_TX4 - UART Channel 4 TX (IrDA)	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
49	PIN_P1.7	GPIO - General Purpose I/O 1.7 NF_BUSyX - NAND Flash Busyx I2S0_SDO - Sound Channel 0 I2S Data Output SRAM_WAITx - SRAM Wait Signal Input	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
50	IO VSS	IO GND	In		
51	PIN_P2.0	GPIO - General Purpose I/O 2.0 NF_D0 - NAND Flash Data[0] UART_TX3 - UART Channel 3 TX SRAM_A8/D8 - SRAM Address[8]/Data[8]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
52	PIN_P2.1	GPIO - General Purpose I/O 2.1 NF_D1 - NAND Flash Data[1] UART_RX3 - UART Channel 3 RX SRAM_A9/D9 - SRAM Address[9]/Data[9]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
53	PIN_P2.2	GPIO - General Purpose I/O 2.2 NF_D2 - NAND Flash Data[2] UART_TX4 - UART Channel 4 TX (IrDA) SRAM_A10/D10 - SRAM Address[10]/Data[10]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
54	PIN_P2.3	GPIO - General Purpose I/O 2.3 NF_D3 - NAND Flash Data[3] UART_RX4 - UART Channel 4 RX (IrDA) SRAM_A11/D11 - SRAM Address[11]/Data[11]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
55	PIN_P2.4	GPIO - General Purpose I/O 2.4 NF_D4 - NAND Flash Data[4] SDHC_D0 - SDHC Data[0] SRAM_A12/D12 - SRAM Address[12]/Data[12]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)

56	PIN_P2.5	GPIO - General Purpose I/O 2.5 NF_D5 - NAND Flash Data[5] SDHC_D1 - SDHC Data[1] SRAM_A13/D13 - SRAM Address[13]/Data[13]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
57	PIN_P2.6	GPIO - General Purpose I/O 2.6 NF_D6 - NAND Flash Data[6] SDHC_D2 - SDHC Data[2] SRAM_A14/D14 - SRAM Address[14]/Data[14]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
58	PIN_P2.7	GPIO - General Purpose I/O 2.7 NF_D7 - NAND Flash Data[7] SDHC_D3 - SDHC Data[3] SRAM_A15/D15 - SRAM Address[15]/Data[15]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
59	PIN_P3.0	GPIO - General Purpose I/O 3.0 SRAM_A0/A8/D0 - SRAM Address[0]/Address[8]/Data[0] CAP_IN0 - Capture Channel 0 Input	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
60	PIN_P3.1	GPIO - General Purpose I/O 3.1 SRAM_A1/A9/D1 - SRAM Address[1]/Address[9]/Data[1] TM_OUT0 - PWM Channel 0 Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
61	IO VSS	IO / SDRAM GND - Ground	In		
62	PIN_P3.2	GPIO - General Purpose I/O 3.2 SRAM_A2/A10/D2 - SRAM Address[2]/Address[10]/Data[2] UART_TX3 - UART Channel 3 TX	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
63	PIN_P3.3	GPIO - General Purpose I/O 3.3 SRAM_A3/A11/D3 - SRAM Address[3]/Address[11]/Data[3] UART_RX3 - UART Channel 3 RX	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
64	PIN_P3.4	GPIO - General Purpose I/O 3.4 SRAM_A4/A12/D4 - SRAM Address[4]/Address[12]/Data[4] CAP_IN2 - Capture Channel 2 Input	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
65	PIN_P3.5	GPIO - General Purpose I/O 3.5 SRAM_A5/A13/D5 - SRAM Address[5]/Address[13]/Data[5] TM_OUT2 - PWM Channel 2 Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
66	PIN_P3.6	GPIO - General Purpose I/O 3.6 SRAM_A6/A14/D6 - SRAM Address[6]/Address[14]/Data[6] OHCI_OVC - USB Host Over Current	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
67	PIN_P3.7	GPIO - General Purpose I/O 3.7 SRAM_A7/A15/D7 - SRAM Address[7]/Address[15]/Data[7] OHCI_PPW - USB Host Port Power	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
68	PIN_P4.0	GPIO - General Purpose I/O 4.0 SRAM_A16 - SRAM Address[16] EIRQ0 - External Interrupt Request 0	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
69	PIN_P4.1	GPIO - General Purpose I/O 4.1 SRAM_ALE0 - SRAM Address Latch Enable 0 EIRQ1 - External Interrupt Request 1	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
70	PIN_P4.2	GPIO - General Purpose I/O 4.2 SRAM_ALE1 - SRAM Address Latch Enable 0 UART_TX1 - UART Channel 1 TX	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
71	PIN_P4.3	GPIO - General Purpose I/O 4.3 SRAM_REx - SRAM Read Enable UART_RX1 - UART Channel 1 RX	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
72	PIN_P4.4	GPIO - General Purpose I/O 4.4 SRAM_WEx - SRAM Write Enable TWI_SCL - TWI Serial Clock UART_TX2 - UART Channel 2 TX	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
73	PIN_P4.5	GPIO - General Purpose I/O 4.5 SRAM_CS0x - SRAM Bank 0 Chip Select TWI_SDA - TWI Serial Data UART_RX2 - UART Channel 2 RX	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
74	PIN_P4.6	GPIO - General Purpose I/O 4.6 I2S_MCLK - Sound I2S Master Clock SPI_SCK1 - SPI Channel 1 SCK CAP_IN3 - Capture Channel 3 Input	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
75	CORE VDD	Core VDD - Power Supply 1.8V	In		
76	CORE VSS	Core GND - Ground	In		
77	VPP OTP	OTP VPP - Supply Voltage for Program 6.7V	In		
78	IO VDD	IO VDD - Power Supply 3.3V	In		
79	IO VSS	IO GND - Ground	In		
80	PIN_P4.7	GPIO - General Purpose I/O 4.7	I/O ^[1]	8mA	Controllable

		I2S0_SDI - Sound Channel 0 I2S Data Input SPI_CS1x - SPI Channel 1 Chip Select TM_OUT3 - PWM Channel 3 Output			(Up, Down or Disable)
81	PIN_P5.0	GPIO - General Purpose I/O 5.0 I2S0_SCLK - Sound Channel 0 I2S Bit Clock SPI_MISO1 - SPI Channel 1 Master In Slave Out SRAM_A0 - SRAM Address[0]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
82	PIN_P5.1	GPIO - General Purpose I/O 5.1 I2S0_LRCLK - Sound Channel 0 Sample Clock SPI_MOSI1 - SPI Channel 1 Master Out Slave In SRAM_A1 - SRAM Address[1]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
83	PIN_P5.2	GPIO - General Purpose I/O 5.2 I2S0_SDO - Sound Channel 0 I2S Data Output UART_TX0 - UART Channel 0 TX SRAM_A2 - SRAM Address[2]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
84	PIN_P5.3	GPIO - General Purpose I/O 5.3 CRTC_CLK_IN - CRTC Clock Input UART_RX0 - UART Channel 0 RX SRAM_A3 - SRAM Address[3]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
85	PIN_P5.4	GPIO - General Purpose I/O 5.4 VSYNC - CRTC Vertical Sync. EIRQ0 - External Interrupt Request 0 SRAM_A4 - SRAM Address[3]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
86	PIN_P5.5	GPIO - General Purpose I/O 5.5 HSYNC - CRTC Horizontal Sync. EIRQ1 - External Interrupt Request 1 SRAM_A5 - SRAM Address[5]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
87	PIN_P5.6	GPIO - General Purpose I/O 5.6 DISP_EN - CRTC Display Enable UART_TX1 - UART Channel 1 TX SRAM_A6 - SRAM Address[6]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
88	PIN_P5.7	GPIO - General Purpose I/O 5.7 CRTC_CLK_OUT - CRTC Clock Output UART_RX1 - UART Channel 1 RX SRAM_A7 - SRAM Address[7]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
89	PIN_P6.0	GPIO - General Purpose I/O 6.0 R0 - CRTC Red 0 Output nTRST - JTAG nTRST	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
90	PIN_P6.1	GPIO - General Purpose I/O 6.1 R1 - CRTC Red 1 Output TCK - JTAG TCK	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
91	PIN_P6.2	GPIO - General Purpose I/O 6.2 R2 - CRTC Red 2 Output TDI - JTAG TDI	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
92	PIN_P6.3	GPIO - General Purpose I/O 6.3 R3 - CRTC Red 3 Output SDHC_CMD - SDHC Command I2S1_SCLK - Sound Channel 1 I2S Bit Clock	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
93	PIN_P6.4	GPIO - General Purpose I/O 6.4 R4 - CRTC Red 4 Output SDHC_D0 - SDHC Data[0] I2S1_LRCLK - Sound Channel 1 I2S Sample Clock	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
94	PIN_P6.5	GPIO - General Purpose I/O 6.5 R5 - CRTC Red 5 Output SDHC_D1 - SDHC Data[1] I2S1_SDO - Sound Channel 1 I2S Data Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
95	PIN_P6.6	GPIO - General Purpose I/O 6.6 R6 - CRTC Red 6 Output SDHC_D2 - SDHC Data[2] UART_TX2 - UART Channel 2 TX	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
96	PIN_P6.7	GPIO - General Purpose I/O 6.7 R7 - CRTC Red 7 Output SDHC_D3 - SDHC Data[3] UART_RX2 - UART Channel 2 RX	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
97	IO VSS	IO / SDRAM VSS - Ground	I/O		
98	PIN_P7.0	GPIO - General Purpose I/O 7.0 G0 - CRTC Green 0 Output TMS - JTAG TMS SRAM_CS1x - SRAM Bank 1 Chip Select	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
99	PIN_P7.1	GPIO - General Purpose I/O 7.1 G1 - CRTC Green 1 Output TDO - JTAG TDO SRAM_CS2x - SRAM Bank 2 Chip Select	I/O ^[1]	8mA	Controllable (Up, Down or Disable)

100	PIN_P7.2	GPIO - General Purpose I/O 7.2 G2 - CRTC Green 2 Output SDHC_CLK - SDHC Clock SRAM_A10 - SRAM Address[10]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
101	SDRAM VDDQ	SDRAM VDD - Power Supply 3.3V	In		
102	PIN_P7.3	GPIO - General Purpose I/O 7.3 G3 - CRTC Green 3 Output CFG[0] - Power Configuration[0] SRAM_A11 - SRAM Address[11]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
103	PIN_P7.4	GPIO - General Purpose I/O 7.4 G4 - CRTC Green 4 Output CFG[1] - Power Configuration[1] SRAM_A12 - SRAM Address[12]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
104	SDRAM VSSQ	SDRAM VSS - Ground	In		
105	PIN_P7.5	GPIO - General Purpose I/O 7.5 G5 - CRTC Green 5 Output CFG[2] - Power Configuration[2] SRAM_A13 - SRAM Address[13]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
106	PIN_P7.6	GPIO - General Purpose I/O 7.6 G6 - CRTC Green 6 Output CFG[3] - Power Configuration[3] SRAM_A14 - SRAM Address[14]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
107	SDRAM VDDQ	SDRAM VDD - Power Supply 3.3V	In		
108	PIN_P7.7	GPIO - General Purpose I/O 7.7 G7 - CRTC Green 7 Output CFG[4] - Power Configuration[4] (Not used, Pull-up Only) SRAM_A15 - SRAM Address[15]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
109	PIN_P8.0	GPIO - General Purpose I/O 8.0 B0 - CRTC Blue 0 Output DM0_PWML_P - Sound Channel 2 Digital Modulator PWM Left Channel Positive Output SRAM_A8 - SRAM Address[8]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
110	PIN_P8.1	GPIO - General Purpose I/O 8.1 B1 - CRTC Blue 1 Output DM0_PWML_N - Sound Channel 2 Digital Modulator PWM Left Channel Negative Output SRAM_A9 - SRAM Address[9]	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
111	SDRAM VSS	SDRAM VSS - Ground	In		
112	CORE VSS	Core GND - Ground	In		
113	CORE VDD	Core VDD - Power Supply 1.8V	In		
114	NC (D16MF512 or D8MF512)	Not Connected.			
	PIN_P9.0 (D16M or D8M)	GPIO - General Purpose I/O 9.0 I2S1_SCLK - Sound Channel 1 I2S Bit Clock Flash_DQ0 - Flash Data[0] CAP_IN0 - Capture Channel 0 Input	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
115	NC (D16MF512 or D8MF512)	Not Connected.			
	PIN_P9.1 (D16M or D8M)	GPIO - General Purpose I/O 9.1 I2S1_LRCLK - Sound Channel 1 I2S Sample Clock Flash_CLK - Flash Clock TM_OUT0 - PWM Channel 0 Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
116	NC (D16MF512 or D8MF512)	Not Connected.			
	PIN_P9.2 (D16M or D8M)	GPIO - General Purpose I/O 9.2 I2S1_SDO - Sound Channel 1 I2S Data Output Flash_DQ3 - Flash Data[3] SRAM_CS3x - SRAM Bank 3 Chips Select	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
117	SDRAM VDDQ	SDRAM VDD - Power Supply 3.3V	In		
118	PIN_P8.2	GPIO - General Purpose I/O 8.2 B2 - CRTC Blue 2 Output DM0_PWM_R_P - Sound Channel 2 Digital Modulator PWM Right Channel Positive Output CAP_IN1 - Capture Channel 1 Input	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
119	PIN_P8.3	GPIO - General Purpose I/O 8.3 B3 - CRTC Blue 3 Output DM0_PWM_R_N - Sound Channel 2 Digital Modulator PWM Right Channel Negative Output TM_OUT1 - PWM Channel 1 Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)

120	SDRAM VSSQ	SDRAM VSS - Ground	In		
121	PIN_P8.4	GPIO - General Purpose I/O 8.4 B4 - CRTC Blue 4 Output DM1_PWML_P - Sound Channel 3 Digital Modulator PWM Left Channel Positive Output CAP_IN2 - Capture Channel 2 Input	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
122	SDRAM VDDQ	SDRAM VDD - Power Supply 3.3V	In		
123	IO VSS	IO / SDRAM VSS - Ground	In		
124	PIN_P8.5	GPIO - General Purpose I/O 8.5 B5 - CRTC Blue 5 Output DM1_PWML_N - Sound Channel 3 Digital Modulator PWM Left Channel Negative Output TM_OUT2 - PWM Channel 2 Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
125	PIN_P8.6	GPIO - General Purpose I/O 8.6 B6 - CRTC Blue 6 Output DM1_PWML_P - Sound Channel 3 Digital Modulator PWM Right Channel Positive Output CAP_IN3 - Capture Channel 3 Input	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
126	PIN_P8.7	GPIO - General Purpose I/O 8.7 B7 - CRTC Blue 7 Output DM1_PWML_N - Sound Channel 3 Digital Modulator PWM Right Channel Negative Output TM_OUT3 - PWM Channel 3 Output	I/O ^[1]	8mA	Controllable (Up, Down or Disable)
127	PIN_nRESET	Reset - adStar Reset pin	In		Up
128	IO VDD	IO / SDRAM VDD - Power Supply 3.3V	In		

[1] 5 V tolerant pad providing digital I/O functions with configurable pull-up/pull-down resistors.

2.4 Pin Description

AVDD33, IO VDD, SDRAM VDD, SDRAM VDDQ : 3.3V Supply voltage

AVDD18, Core VDD : 1.8V Supply voltage

AGND, IO VSS, Core VSS, SDRAM VSSQ : Ground

VPP OTP : 6.5V Supply voltage for OTP Program

PIN_nTEST : Chip Test pin (Low active)

Chip test를 위한 핀이다.

이 핀이 0이면 PinMux 설정과 관계없이 PIN_P6.0~2와 PIN_P7.0~1은 JTAG Interface 핀으로, PIN_P0.7은 TAP_SEL핀으로 고정된다.

TAP_SEL : TAP Controller Select

칩 내부에 들어있는 JTAG Debugger TAP Controller나 Boundary Scan TAP Controller를 선택한다.

이 핀이 1이면, JTAG Debugger TAP Controller를, 0이면 Boundary Scan TAP Controller를 선택하게 된다.

CFG[4:0] : Booting Mode Select ([3.4 Boot Mode](#) 참고)

Flash Booting, NOR Flash/ROM Booting, NAND Flash Booting등을 선택할 수 있다.

PIN_ADC_VREF : VIN과 비교할 reference voltage input pin

PIN_ADC_VIN[3:0] : 디지털 값으로 변환할 아날로그 전압 레벨 입력 채널

USB Pins: USB Device와 Host가 공유. ([4.3.7 USB PHY Control Register](#) 참고)

PIN_USB_DP : USB Data+ I/O

PIN_USB_DM : USB Data- I/O

GPIO : General Purpose I/O ([7 GPIO](#) 참고)

EIRQ0, EIRQ1 : External Interrupt Request Input Pins ([8 Interrupt Controller](#) 참고)

외부에서 인터럽트를 요청해야 할 경우 사용.

Flash ([10 Flash Memory Controller](#) 참고)

Flash_CSx : Flash Chip Select

Flash_CLK : Flash Clock

Flash_D[3:0] : Flash Data I/O. Flash에 Command, Address를 write하는데 사용되며, Data를 Write/Read하는 용도로 사용.

External SRAM : 4개의 Bank 지원. ([12 External SRAM Controller](#) 참고)

Bank0는 부팅용이며, 8-bit data width only.

SRAM_CS0x : 부팅용으로 사용 가능한 ROM이나 NOR Flash의 Chip Select

SRAM_CS1x, SRAM_CS2x, SRAM_CS3x : SRAM Chips Select

SRAM_A[7:0]/A[15:8]/D[7:0] : SRAM Controller의 설정이 8-bit bus width이고, ALE Enable인 경우, SRAM_ALE[1]이 1일 때 address[15:8], SRAM_ALE[0]이 1일 때 address[7:0]이 출력되며, 그 외 구간에서 data[7:0]를 출력한다. ([Figure 12-1](#) 참고) 동일한 설정에서 bus width만 16-bit인 경우, address[15:8]은 출력 구간은 없어진다. ([Figure 12-3](#) 참고)

SRAM_A[15:8]/D[15:8] : SRAM Controller의 설정이 16-bit bus width이고, ALE Enable인 경우, SRAM_ALE[1]이 1일 때 address[15:8], 그 외 구간에서 data[15:8]를 출력한다. ([Figure](#)

[12-3](#) 참고)

SRAM_A[18:16] : SRAM Address[18:16]을 출력

SRAM_ALE[1:0] : SRAM Address Latch Enable. ALE Enable인 경우, SRAM Data pin으로 address를 출력하게 된다. ALE[1]이 1일 때 Address[15:8]이, ALE[0]이 1일 때 Address[7:0]이 출력된다.

SRAM_BE1x : SRAM Byte Enable[1]. 16-bit width일 경우, 상위 8-bit 데이터를 접근하기 위한 Enable 신호.

SRAM_WEx : SRAM Write Enable.

SRAM_REx : SRAM Read Enable.

SRAM_WAITx : SRAM Wait 신호. Default disable. SRAM에서 지원할 경우 사용.

NAND Flash ([13 NAND Flash Controller](#) 참고)

NF_CSx : NAND Flash Chips Select. NAND Flash를 활성화할 때 사용

NF_ALE : NAND Flash Address Latch Enable. NAND Flash에 address를 전송할 때 사용

NF_CLE : NAND Flash Command Latch Enable. NAND Flash에 command를 전송할 때 사용

NF_WEx : NAND Flash Write Enable. NAND Flash에 data를 저장할 때 사용

NF_REx : NAND Flash Read Enable. NAND Flash에서 data를 읽을 때 사용

NF_BUSYx : NAND Flash Busy signal input pin. NAND Flash가 Busy상태일 때 0.

NF_D[7:0] : NAND Flash 8-bit Data I/O.

SDHC ([14 SD Host Controller](#) 참고)

SDHC_CLK : SDHC Clock

SDHC_CMD : SDHC Command

SDHC_D[3:0] : SDHC Data I/O

CRTC : RGB 888 출력. 1024x768 지원 ([16 CRTC Controller](#) 참고)

CRTC_CLK_IN : CRTC에서 사용할 Clock Input

VSYNC : 수직 동기 신호

HSYNC : 수평 동기 신호

DISP_EN : Display Enable

CRTC_CLK_OUT : CRTC Clock Output

R[7:0] : Red Output 8-bit

G[7:0] : Green Output 8-bit

B[7:0] : Blue Output 8-bit

PWM/Capture : 4 channels. ([17 Timer](#) 참고)

TM_OUT0, TM_OUT1, TM_OUT2, TM_OUT3 : PWM Output.

CAP_IN0, CAP_IN1, CAP_IN2, CAP_IN3

: Capture Input. 외부 신호의 주기나 펄스 폭을 측정하기 위한 입력 핀

SPI : 2 channels. ([18 SPI](#) 참고)

SPI0_CS_n, SPI1_CS_n : SPI Chip select signal

SPI0_SCK, SPI1_SCK : SPI Clock pin

SPI0_MISO, SPI1_MISO : SPI가 Master일 때 Data input, Slave일 때 Data output으로 사용

SPI0_MOSI, SPI1_MOSI : SPI가 Master일 때 Data output, Slave일 때 Data input으로 사용

TWI ([19 TWI](#) 참고)

TWI_SCL : TWI Serial Clock

TWI_SDA : TWI Serial Data

UART : 5 channels. ([20 UART](#) 참고)

Channel 0~3은 UART only. Channel 4는 UART에 IrDA를 지원.

UART_RX0, UART_RX1, UART_RX2, UART_RX3 : UART RX

UART_TX0, UART_TX1, UART_TX2, UART_TX3 : UART TX

UART_RX4 : UART RX with IrDA supported

UART_TX4 : UART TX with IrDA supported

Sound Mixer : I2S 2 channels, Digital Modulator 2 channels. ([22 Sound Mixer](#) 참고)

I2S_MCLK : I2S Master Clock

I2S0_SDI : I2S Data input pin. 외부로부터 데이터를 입력받을 때 사용. Channel 0 only.

I2S0_SCLK, I2S1_SCLK : I2S Bit Clock

I2S0_LRCLK, I2S1_LRCLK : I2S Sample Clock. Left data와 Right data를 구분하는 용도.

I2S0_SDO, I2S1_SDO : I2S Data output pin

DM0_PWML_P, DM0_PWML_N, DM0_PWMR_P, DM0_PWMR_N,

DM1_PWML_P, DM1_PWML_N, DM1_PWMR_P, DM1_PWMR_N

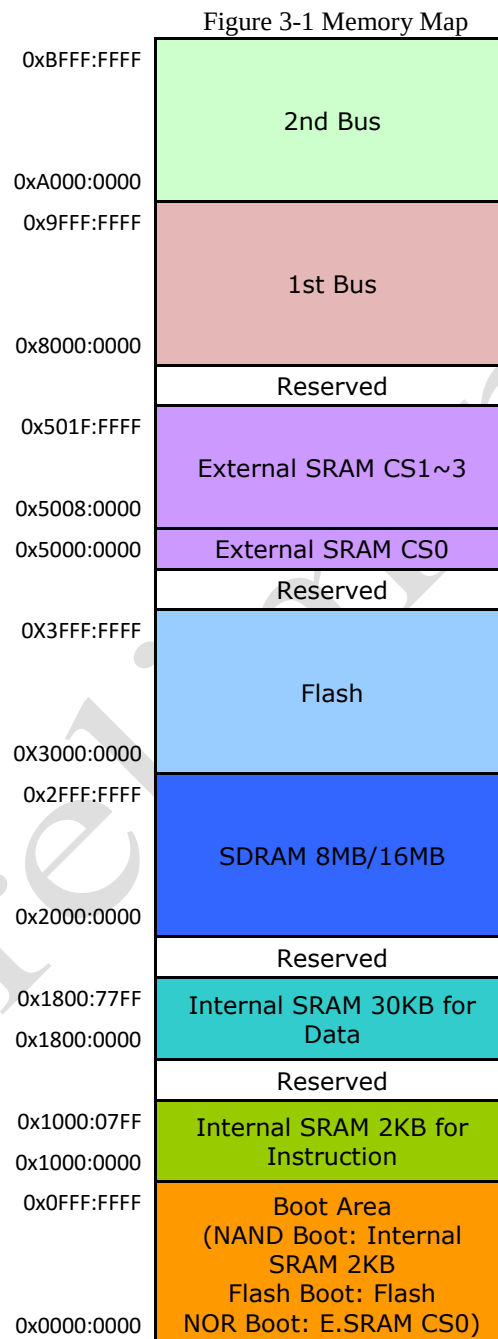
: Sound Mixer Digital Modulator PWM 출력.

Sound Mixer의 Channel 2, 3에 할당. 각 채널마다 Left와 Right 출력이 하나씩 존재하며, 각각 Positive, Negative 출력으로 다시 나뉘어져 한 채널에 총 4개의 신호로 출력된다.

3 MEMORY ARCHITECTURE AND BOOTING MODE

3.1 Memory Map

메모리 영역은 아래의 표와 같이 할당되어 있다.



3.2 Embedded Memories

2KB Internal SRAM for Instruction
30KB Internal SRAM for Data

3.2.1 Internal SRAM for Instruction

adStar는 Instruction을 위한 2KB SRAM 메모리가 내장되어 있다. 명령어 또는 데이터를 저장하는 용도로 사용할 수 있으며 주로 명령어를 저장하게 된다. 명령어를 읽는 경우 1cycle 접근이 가능하며 데이터를 읽는 경우는 3 cycle 이 소요된다.

3.2.2 Internal SRAM for Data

adStar는 Data를 위한 30KB SRAM 메모리가 내장되어 있다. 주로 데이터를 저장하는 데 사용되며, 데이터를 읽는 경우 1cycle 접근이 가능하다.

3.2.3 Internal SRAM Registers

Internal SRAM 전체를 관장하는 1개의 Global Control Register를 갖는다. 또한 Internal SRAM은 내부에 여러 개의 Bank로 구성될 수 있으므로 Global Register의 Configuration에 의해 결정되는 Bank 개수만큼 Local Register Set을 갖는다. Local Register Set는 다음과 같은 3개의 32bit Register로 구성된다.

- Local Internal SRAM Control Register
- Local Internal SRAM Start Address
- Local Internal SRAM End Address

Internal SRAM Global Control Register

Address : 0x700 – Global Control Register

Bit	R/W	Description	Default
31 : 28	R	Exception Status 4'b0001 : DATA Access Violation 4'b0010 : Instruction Access Violation	0h
27 : 24	R	Reserved	0h
23 : 20	R	iBank Size: iSRAM에서 각 bank의 physical Memory 크기 4'h0 : 1 KB 4'h1 : 2 KB 4'h2 : 4 KB 4'h3 : 8 KB 4'h4 : 16 KB 4'h5 : 32 KB 4'h6 : 64 KB 4'h7 : 128 KB	

19 : 16	R/W	iSRAM Configuration 4'h0 : 사용자에게 1개의 메모리 덩어리로 보임 4'h1 : Reserved 4'h2 : 사용자에게 4개의 메모리 덩어리로 보임 (4개 를 넘는 경우는 현재 구현되어 있지 않음)	0h
15 : 12	R	iSRAM Enable 4'b0001 : SRAM Enable 4'b0000 : SRAM Disable	0h
11 : 8	R	dBank Size: dSRAM에서 각 bank의 physical Memory 크기 4'h0 : 1 KB 4'h1 : 2 KB 4'h2 : 4 KB 4'h3 : 8 KB 4'h4 : 16 KB 4'h5 : 32 KB 4'h6 : 64 KB 4'h7 : 128 KB	
7 : 4	R/W	dSRAM Configuration 4'h0 : 사용자에게 1개의 메모리 덩어리로 보임 4'h1 : Reserved 4'h2 : 사용자에게 4개의 메모리 덩어리로 보임 (4개 를 넘는 경우는 현재 구현되어 있지 않음)	0h
3 : 0	R	dSRAM Enable 4'b0001 : SRAM Enable 4'b0000 : SRAM Disable	0h

Internal SRAM Local Control Register

Address : 0x701, 0x711, 0x721, 0x731 – Local iSRAM Control Register

Address : 0x704, 0x714, 0x724, 0x734 – Local dSRAM Control Register

Bit	R/W	Description	Default
31 : 12	R	Reserved	0h
11 : 8	R	External Access: BUS 접근 권한 4'h0 : External Access Not Support 4'h1 : External Access Support	
7 : 4	R/W	Priviedge Mode: 사용자 권한 4'h0 : Supervisor only Access 4'h1 : Supervisor/User Access	0h

3 : 0	R	Enable 4'b0001 : Local SRAM Enable 4'b0000 : Local SRAM Disable	0h
-------	---	---	----

Internal SRAM Local Start Address Register

Address : 0x702, 0x712, 0x722, 0x732 – Local iSRAM Start Register

Address : 0x705, 0x715, 0x725, 0x735 – Local dSRAM Start Register

Bit	R/W	Description	Default
31 : 0	R/W	SRAM Start Address	0h

Internal SRAM Local End Address Register

ADDRESS : 0x703, 0x713, 0x723, 0x733 – Local iSRAM End Register

ADDRESS : 0x706, 0x716, 0x726, 0x736 – Local dSRAM End Register

Bit	R/W	Description	Default
31 : 0	R/W	SRAM End Address	0h

3.2.4 Internal SRAM Register Setting

Internal SRAM 레지스터의 설정은 GAP를 이용하기 때문에 co-processor 레지스터 접근 명령어인 MVTC와 MVFC를 사용하게 된다.

예제.

```

#####
/// Internal SRAM Global Register Setting
#####
asm(" ldi 0x700,      %r0");
asm(" mvtc 0x0,      %r3");
asm(" ldi 0x00021021, %r0"); //ON //Num of Memory Bank: 4
asm(" mvtc 0x0,      %r4");

```

3.3 Memory Mapped I/O

Register 영역은 8000_0000h부터 존재하며 각 기능 Block당 1Kbyte씩 할당 되어 있다. Memory mapped I/O의 형태로 자세한 내용은 아래와 같다.

Table 3-1 Memory Mapped I/O Register

Offset Address	Block	BUS	Remark
0x8000_0000	Flash Controller	1 st AHB	
0x8000_0400	SDRAM Controller		
0x8000_0800	External SRAM Controller		
0x8000_0C00	Reserved		
0x8000_1000	Reserved		
0x8000_1400	DMA Controller		
0x8002_0000	Watchdog Timer	1 st APB	
0x8002_0400	Timer		4 Channels
0x8002_0800	UART (5th ch. IrDA)		5 Channels
0x8002_0C00 ~0x8002_17FF	Reserved		
0x8002_1800	TWI		

0x8002_1C00 ~0x8002_23FF	Reserved		
0x8002_2400	CRTC		
0x8002_2800 ~0x8002_33FF	Reserved		
0x8002_3400	Port Alternate Functions		
0x8002_3800	OTP Controller		
0x8002_3C00	PMU		
0x8003_0000 ~0x8003_FFFF	Reserved		
Offset Address	Block	BUS	Remark
0xA000_0000	USB Host	2 st AHB	
0xA000_0400 ~0xA000_0BFF	Reserved		
0xA000_0C00	NAND Flash Controller		
0xA000_1000	SDHC		
0xA000_1400	Reserved		
0xA000_1800	USB Device		
0xA002_1000	SPI 0	2 st APB	
0xA002_1400	SPI 1		
0xA002_1800	Reserved		
0xA002_1C00	Sound Mixer		
0xA002_2000 ~0xA002_37FF	Reserved		
0xA002_3800	ADC Controller		10-bit ADC
0xA002_3C00	Reserved		
0xA003_0000 ~0xA003_FFFF	Reserved		

3.4 Boot Mode

3.4.1 Debugger Boot Mode

CFG[0]=0 인 경우에 Debugger mode로 부팅된다. 이 모드에서는 CPU는 정지상태에 놓여 있으며 사용자가 JTAG Debugger를 통하여 CPU의 프로그램 수행동작을 제어하게 된다.

3.4.2 Normal Boot Mode

CFG[0]=1 인 경우에 Normal mode로 부팅된다. 이 모드에서 CPU는 일반적인 프로그램 수행동작을 진행한다.

3.4.3 Flash Boot Mode

CFG[3:1]=001 인 경우에 Flash로 부팅된다. 이 모드에서는 CPU가 Flash에 저장된 프로그램을 수행하게 된다.

3.4.4 NOR Flash Boot Mode

CFG[3:1]=000 인 경우에 8-bit NOR Flash로 부팅된다. 이 모드에서는 CPU가 NOR Flash에 저장된 프로그램을 수행하게 된다.

3.4.5 NAND Flash Auto Boot Mode

CFG[3:1] 이 000이나 001이 아닌 경우에 NAND Flash로 부팅된다. 이 모드에서는 최초 NAND Flash의 부트코드가 내부 2KB 크기의 Internal SRAM에 복사가 되며, 복사가 끝나면 CPU가 복사된 프로그램을 수행하게 된다.

CFG[3:1]	NAND Boot Mode	NAND Flash Type
100	Small type 3-Cycle	NAND Flash Small type Address 3 cycles
101	Small type 4-Cycle	NAND Flash Small type Address 4 cycles
110	Large type 4-Cycle	NAND Flash Large type Address 4 cycles
111	Large type 5-Cycle	NAND Flash Large type Address 5 cycles
010	MLC 4-Bit ECC	NAND Flash MLC type 4-bit ECC
011	MLC 24-Bit ECC	NAND Flash MLC type 24-bit ECC

4 SYSTEM RESET AND CLOCK

4.1 Reset

Reset controller는 External Reset, JTAG Reset 그리고 Watchdog Reset으로 구성되어 있다. 아래 그림에 전체 Reset들이 표시 되어 있다.

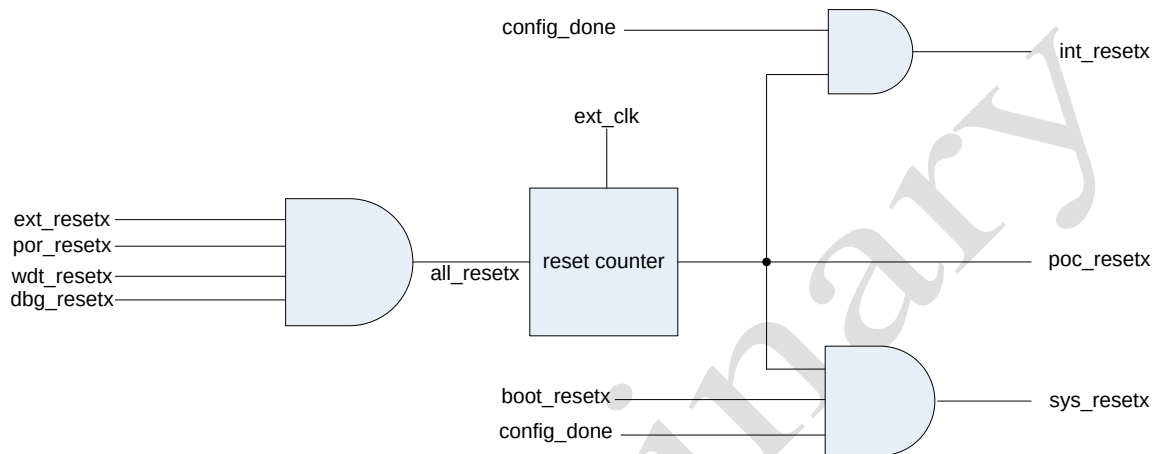


Figure 4-1 Reset

4.1.1 System Reset

System Reset은 다음과 같은 사항에서 발생한다.

1. External Reset
2. JTAG Reset
3. Watchdog Reset
4. POR Reset

4.1.2 Power On Start Time

VDD33에 3.3V전원이 인가 되고, 내부 LDO출력을 통해 VDD18에 1.8V가 안정적으로 인가되면, POR Reset이 release된다. 이 때, External Reset이 release되면, External Clock으로 동작하는 Startup 회로가 동작하게 된다. 이 Startup 회로는 Xin이 안정화되기 전의 오동작을 방지하며, 내부 logic에 동시에 system reset을 release시켜준다. System reset은 POR Reset과 External Reset이 release되고 Xin clock 기준 1024-cycle이 지난 후 release된다.

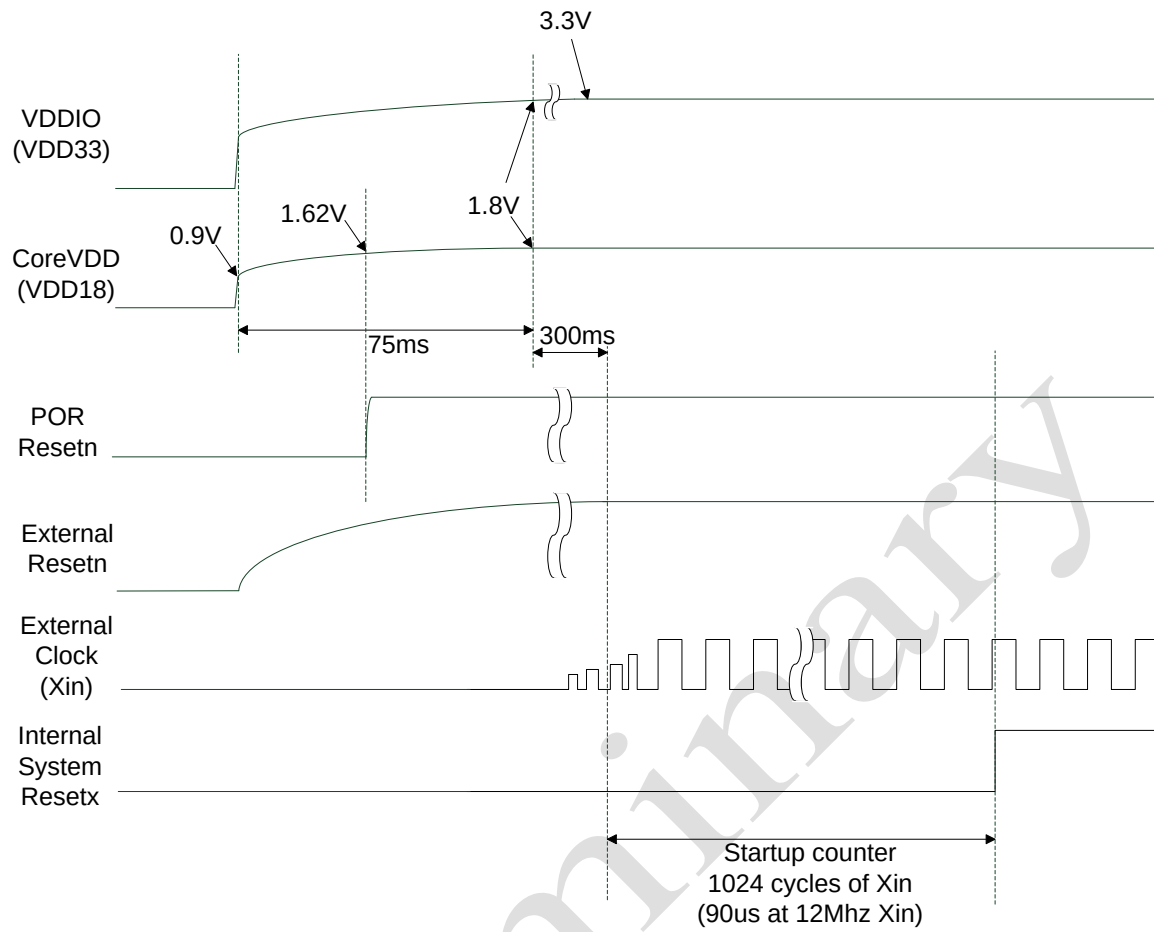


Figure 4-2 Power On Start Time Diagram

4.2 Clocks

XIN으로 공급되는 External Clock은 1~16Mhz을 사용한다.

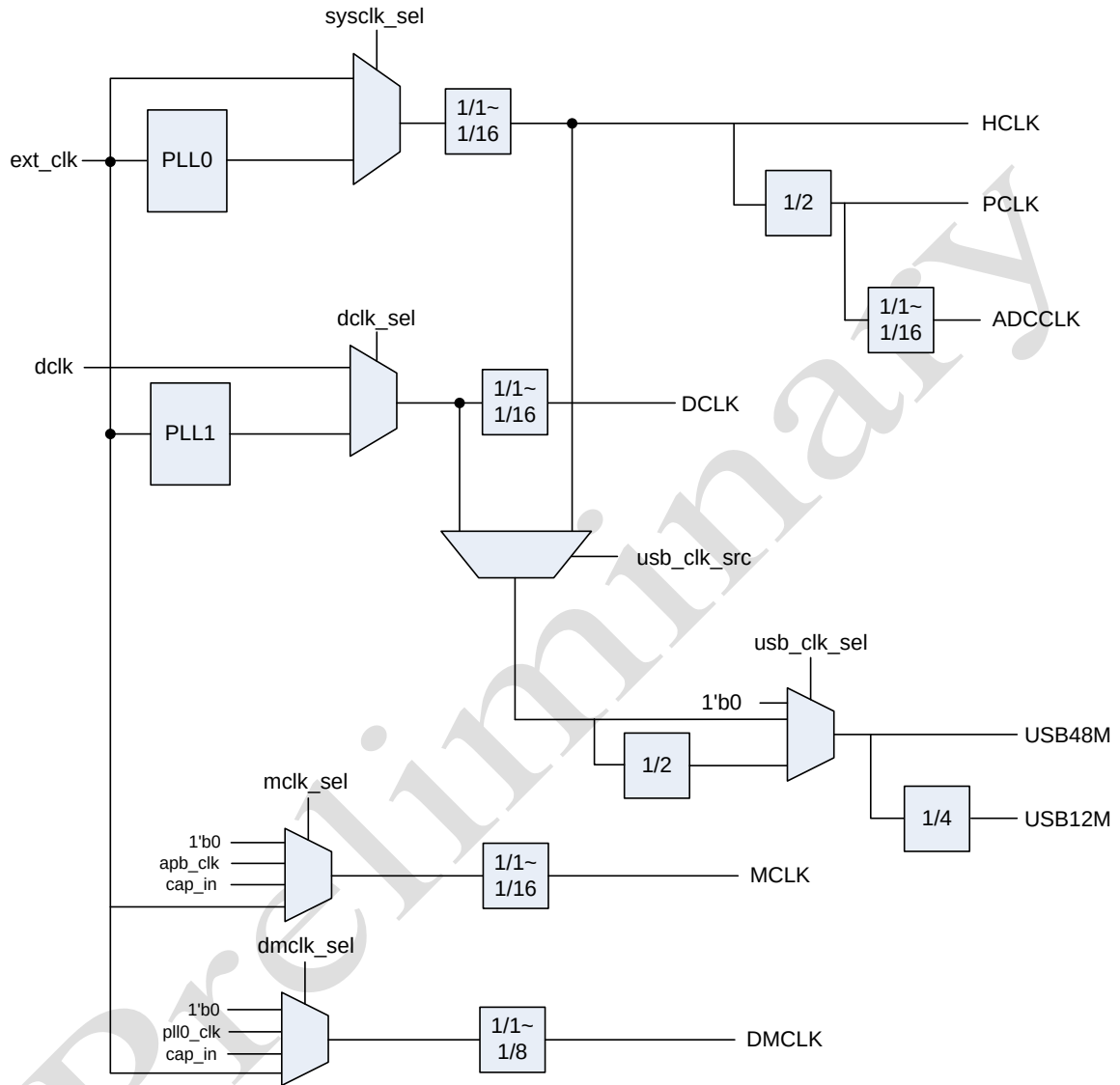


Figure 4-3 Clocks

adStar은 7개의 클럭 소스를 입력으로 받는다.

1. HCLK
2. PCLK
3. DCLK (CRTC)
4. USBCLK
5. TCK (JTAG)
6. MCLK (I2S)
7. DMCLK (Digital Modulator)

HCLK 과 PCLK 은 각각 AHB 영역과 APB 영역에 클럭을 공급한다. 두 클럭은 동일한 위상이며 2:1의 주파수비의 관계를 갖고 있다. HCLK의 최대 주파수는 108Mhz 이며 PCLK의 최대 주파수는 54Mhz 이다.

DCLK는 CRTC에 사용되는 클럭을 공급한다.

USBCLK는 USB Host/Device에 사용되는 클럭을 공급한다.

TCK는 JTAG 모듈에 공급되며 HCLK 또는 PCLK와는 비동기된 클럭이다. 그러나 주파수는 HCLK 주파수의 1/4이하로 동작해야 JTAG 모듈이 정상적으로 동작한다.

MCLK는 I2S에 공급되며, DMCLK는 Digital Modulator에 공급되어, sound를 출력하는데 사용된다.

4.3 Power Management Unit Registers

4.3.1 PMU Write Enable Register (PMUWREN)

Address : 0x8002_3C00

Bit	R/W	Description	Default Value
31:14	R	Reserved	-
14	R	Reserved	
13	R/W	USB PHY Control Register Write Enable	0
12	R/W	PCLK Control Register Write Enable	0
11	R/W	HCLK Control Register Write Enable	0
10	R/W	Sound Clock Control Register Write Enable	0
9	R/W	PLL Control Register Write Enable	0
8	R/W	Clock Control Register Write Enable	0
7:3	R	Reserved	-
2	R/W	Core Clock Off by Halt 3 Enable	0
1:0	R	Reserved	-

* Core Clock을 Halt 3명령으로 off하기 위해서는 bit[2]를 1로 set해야 한다.

* Halt 명령으로 sleep mode가 된 core를 깨우려면, 인터럽트를 발생시켜야 한다.

4.3.2 Clock Control Register (CLKCON)

Address : 0x8002_3C20

Bit	R/W	Description	Default Value
31:16	R	Reserved	–
19:16	R/W	AHB Clock Select 0000: System Clock 0001: System Clock / 2 0010: System Clock / 3 0011: System Clock / 4 ... 1110: System Clock / 15 1111: System Clock / 16	0
15:12	R/W	CRTC Clock Select 0000: DotSrcClk 0001: DotSrcClk / 2 0010: DotSrcClk / 3 0011: DotSrcClk / 4 ... 1110: DotSrcClk / 15 1111: DotSrcClk / 16	0
11:10	R	Reserved	–
9	R/W	CRTC Source Clock Select (DotSrcClk) 0: External CRTC Clock 1: PLL1 Clock	0
8	R/W	CRTC Clock Enable bit 0: CRTC Clock Disable 1: CRTC Clock Enable	1
7:4	R	Reserved	–
3	R/W	USB Clock Enable bit 0: USB Clock Disable 1: USB Clock Enable	0
2	R/W	USB Clock Select 0: USB Source Clock / 2 1: USB Source Clock	0
1	R/W	USB Source Clock Select 0: AHB Clock 1: CRTC Clock	0
0	R/W	System Clock Select bit 0: External Clock 1: PLL0 Clock	0

4.3.3 PLL Control Register (PLLCON)

Address : 0x8002_3C24

Bit	R/W	Description	Default Value
31:15	R	Reserved	–
14:12	R/W	PLL1 OS	0
11	R	Reserved	–
10:8	R/W	PLL1 IS	0
7	R	Reserved	–
6:4	R/W	PLL0 OS	0
3	R	Reserved	–
2:0	R/W	PLL0 IS	0

IS[2:0]	Input Divider Ratio(N)
000	1
001	2
010	4
011	6
100	8
101	10
110	12
111	16

OS[2:0]	Feedback Divider Ratio(M)	Output Divider Ratio(O)
000	180	1
001	120	1
010	81	1
011	48	1
100	180	2
101	81	3
110	48	2
111	48	4

* $F_{OUT} = (XIN * M) / (N * O)$ [XIN/N는 1M~3M사이, $XIN * M / N$ 은 48M~180M사이의 값을 만족]

4.3.4 Sound Control Register (SNDCLKCON)

Address : 0x8002_3C28

Bit	R/W	Description	Default Value
31:14	R	Reserved	–
13:12	R/W	Digital Modulator Source Clock (DMCLKSRC) 00: Clock disable 01: External Clock 10: PLL Clock 11: Capture Input[0]	01
11:10	R	Reserved	–
9:8	R/W	Digital Modulator Clock Divide Select 00: DMCLKSRC 01: DMCLKSRC / 2 10: DMCLKSRC / 4 11: DMCLKSRC / 8	00
7:6	R	Reserved	–
5:4	R/W	I2S Source Clock Select 00: Clock disable 01: External Clock 10: APB Clock 11: Capture Input[0]	01
3:0	R/W	I2S Clock Divide Value 0000: I2S Source Clock 0001: I2S Source Clock / 2 0010: I2S Source Clock / 3 ... 1110: I2S Source Clock / 15 1111: I2S Source Clock / 16	0

4.3.5 AHB Clock Control Register (HCLKCON)

Address : 0x8002_3C2C

Bit	R/W	Description	Default Value
31:13	R	Reserved	–
12	R/W	USB Host AHB Clock Enable	1
11	R/W	USB Device AHB Clock Enable	1
10	R/W	CRTC AHB Master Clock Enable	1
9	R/W	SDHC Clock Enable	1
8	R/W	NAND Flash Controller Clock Enable	1
7	R/W	External SRAM Controller Clock Enable	1
6	R/W	Flash Controller Clock Enable	1
5	R/W	DMA Clock Enable	1
4	R/W	GPIO Clock Enable	1
3	R/W	Interrupt Controller Clock Enable	1
2	R/W	SDRAM Clock Enable	1
1	R/W	SDRAM Controller Clock Enable	1
0	R/W	AHB Bus Clock Enable	1

4.3.6 APB Clock Control Register (PCLKCON)

Address : 0x8002_3C30

Bit	R/W	Description	Default Value
31:13	R	Reserved	–
12	R/W	Pin MUX Clock Enable	1
11	R/W	ADC APB Clock Enable	1
10	R/W	QEI Clock Enable	1
9	R/W	Dedicated PWM Clock Enable	1
8	R/W	Sound Mixer APB Clock Enable	1
7	R/W	TWI Clock Enable	1
6	R/W	SPI1 Clock Enable	1
5	R/W	SPI0 Clock Enable	1
4	R/W	UART Clock Enable	1
3	R/W	Timer Clock Enable	1
2	R/W	Watch Dog Timer Clock Enable800	1
1	R/W	CRTC APB Slave Clock Enable	1
0	R/W	APB Bus Clock Enable	1

4.3.7 USB PHY Control Register (USBPHYCON)

Address : 0x8002_3C34

Bit	R/W	Description	Default Value
31:9	R	Reserved	–
8	R/W	USB Function Select bit 0: USB Device 1: USB Host	0
7	R	Reserved	–
6	R/W	D- Pull-down Enable bit 0: Pull-down Disable 1: Pull-down Enable	0
5	R/W	D+ Pull-down Enable bit 0: Pull-down Disable 1: Pull-down Enable	0
4	R/W	Receive Enable bit 0: USB PHY가 외부 신호를 받아들이지 않는다. 1: USB PHY가 외부 신호를 받아들인다.	1
3	R/W	D- Weak Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0
2	R/W	D- Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0
1	R/W	D+ Weak Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0
0	R/W	D+ Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0

5 COPROCESSOR

*adStar*의 Coprocessor 는 메모리 관리를 위한 Memory Management Unit(MMU) 과 I-Cache, D-Cache 기능 블록을 포함하며, 이들 기능 블록들과 기타 부가 기능 블록에 대한 제어를 담당한다.

5.1 Features

- Memory Management Unit
 - Real Memory mode
- 2 Way Set Associative Harvard Cache
 - 8KBytes I-Cache
 - 8KBytes D-Cache
 - Write Through
 - 16 Bytes / Line
 - LRU Replacement
 - Cache Invalidation by Software
- 4 Words Deep Write Buffer (FIFO)

Real Memory mode 는 CPU가 4GB 크기의 선형 메모리 영역을 위해 예약된 일부 메모리 영역만 접근할 수 있으며, CPU의 주소는 실제 메모리 주소와 일치한다.

Table 5-1 Real Memory map

Address Range	Sector Number	Size
0x0000_0000~0x000F_FFFF (Memory Bank0)	Flash	512KBytes
0x1000_0000~0x1000_07FF (Memory Bank0)	Internal SRAM for Instruction	2KBytes
0x1800_0000~0x1800_77FF (Memory Bank1)	Internal SRAM for Data	30KBytes
0x2000_0000 ~ 0x2FFF_FFFF	SDRAM	8 or 16Mbytes
0x5000_0000 ~ 0x5FFF_FFFF	External SRAM	-

5.2 Coprocessor Description

Table 5-2 Coprocessor Register Description

Register	R/W	Description
SCPR15	R	System Coprocessor Status Register
	W	Master Command Register
SCPR14	R/W	Supervisor Stack Point Register
SCPR13	R/W	User Stack Pointer
SCPR12	R/W	Vector Base Register
SCPR11	W	Invalidate Cache Line and Lock Register
SCPR10	–	Reserved
SCPR9	R/W	Memory Bank Configuration Register
SCPR8	R/W	Sub-Bank Configuration Register
SCPR7	R/W	Reserved
SCPR6	R/W	Reserved
SCPR5	R/W	Sub-Bank Address Register
SCPR4	R/W	General Access Point Data Register
SCPR3	R/W	General Access Point Index Register
SCPR2	R/W	Reserved
SCPR1	R/W	Reserved
SCPR0	R/W	Reserved

5.3 Coprocessor Control Registers

5.3.1 System Coprocessor Status Register (SCPR15)

Bit	R/W	Description	Default Value
31	R	System Co-Processor Access Right (Privileged) Coprocessor이 접근 권한을 나타낸다. 0 : Supervisor/User Accessible 1 : Supervisor Access only	1
30 : 28	R	Coprocessor Type	001
27 : 25	R	Coprocessor Subtype	000
24 : 19	R	Reserved	–
18	R	L1 Cache Presented 0 : Presented 1 : Not Presented	0
17	R	L1 Cache Snooping Capability 0 : Support Snooping 1 : Not support Snooping	1
16 : 7	R	Reserved	–
6	R	Misalign Correction Support for Data Access 0 : Not support Misalign Correction 1 : Support Misalign Correction	0
5 : 2	R	SCP Rending Exception Number 0000 : Inst. Fetch – Access Violation 0010 : Privilege Violation Exception 0011 : Data Access – Address Misalignment 0100 : Data Access – Access Violation 1000 : Inst. Fetch – Address Misalignment 1111 : N/A	1111
1	R	SCP Pending Exception status 0 : No Pending Exception 1 : Pending Exception Exist	0
0	R	Reserved	–

5.3.2 Master Command Register (SCPR15)

Bit	R/W	Description	Default Value
31 : 6	W	Reserved	–
5 : 2	W	End of Exception 0000 : Inst. Fetch – Access Violation 0010 : Privilege Violation Exception 0011 : Data Access – Address Misalignment 0100 : Data Access – Access Violation 1000 : Inst. Fetch – Address Misalignment 1111 : Privilege Violation Exception	1111
1 : 0	W	Reserved	–

5.3.3 Supervisor Stack Point Register (SCPR14)

Bit	R/W	Description	Default Value
31 : 2	R/W	Supervisor Stack Pointer	0x0000_0000
1 : 0	R/W	Always 0	00

5.3.4 User Stack Point Register (SCPR13)

Bit	R/W	Description	Default Value
31 : 2	R/W	User Stack Pointer	0x0000_0000
1 : 0	R/W	Always 0	00

5.3.5 Vector Base Register (SCPR12)

Bit	R/W	Description	Default Value
31 : 2	R/W	Vector Base for Exception	0x0000_0000
1 : 0	R/W	Always 0	00

5.3.6 Invalidate Cache Line and Lock Register (SCPR11)

Bit	R/W	Description	Default Value
31 : 7	W	Invalidation Target Address/Way	–
6 : 4	W	Invalidation Target Address/Way	–
3	W	Invalidation Mode 0 : Address Based Invalidation 1 : Way Based Invalidation	–
2	W	Copy-back Selection in Invalidation 0 : Invalidation without Copy-back 1 : Invalidation with Copy-back if need	–
1	W	Cache Line Locking in Invalidation 0 : Invalidation without Locking 1 : Invalidation with Locking	–
0	W	Cache Type in Invalidation 0 : I-Cache 1 : D-Cache	–

5.3.7 Memory Bank Configuration Register (SCPR9)

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	0
15	R/W	Always 0	0
14	R/W	Memory Bank 3 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
13 : 12	R/W	Memory Bank 3 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00
11	R/W	Always 0	0
10	R/W	Memory Bank 2 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
9 : 8	R/W	Memory Bank 2 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00
7	R/W	Always 0	0
6	R/W	Memory Bank 1 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
5 : 4	R/W	Memory Bank 1 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00
3	R/W	Always 0	0
2	R/W	Memory Bank 0 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
1 : 0	R/W	Memory Bank 0 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00

5.3.8 Sub-Bank Configuration Register (SCPR8)

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	–
6 : 4	R/W	Sub-Bank Index	000
3	R/W	Sub-Bank Valid Control bit 0 : Invalid 1 : Valid	0
2	R/W	Sub-Bank Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
1 : 0	R/W	Sub-Bank Cache Property Control bit 00 : Disable Cache 01 : N/A 10 : Enable Cache with Write-through 11 : N/A	00

*** SCPR5와 함께 설정되어 Sub-Bank를 지정한다.

*** Sub-Bank가 설정된 영역에서는 Sub-Bank 설정 정보가 SCPR9에서 설정한 Memory Bank의 설정보다 우선 순위를 가진다.

5.3.9 Sub-Bank Address Register (SCPR5)

Bit	R/W	Description	Default Value
31 : 12	R/W	Sub-Bank Base Address[31:12]	0x00000
11 : 0	R/W	Sub-Bank Size Enable 0x000 : 4KBytes 0x001 : 8KBytes 0x003 : 16KBytes 0x007 : 32KBytes 0x00F : 64KBytes 0x01F : 128KBytes 0x03F : 256KBytes 0x07F : 512KBytes 0x0FF : 1MBytes	0x000

*** Sub-Bank 설정 시 Nature Align 되도록 설정되어야 한다.

5.3.10 General Access Point Data Register (SCPR4)

Bit	R/W	Description	Default Value
31 : 0	R/W	General Access Point Data SCPR3에서 설정된 레지스터의 값	0x0000_0000

5.3.11 General Access Point Index Register (SCPR3)

Bit	R/W	Description	Default Value
31 : 0	R/W	General Access Point Index - Core Debugging Information 0x0000_0000 : Backup IR 0x0000_0001 : Backup ER 0x0000_0002 : Backup PC 0x0000_0010 : Backup EAD - System Coprocessor Debugging Information 0x0000_0303 : Inst. Bus Error Address 0x0000_0304 : Data Bus Error Address - Cache Lock Information 0x0000_0500 : Inst. Lock Condition 0x0000_0501 : Data Lock Condition - Memory Bank Management Information 0x0000_0600 : Inst. MBMB Violation Address 0x0000_0601 : Data MBMB Violation Address - Internal SRAM Configuration Information 0x0000_0700 : Global Control Reg. Address Local Control Registers 0x0000_0701 : Local I-Control Reg.0 Address 0x0000_0711 : Local I-Control Reg.1 Address 0x0000_0721 : Local I-Control Reg.2 Address 0x0000_0731 : Local I-Control Reg.3 Address 0x0000_0704 : Local D-Control Reg.0 Address 0x0000_0714 : Local D-Control Reg.1 Address 0x0000_0724 : Local D-Control Reg.2 Address 0x0000_0734 : Local D-Control Reg.3 Address Local Start Address Registers 0x0000_0702 : Local I-Start Reg.0 Address 0x0000_0712 : Local I-Start Reg.1 Address 0x0000_0722 : Local I-Start Reg.2 Address 0x0000_0732 : Local I-Start Reg.3 Address 0x0000_0705 : Local D-Start Reg.0 Address 0x0000_0715 : Local D-Start Reg.1 Address 0x0000_0725 : Local D-Start Reg.2 Address 0x0000_0735 : Local D-Start Reg.3 Address Local End Address Registers 0x0000_0703 : Local I-End Reg.0 Address 0x0000_0713 : Local I-End Reg.1 Address	0x0000_0000

		0x0000_0723 : Local I-End Reg.2 Address 0x0000_0733 : Local I-End Reg.3 Address 0x0000_0706 : Local D-End Reg.0 Address 0x0000_0716 : Local D-End Reg.1 Address 0x0000_0726 : Local D-End Reg.2 Address 0x0000_0736 : Local D-End Reg.3 Address	
--	--	--	--

Preliminary

6 WATCHDOG TIMER

Watchdog Timer는 시스템 에러, 정상적으로 응답하지 않는 장치 또는 noise와 같은 이유로 CPU가 정상적인 동작을 하지 않을 때, 정상 상태로 복귀시키는 역할을 한다.

Watchdog Timer가 Enable 되면 WDTCNT에 설정된 값에서 '1'씩 감소하여 WDTCNT 값이 '0'이 되면 Watchdog Reset 이 발생한다.

Watchdog Reset이 발생하면 WDTST bit에 Watchdog Reset이 발생한 상태가 저장된다.

일단 Watchdog Timer 가 설정되면 Watchdog Reset이 걸리지 않게 하기 위해서는 32 비트의 Watchdog Counter 값이 '0'이 되지 않도록 주기적으로 WDTCNT를 재설정하여 Watchdog Reset이 발생하지 않도록 해야 한다.

WDTMOD bit를 Interrupt mode로 설정하면, Watchdog Reset은 발생하지 않고 Interrupt를 발생시켜 WDTCNT에 설정된 값이 0이 되었음을 알려준다.

6.1 Register Description

6.1.1 Watchdog Timer Control Register (WDTCTRL)

Address : 0x8002_0000

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	–
4	R	WDTST : Watchdog timer status bit When watchdog timer is reset mode, 0 : No watchdog reset 1 : Watchdog reset When watchdog timer is interrupt mode, 0 : No watchdog interrupt 1 : Watchdog interrupt Clear at read	0
3 : 2	R	Reserved	–
1	R/W	WDTMOD : Watchdog timer mode select bit 0 : Reset mode 1 : Interrupt mode	0
0	R/W	WDTEN : Watchdog timer enable bit 0 : Disable 1 : Enable	0

6.1.2 Watchdog Timer Counter Value Register (WDTCNT)

Address : 0x8002_0004

Bit	R/W	Description	Default Value
31 : 0	R/W	Watchdog timer counter 32-bit value. Down-counter	0xFFFF_FFFF

7 GPIO (GENERAL PURPOSE I/O)

GPIO Ports는 8-bit으로 구성된 9개 블록과 3-bit으로 구성된 1개의 블록으로 총 75 또는 69개의 I/O Ports를 제공한다. 각 Ports는 레지스터 설정으로 쉽게 구성될 수 있으며, 다양한 입출력 응용과 시스템 구성에 사용된다.

7.1 Features

- GP0.x has 8 I/O Ports(adStar-8/16M) or 5 I/O Ports(adStar-8/16MF512)
- GP1.x has 8 I/O Ports
- GP2.x has 8 I/O ports
- GP3.x has 8 I/O ports
- GP4.x has 8 I/O Ports
- GP5.x has 8 I/O Ports
- GP6.x has 8 I/O ports
- GP7.x has 8 I/O ports
- GP8.x has 8 I/O Ports
- GP9.x has 3 I/O Ports(adStar-8/16M Only)

7.2 Block Diagram

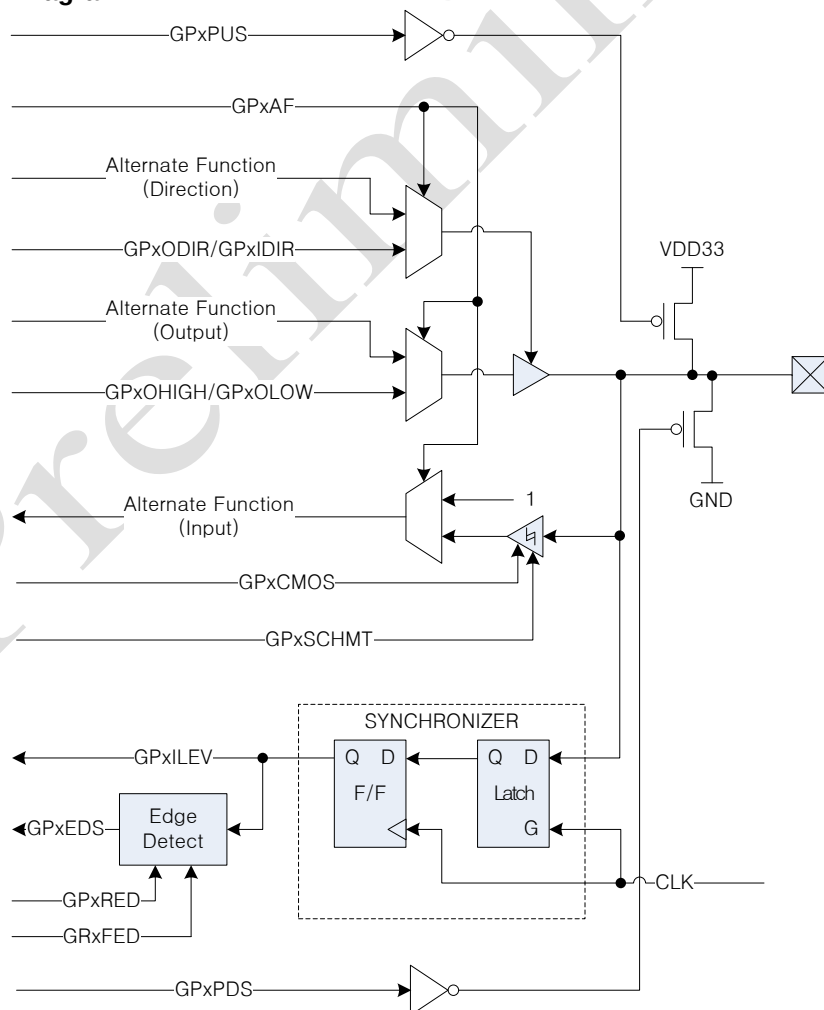


Figure 7-1 GPIO Block Diagram

7.3 Function Description

7.3.1 Port Control

GPIO Ports는 GPxODIR 레지스터를 통해 각 Port별로 Output mode로 설정되고 또한 GPxIDIR 레지스터에 의해 각 Port별로 Input mode로 설정된다. 각 Port의 설정상태는 GPxDIR 레지스터를 통해 확인할 수 있다. GPxODIR 레지스터와 GPxIDIR 레지스터 설정시 “1”인 비트만 해당 동작으로 설정되고, “0”인 비트는 어떠한 영향을 미치지 못한다.

GPIO Ports의 출력 레벨은 Output mode로 설정된 상태에서 GPxOHIGH 레지스터를 통해 High Level로 설정되고, GPxOLOW 레지스터를 통해 Low Level로 설정된다. Output level의 설정상태는 GPxOLEV 레지스터를 통해 확인할 수 있다.

GPIO Ports의 입력 레벨은 GPxILEV 레지스터를 통해 확인할 수 있다. 각 Port에 연결된 Pull-up 저항은 외부 입력이 존재하거나 출력인 경우에는 Pull-up 을 제거하면, 신호레벨이 “Low”일 때 누설전류를 줄일 수 있다.

Table 7-1 Internal Pull-up Resistance Characteristics

Parameter	Min	Typ	Max	Unit
Pull-Up Resistance	34	41	64	K Ω
Pull-Down Resistance	33	44	79	K Ω

7.3.2 Port Edge Detect

EIRQ 핀을 통한 외부 인터럽트 이외에 GPIO의 Port Edge Detect을 통해 각각의 그룹별로 외부 인터럽트를 수행할 수 있다. Port들은 Rising Edge, Falling Edge 그리고 Any Edge 모드를 지원한다.

7.3.3 Port Alternate Functions

GPIO Ports의 초기값은 Input 상태이며, Alternate Function의 설정을 통해 외부 Interface를 갖는 Peripheral Function들과 Ports를 공유할 수 있다. Default로 GPIO가 선택이 되어있지만, register setting에 의해 다른function으로 사용될 수 있다. 또한, booting mode에 따라 일부 port의 default가 변하게 되며, 일부는 nTEST pin에 의해 특정 용도로 고정되기도 한다.

Register	bit	1st	2nd	3rd	4th	Default
		00	01	10	11	
PAF0 0x80023400	1:0	snd2_pwml_p	spi_cs0	twi_scl	P0.0	11b
	3:2	snd2_pwml_n	spi_miso0	twi_sda	P0.1	
	5:4	snd2_pwm_r_p	spi_mosi0	sram_cs1#	P0.2	
	7:6	snd2_pwm_r_n	spi_sck0	sram_cs2#	P0.3	
	9:8	snd3_pwml_p	flash_cs	cap_in1	P0.4	Flash Boot: 01b Etc.: 11b *adStar 8/16M Only
	11:10	snd3_pwml_n	flash_dq1	tm_out1	P0.5	
	13:12	snd3_pwm_r_p	flash_dq2	uart_tx4	P0.6	
	15:14	snd3_pwm_r_n	TAP_SEL	uart_rx4	P0.7	nTEST = 0 : fixed 01b Etc. : 11b

PAF1 0x80023404	1:0	uart_tx0	snd_mclk	twi_scl	P1.0	11b
	3:2	uart_rx0	snd0_sdi	twi_sda	P1.1	
	5:4	nf_cs#	pwm_fault1	sram_cs1#	P1.2	NAND Boot: 00b NOR Boot: 10b Etc.: 11b
	7:6	nf_ale	sdhc_cmd	sram_cs3#	P1.3	
	9:8	nf_cle	sdhc_clk	sram_be1#	P1.4	
	11:10	nf_we	snd0_sclk	sram_a17	P1.5	
	13:12	nf_re	snd0_lrcclk	sram_a18	P1.6	
	15:14	nf_bussyx	snd0_sdo	sram_wait#	P1.7	
PAF2 0x80023408	1:0	nf_d0	uart_tx3	sram_a8/d8	P2.0	NAND Boot: 00b NOR Boot: 10b Etc.: 11b
	3:2	nf_d1	uart_rx3	sram_a9/d9	P2.1	
	5:4	nf_d2	uart_tx4	sram_a10/d10	P2.2	
	7:6	nf_d3	uart_rx4	sram_a11/d11	P2.3	
	9:8	nf_d4	sdhc_d0	sram_a12/d12	P2.4	
	11:10	nf_d5	sdhc_d1	sram_a13/d13	P2.5	
	13:12	nf_d6	sdhc_d2	sram_a14/d14	P2.6	
	15:14	nf_d7	sdhc_d3	sram_a15/d15	P2.7	
PAF3 0x8002340C	1:0	sram_a0/a8/d0	pwm_h0	cap_in0	P3.0	NOR Boot: 00b Etc.: 11b
	3:2	sram_a1/a9/d1	pwm_l0	tm_out0	P3.1	
	5:4	sram_a2/a10/d2	pwm_h1	uart_tx3	P3.2	
	7:6	sram_a3/a11/d3	pwm_l1	uart_rx3	P3.3	
	9:8	sram_a4/a12/d4	pwm_h2	cap_in2	P3.4	
	11:10	sram_a5/a13/d5	pwm_l2	tm_out2	P3.5	
	13:12	sram_a6/a14/d6	pwm_h3	ohci_overcurrent	P3.6	
	15:14	sram_a7/a15/d7	pwm_l3	ohci_portpower	P3.7	
PAF4 0x80023410	1:0	sram_a16	pwm_fault0	eirq0	P4.0	NOR Boot: 00b Etc.: 11b
	3:2	sram_ale0		eirq1	P4.1	
	5:4	sram_ale1		uart_tx1	P4.2	
	7:6	sram_re#		uart_rx1	P4.3	
	9:8	sram_we#	twi_scl	uart_tx2	P4.4	
	11:10	sram_cs0#	twi_sda	uart_rx2	P4.5	
	13:12	snd_mclk	spi_sck1	cap_in3	P4.6	11b
	15:14	snd0_sdi	spi_cs1	tm_out3	P4.7	
PAF5 0x80023414	1:0	snd0_sclk	spi_miso1	sram_a0	P5.0	NOR Boot: 10b
	3:2	snd0_lrcclk	spi_mosi1	sram_a1	P5.1	
	5:4	snd0_sdo	uart_tx0	sram_a2	P5.2	
	7:6	crtc_clk_in	uart_rx0	sram_a3	P5.3	
	9:8	vsync	eirq0	sram_a4	P5.4	
	11:10	hsync	eirq1	sram_a5	P5.5	
	13:12	disp_en	uart_tx1	sram_a6	P5.6	
	15:14	crtc_clk_out	uart_rx1	sram_a7	P5.7	
PAF6 0x80023418	1:0	r0	nTRST		P6.0	Default: 01b
	3:2	r1	TCK		P6.1	
	5:4	r2	TDI		P6.2	
	7:6	r3	sdhc_cmd	snd1_sclk	P6.3	11b

	9:8	r4	sdhc_d0	snd1_lrclk	P6.4	
	11:10	r5	sdhc_d1	snd1_sdo	P6.5	
	13:12	r6	sdhc_d2	uart_tx2	P6.6	
	15:14	r7	sdhc_d3	uart_rx2	P6.7	
PAF7 0x8002341C	1:0	g0	TMS	sram_cs1#	P7.0	Default : 01b
	3:2	g1	TDO	sram_cs2#	P7.1	
	5:4	g2	sdhc_clk	sram_a10	P7.2	NOR Boot: 10b Etc.: 11b
	7:6	g3	cfg0	sram_a11	P7.3	
	9:8	g4	cfg1	sram_a12	P7.4	
	11:10	g5	cfg2	sram_a13	P7.5	
	13:12	g6	cfg3	sram_a14	P7.6	
	15:14	g7	cfg4	sram_a15	P7.7	
PAF8 0x80023420	1:0	b0	snd2_pwml_p	sram_a8	P8.0	NOR Boot: 10b Etc.: 11b
	3:2	b1	snd2_pwml_n	sram_a9	P8.1	
	5:4	b2	snd2_pwm_r_p	cap_in1	P8.2	11b
	7:6	b3	snd2_pwm_r_n	tm_out1	P8.3	
	9:8	b4	snd3_pwml_p	cap_in2	P8.4	
	11:10	b5	snd3_pwml_n	tm_out2	P8.5	
	13:12	b6	snd3_pwm_r_p	cap_in3	P8.6	
	15:14	b7	snd3_pwm_r_n	tm_out3	P8.7	
PAF9 0x80023424	1:0	snd1_sclk	flash_dq0	cap_in0	P9.0	Flash Boot: 01b Etc.: 11b *adStar 8/16M Only
	3:2	snd1_lrclk	flash_clk	tm_out0	P9.1	
	5:4	snd1_sdo	flash_dq3	sram_cs3#	P9.2	

7.4 Register Description

7.4.1 Port Direction Registers (GPxDIR)

Address: 0xFFFF_3000 / 0xFFFF_3040 / 0xFFFF_3080 / 0xFFFF_30C0 / 0xFFFF_3100 / 0xFFFF_3140 / 0xFFFF_3180 / 0xFFFF_31C0 / 0xFFFF_3200 / 0xFFFF_3240

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	–
8	R	GPx.OMD : GPx. Output Control Mode bit 0 : Pin 단위 1 : Port 단위	0
7 : 0	R	GPx.yDIR : GPx.y Direction bit 0 : Input 1 : Output	0x00

7.4.2 Port Direction Output Mode Setting Registers (GPxODIR)

Address: 0xFFFF_3000 / 0xFFFF_3040 / 0xFFFF_3080 / 0xFFFF_30C0 / 0xFFFF_3100 / 0xFFFF_3140 / 0xFFFF_3180 / 0xFFFF_31C0 / 0xFFFF_3200 / 0xFFFF_3240

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	–
8	W	GPx.OPRT : Output Control by Port Mode Setting bit	–
7	W	GPx.7ODIR : GPx.7 Direction Output Mode Setting bit	–
6	W	GPx.6ODIR : GPx.6 Direction Output Mode Setting bit	–
5	W	GPx.5ODIR : GPx.5 Direction Output Mode Setting bit	–
4	W	GPx.4ODIR : GPx.4 Direction Output Mode Setting bit	–
3	W	GPx.3ODIR : GPx.3 Direction Output Mode Setting bit	–
2	W	GPx.2ODIR : GPx.2 Direction Output Mode Setting bit	–
1	W	GPx.1ODIR : GPx.1 Direction Output Mode Setting bit	–
0	W	GPx.0ODIR : GPx.0 Direction Output Mode Setting bit	–

*** Port Direction Output Mode Setting bit

0 : No effect 1 : Set to output mode the corresponding bit in the PxDIR registers

7.4.3 Port Direction Input Mode Setting Registers (GPxIDIR)

Address: 0xFFFF_3004 / 0xFFFF_3044 / 0xFFFF_3084 / 0xFFFF_30C4 / 0xFFFF_3104 / 0xFFFF_3144 / 0xFFFF_3184 / 0xFFFF_31C4 / 0xFFFF_3204 / 0xFFFF_3244

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
8	W	GPx.OPIN : Output Control by Pin Mode Setting bit	–
7	W	GPx.7IDIR : GPx.7 Direction Input Mode Setting bit	–
6	W	GPx.6IDIR : GPx.6 Direction Input Mode Setting bit	–
5	W	GPx.5IDIR : GPx.5 Direction Input Mode Setting bit	–
4	W	GPx.4IDIR : GPx.4 Direction Input Mode Setting bit	–
3	W	GPx.3IDIR : GPx.3 Direction Input Mode Setting bit	–
2	W	GPx.2IDIR : GPx.2 Direction Input Mode Setting bit	–
1	W	GPx.1IDIR : GPx.1 Direction Input Mode Setting bit	–
0	W	GPx.0IDIR : GPx.0 Direction Input Mode Setting bit	–

*** Port Direction Input Mode Setting bit

0 : No effect 1 : Set to input mode the corresponding bit in the PxDIR registers

7.4.4 Port Output Data Level Registers (GPxOLEV)

Address: 0xFFFF_3008 / 0xFFFF_3048 / 0xFFFF_3088 / 0xFFFF_30C8 / 0xFFFF_3108 / 0xFFFF_3148 / 0xFFFF_3188 / 0xFFFF_31C8 / 0xFFFF_3208 / 0xFFFF_3248

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	GPx.yOLEV : GPx.y Output Level bit 0 : Low Level 1 : High Level	0xFF

7.4.5 Port Output Data Registers (GPxDOUT)

Address: 0xFFFF_3008 / 0xFFFF_3048 / 0xFFFF_3088 / 0xFFFF_30C8 / 0xFFFF_3108 / 0xFFFF_3148 / 0xFFFF_3188 / 0xFFFF_31C8 / 0xFFFF_3208 / 0xFFFF_3248

Bit	R/W	Description	Default Value
7 : 0	R/W	GPx.DO : GPx.Port Output Data	0xFF

*** GPxDIR의 8번 bit가 1인 경우, 이 register를 이용해 GPIO Port output을 결정한다.

7.4.6 Port Output Data High Level Setting Registers (GPxOHIGH)

Address: 0xFFFF_3008 / 0xFFFF_3048 / 0xFFFF_3088 / 0xFFFF_30C8 / 0xFFFF_3108 / 0xFFFF_3148 / 0xFFFF_3188 / 0xFFFF_31C8 / 0xFFFF_3208 / 0xFFFF_3248

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7OH : GPx.7 Output Data High Level Setting bit	-
6	W	GPx.6OH : GPx.6 Output Data High Level Setting bit	-
5	W	GPx.5OH : GPx.5 Output Data High Level Setting bit	-
4	W	GPx.4OH : GPx.4 Output Data High Level Setting bit	-
3	W	GPx.3OH : GPx.3 Output Data High Level Setting bit	-
2	W	GPx.2OH : GPx.2 Output Data High Level Setting bit	-
1	W	GPx.1OH : GPx.1 Output Data High Level Setting bit	-
0	W	GPx.0OH : GPx.0 Output Data High Level Setting bit	-

*** Port Output Data High Level Setting bit (GPxDIR의 8번 bit가 0인 경우 유효하다.)

0 : No effect

1 : Set to high level output data the corresponding bit in the PxOLEV registers

7.4.7 Port Output Data Low Level Setting Registers (GPxOLOW)

Address: 0xFFFF_300C / 0xFFFF_304C / 0xFFFF_308C / 0xFFFF_30CC / 0xFFFF_310C / 0xFFFF_314C / 0xFFFF_318C / 0xFFFF_31CC / 0xFFFF_320C / 0xFFFF_324C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7OL : GPx.7 Output Data Low Level Setting bit	-
6	W	GPx.6OL : GPx.6 Output Data Low Level Setting bit	-
5	W	GPx.5OL : GPx.5 Output Data Low Level Setting bit	-
4	W	GPx.4OL : GPx.4 Output Data Low Level Setting bit	-
3	W	GPx.3OL : GPx.3 Output Data Low Level Setting bit	-
2	W	GPx.2OL : GPx.2 Output Data Low Level Setting bit	-
1	W	GPx.1OL : GPx.1 Output Data Low Level Setting bit	-
0	W	GPx.0OL : GPx.0 Output Data Low Level Setting bit	-

*** Port Output Data Low Level Setting bit (GPxDIR의 8번 bit가 0인 경우 유효된다.)

0 : No effect

1 : Set to low level output data the corresponding bit in the PxOLEV registers

7.4.8 Port Input Data Level Registers (GPxILEV)

Address: 0xFFFF_3010 / 0xFFFF_3050 / 0xFFFF_3090 / 0xFFFF_30D0 / 0xFFFF_3110 /
0xFFFF_3150 / 0xFFFF_3190 / 0xFFFF_31D0 / 0xFFFF_3210 / 0xFFFF_3250

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7	R	GPx.7ILEV : GPx.7 Input Level bit 0 : Low Level 1 : High Level	–
6	R	GPx.6ILEV : GPx.6 Input Level bit 0 : Low Level 1 : High Level	–
5	R	GPx.5ILEV : GPx.5 Input Level bit 0 : Low Level 1 : High Level	–
4	R	GPx.4ILEV : GPx.4 Input Level bit 0 : Low Level 1 : High Level	–
3	R	GPx.3ILEV : GPx.3 Input Level bit 0 : Low Level 1 : High Level	–
2	R	GPx.2ILEV : GPx.2 Input Level bit 0 : Low Level 1 : High Level	–
1	R	GPx.1ILEV : GPx.1 Input Level bit 0 : Low Level 1 : High Level	–
0	R	GPx.0ILEV : GPx.0 Input Level bit 0 : Low Level 1 : High Level	–

7.4.9 Port Pull-up Status Registers (GPxPUS)

Address: 0xFFFF_3018 / 0xFFFF_3058 / 0xFFFF_3098 / 0xFFFF_30D8 / 0xFFFF_3118 /
0xFFFF_3158 / 0xFFFF_3198 / 0xFFFF_31D8 / 0xFFFF_3218 / 0xFFFF_3258

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7 : 0	R	GPx.yUP : GPx.y Pull-up Status bit 0 : Pull-up Disable 1 : Pull-up Enable	0x0

7.4.10 Port Pull-up Enable Registers (GPxPUEN)

Address: 0xFFFF_3018 / 0xFFFF_3058 / 0xFFFF_3098 / 0xFFFF_30D8 / 0xFFFF_3118 /
0xFFFF_3158 / 0xFFFF_3198 / 0xFFFF_31D8 / 0xFFFF_3218 / 0xFFFF_3258

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7	W	GPx.7PUEN : GPx.7 Pull-up enable bit	–
6	W	GPx.6PUEN : GPx.6 Pull-up enable bit	–
5	W	GPx.5PUEN : GPx.5 Pull-up enable bit	–
4	W	GPx.4PUEN : GPx.4 Pull-up enable bit	–
3	W	GPx.3PUEN : GPx.3 Pull-up enable bit	–
2	W	GPx.2PUEN : GPx.2 Pull-up enable bit	–
1	W	GPx.1PUEN : GPx.1 Pull-up enable bit	–
0	W	GPx.0PUEN : GPx.0 Pull-up enable bit	–

*** Port Pull-up enable bit

0 : No effect

1 : Set to pull-up the corresponding bit in the PxPUS registers

7.4.11 Port Pull-up Disable Registers (GPxPUDIS)

Address: 0xFFFF_301C / 0xFFFF_305C / 0xFFFF_309C / 0xFFFF_30DC / 0xFFFF_311C /
0xFFFF_315C / 0xFFFF_319C / 0xFFFF_31DC / 0xFFFF_321C / 0xFFFF_325C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7	W	GPx.7PUDIS : GPx.7 Pull-up disable bit	–
6	W	GPx.6PUDIS : GPx.6 Pull-up disable bit	–
5	W	GPx.5PUDIS : GPx.5 Pull-up disable bit	–
4	W	GPx.4PUDIS : GPx.4 Pull-up disable bit	–
3	W	GPx.3PUDIS : GPx.3 Pull-up disable bit	–
2	W	GPx.2PUDIS : GPx.2 Pull-up disable bit	–
1	W	GPx.1PUDIS : GPx.1 Pull-up disable bit	–
0	W	GPx.0PUDIS : GPx.0 Pull-up disable bit	–

*** Port Pull-up disable bit

0 : No effect

1 : Set to pull-up the corresponding bit in the PxPUS registers

7.4.12 Port Rising Edge Detect Registers (GPxRED)

Address: 0xFFFF_3020 / 0xFFFF_3060 / 0xFFFF_30A0 / 0xFFFF_30E0 / 0xFFFF_3120 / 0xFFFF_3160 / 0xFFFF_31A0 / 0xFFFF_31E0 / 0xFFFF_3220 / 0xFFFF_3260

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7RED : GPx.7 Rising Edge Detect bit 0 : Disable 1 : Enable	0
6	R/W	GPx.6RED : GPx.6 Rising Edge Detect bit 0 : Disable 1 : Enable	0
5	R/W	GPx.5RED : GPx.5 Rising Edge Detect bit 0 : Disable 1 : Enable	0
4	R/W	GPx.4RED : GPx.4 Rising Edge Detect bit 0 : Disable 1 : Enable	0
3	R/W	GPx.3RED : GPx.3 Rising Edge Detect bit 0 : Disable 1 : Enable	0
2	R/W	GPx.2RED : GPx.2 Rising Edge Detect bit 0 : Disable 1 : Enable	0
1	R/W	GPx.1RED : GPx.1 Rising Edge Detect bit 0 : Disable 1 : Enable	0
0	R/W	GPx.0RED : GPx.0 Rising Edge Detect bit 0 : Disable 1 : Enable	0

*** Rising Edge 와 Falling Edge가 동시에 설정되었을 때는 Any Edge mode 가 된다.

7.4.13 Port Falling Edge Detect Registers (GPxFED)

Address: 0xFFFF_3024 / 0xFFFF_3064 / 0xFFFF_30A4 / 0xFFFF_30E4 / 0xFFFF_3124 / 0xFFFF_3164 / 0xFFFF_31A4 / 0xFFFF_31E4 / 0xFFFF_3224 / 0xFFFF_3264

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7FED : GPx.7 Falling Edge Detect bit 0 : Disable 1 : Enable	0
6	R/W	GPx.6FED : GPx.6 Falling Edge Detect bit 0 : Disable 1 : Enable	0
5	R/W	GPx.5FED : GPx.5 Falling Edge Detect bit 0 : Disable 1 : Enable	0
4	R/W	GPx.4FED : GPx.4 Falling Edge Detect bit 0 : Disable 1 : Enable	0
3	R/W	GPx.3FED : GPx.3 Falling Edge Detect bit 0 : Disable 1 : Enable	0
2	R/W	GPx.2FED : GPx.2 Falling Edge Detect bit 0 : Disable 1 : Enable	0
1	R/W	GPx.1FED : GPx.1 Falling Edge Detect bit 0 : Disable 1 : Enable	0
0	R/W	GPx.0FED : GPx.0 Falling Edge Detect bit 0 : Disable 1 : Enable	0

*** Rising Edge 와 Falling Edge가 동시에 설정되었을 때는 Any Edge mode 가 된다.

7.4.14 Port Edge Detect Status Registers (GPxEDS)

Address: 0xFFFF_3028 / 0xFFFF_3068 / 0xFFFF_30A8 / 0xFFFF_30E8 / 0xFFFF_3128 / 0xFFFF_3168 / 0xFFFF_31A8 / 0xFFFF_31E8 / 0xFFFF_3228 / 0xFFFF_3268

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7	R/W	GPx.7EDS : GPx.7 Edge Detect Status bit	0
6	R/W	GPx.6EDS : GPx.6 Edge Detect Status bit	0
5	R/W	GPx.5EDS : GPx.5 Edge Detect Status bit	0
4	R/W	GPx.4EDS : GPx.4 Edge Detect Status bit	0
3	R/W	GPx.3EDS : GPx.3 Edge Detect Status bit	0
2	R/W	GPx.2EDS : GPx.2 Edge Detect Status bit	0
1	R/W	GPx.1EDS : GPx.1 Edge Detect Status bit	0
0	R/W	GPx.0EDS : GPx.0 Edge Detect Status bit	0

*** Port Edge Detect Status bit

0 : No edge detect has occurred on pin

1 : Edge detect has occurred on pin

*** Status bits are cleared by writing a one to them.

*** Writing a zero to a status bit are no effect.

7.4.15 Port Open Drain Mode Control Registers (GPxODM)

Address: 0xFFFF_302C / 0xFFFF_306C / 0xFFFF_30AC / 0xFFFF_30EC / 0xFFFF_312C / 0xFFFF_316C / 0xFFFF_31AC / 0xFFFF_31EC / 0xFFFF_322C / 0xFFFF_326C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7 : 0	R/W	GPx.yOD : GPx.y Open Drain Mode Setting bit 0 : Normal CMOS Output Mode 1 : Open Drain Mode	0

7.4.16 Port Schmitt Input Enable Registers (GPxSHMT)

Address: 0xFFFF_3034 / 0xFFFF_3074 / 0xFFFF_30B4 / 0xFFFF_30F4 / 0xFFFF_3134 / 0xFFFF_3174 / 0xFFFF_3174(B4)* / 0xFFFF_31F4 / 0xFFFF_3234 / 0xFFFF_3274

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7	W	GPx.7SHMT : GPx.7 Schmitt input enable bit	0
6	W	GPx.6SHMT : GPx.6 Schmitt input enable bit	0
5	W	GPx.5SHMT : GPx.5 Schmitt input enable bit	0
4	W	GPx.4SHMT : GPx.4 Schmitt input enable bit	0
3	W	GPx.3SHMT : GPx.3 Schmitt input enable bit	0
2	W	GPx.2SHMT : GPx.2 Schmitt input enable bit	0
1	W	GPx.1SHMT : GPx.1 Schmitt input enable bit	0
0	W	GPx.0SHMT : GPx.0 Schmitt input enable bit	0

*** Port Schmitt input enable bit

0 : CMOS input mode

1 : Schmitt input mode

*GP6.xSHMT bits are configured by GP5.xSHMT (0xFFFF_3174) register.

7.4.17 Port Pull-down Status Registers (GPxPDS)

Address: 0xFFFF_3030 / 0xFFFF_3070 / 0xFFFF_30B0 / 0xFFFF_30F0 / 0xFFFF_3130 /
0xFFFF_3170 / 0xFFFF_31B0 / 0xFFFF_31F0 / 0xFFFF_3230 / 0xFFFF_3270

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7 : 0	R	GPx.yDN : GPx.y Pull-down Status bit 0 : Pull-down Disable 1 : Pull-down Enable	0x0

7.4.18 Port Pull-down Enable Registers (GPxPDEN)

Address: 0xFFFF_3030 / 0xFFFF_3070 / 0xFFFF_30B0 / 0xFFFF_30F0 / 0xFFFF_3130 /
0xFFFF_3170 / 0xFFFF_31B0 / 0xFFFF_31F0 / 0xFFFF_3230 / 0xFFFF_3270

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7	W	GPx.7PDEN : GPx.7 Pull-down enable bit	–
6	W	GPx.6PDEN : GPx.6 Pull-down enable bit	–
5	W	GPx.5PDEN : GPx.5 Pull-down enable bit	–
4	W	GPx.4PDEN : GPx.4 Pull-down enable bit	–
3	W	GPx.3PDEN : GPx.3 Pull-down enable bit	–
2	W	GPx.2PDEN : GPx.2 Pull-down enable bit	–
1	W	GPx.1PDEN : GPx.1 Pull-down enable bit	–
0	W	GPx.0PDEN : GPx.0 Pull-down enable bit	–

*** Port Pull-down enable bit

0 : No effect

1 : Set to pull-down the corresponding bit in the PxPDS registers

7.4.19 Port Pull-down Disable Registers (GPxPDDIS)

Address: 0xFFFF_301C / 0xFFFF_305C / 0xFFFF_309C / 0xFFFF_30DC / 0xFFFF_311C /
0xFFFF_315C / 0xFFFF_319C / 0xFFFF_31DC / 0xFFFF_321C / 0xFFFF_325C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7	W	GPx.7PDDIS : GPx.7 Pull-down disable bit	–
6	W	GPx.6PDDIS : GPx.6 Pull-down disable bit	–
5	W	GPx.5PDDIS : GPx.5 Pull-down disable bit	–
4	W	GPx.4PDDIS : GPx.4 Pull-down disable bit	–
3	W	GPx.3PDDIS : GPx.3 Pull-down disable bit	–
2	W	GPx.2PDDIS : GPx.2 Pull-down disable bit	–
1	W	GPx.1PDDIS : GPx.1 Pull-down disable bit	–
0	W	GPx.0PDDIS : GPx.0 Pull-down disable bit	–

*** Port Pull-down disable bit

0 : No effect

1 : Set to pull-down the corresponding bit in the PxPDS registers

8 INTERRUPT CONTROLLER

adStar는 46개 채널의 인터럽트 입력을 가지며, 이 입력들은 Timer, SPI, TWI, UART 등과 같은 내부 장치에서 발생하는 44개의 인터럽트와 외부 2개의 인터럽트로 구성된다.

8.1 Features

- 46 채널의 인터럽트 (2 채널의 외부 인터럽트와 44채널의 내부 인터럽트)
- 외부 인터럽트에 대한 동작 조건 설정 (5가지)
- 내부 인터럽트에 대한 동작 조건 설정 (2가지)
- 채널 별 인터럽트 Enable 기능
- 채널 별 인터럽트 Mask 기능
- 개별적으로 프로그램 가능한 인터럽트 우선순위

8.2 Function Description

인터럽트의 순차 처리는 다음과 같은 과정을 통하여 이루어진다.

1. 각 인터럽트 소스들은 인터럽트 제어기에 인터럽트를 요청한다.
2. Interrupt Enable Register에 의해 선별된 후, Interrupt Pending Register에 저장한다.
3. 인터럽트 우선순위를 판단한 후, CPU에 인터럽트를 요청한다.
4. 인터럽트를 요청 받으면 CPU의 인터럽트가 비활성화되며 인터럽트 벡터 주소를 읽어 서 해당 Interrupt Service Routine(ISR)으로 진입한다.
5. ISR 을 수행한다.
6. ISR 수행이 끝나면 Interrupt Pending Clear Register에 해당 Vector값을 씌으로써 Interrupt Pending Register에 저장된 인터럽트 값을 지운다.
7. ISR을 빠져나오면서 CPU의 인터럽트가 활성화된다.

인터럽트의 중첩 처리는 다음과 같은 과정을 통하여 이루어진다.

1. 각 인터럽트 소스들은 인터럽트 제어기에 인터럽트를 요청한다.
2. Interrupt Enable Register에 의해 선별된 후, Interrupt Pending Register에 저장한다.
3. 인터럽트 우선순위를 판단한 후, CPU에 인터럽트를 요청한다.
4. 인터럽트를 요청 받으면 CPU의 인터럽트가 비활성화되며 인터럽트 벡터 주소를 읽어 서 해당 Interrupt Service Routine(ISR)으로 진입한다.
5. 인터럽트의 중첩을 허용하기 위해 Interrupt Pending Clear Register에 해당 Vector값을 씌으로써 Interrupt Pending Register에 저장된 인터럽트 값을 지우고 asm("set 13")을 통해 CPU의 인터럽트를 활성화 시킨다.
6. ISR을 수행한다.
7. 만약, 현재 ISR의 수행 도중 다시 인터럽트가 발생하면 중첩 처리가 허용되어 해당 ISR로 진입한다.
8. 새롭게 진입한 ISR의 수행이 끝나면 이전 ISR로 복귀하여 나머지 수행을 진행한다.
9. ISR 수행이 끝나면 완전히 빠져 나온다.

8.2.1 Interrupt Vector and Priority

인터럽트 우선순위는 EIRQ0가 가장 높다. 인터럽트 벡터 주소는 CPU가 32bit Addressing을 하기 때문에 각각 4bytes의 크기를 가진다.

Table 8-1 Interrupt Vector & Priority

Vector No.	Description	Vector Address
0x53	Reserved	0x0000014C
0x52	Dedicated PWM Interrupt	0x00000148
0x51	QEI Interrupt	0x00000144
0x50	Reserved	0x00000140
0x4F	Fault B Interrupt	0x0000013C
0x4E	Fault A Interrupt	0x00000138
0x4D	Capture Overflow Interrupt	0x00000134
0x4C	SPI 1 Interrupt	0x00000130
0x4B	GPIO 9 Interrupt	0x0000012C
0x4A	TWI Interrupt	0x00000128
0x49	GPIO 8 Interrupt	0x00000124
0x48	Reserved	0x00000120
0x47	GPIO 7 Interrupt	0x0000011C
0x46	UART 4 (IrDA) Interrupt	0x00000118
0x45	GPIO 6 Interrupt	0x00000114
0x44	Watch dog Interrupt	0x00000110
0x43	GPIO 5 Interrupt	0x0000010C
0x42	ADC Interrupt	0x00000108
0x41	GPIO 4 Interrupt	0x00000104
0x40	Reserved	0x00000100
0x3F	DMA CH7 Interrupt	0x000000FC
0x3E	UART 3 Interrupt	0x000000F8
0x3D	GPIO 3 Interrupt	0x000000F4
0x3C	SDHC Interrupt	0x000000F0
0x3B	DMA CH6 Interrupt	0x000000EC
0x3A	NAND Flash Interrupt	0x000000E8
0x39	Timer 3 Interrupt	0x000000E4
0x38	Reserved	0x000000E0
0x37	DMA CH5 Interrupt	0x000000DC
0x36	UART 2 Interrupt	0x000000D8
0x35	GPIO 2 Interrupt	0x000000D4
0x34	USB Host Interrupt	0x000000D0
0x33	DMA CH4 Interrupt	0x000000CC
0x32	USB Device Interrupt	0x000000C8
0x31	Timer 2 Interrupt	0x000000C4
0x30	Reserved	0x000000C0
0x2F	DMA CH3 Interrupt	0x000000BC
0x2E	UART 1 Interrupt	0x000000B8
0x2D	GPIO 1 Interrupt	0x000000B4
0x2C	SPI 0 Interrupt	0x000000B0
0x2B	DMA CH2 Interrupt	0x000000AC
0x2A	PMU Interrupt	0x000000A8

0x29	Timer 1 Interrupt	0x000000A4
0x28	EIRQ1 Interrupt	0x000000A0
0x27	DMA CH1 Interrupt	0x0000009C
0x26	UART 0 Interrupt	0x00000098
0x25	GPIO 0 Interrupt	0x00000094
0x24	Frame Sync. Interrupt	0x00000090
0x23	DMA CH0 Interrupt	0x0000008C
0x22	Sound Mixer Interrupt	0x00000088
0x21	Timer 0 Interrupt	0x00000084
0x20	EIRQ0 Interrupt (Highest Priority)	0x00000080

8.2.2 External Interrupt (EIRQx)

External Interrupt는 EINTMOD 레지스터의 설정에 의해 5가지 형태의 외부 인터럽트를 받아들인다.

- Low Level Mode에서는 External Interrupt 신호가 “Low”를 유지하는 동안에 매 System Cycle 마다 인터럽트 발생시킨다.
- High Level Mode에서는 External Interrupt 신호가 “High”를 유지하는 동안에 매 System Cycle 마다 인터럽트를 발생시킨다.
- Falling Edge Mode에서는 External Interrupt 신호가 “High->Low”로 바뀔 때 인터럽트를 발생시킨다.
- Rising Edge Mode에서는 External Interrupt 신호가 “Low->High”로 바뀔 때 인터럽트를 발생시킨다.
- Any Edge Mode에서는 External Interrupt 신호가 “High->Low” 또는 “Low-> High”로 바뀔 때 인터럽트를 발생시킨다.

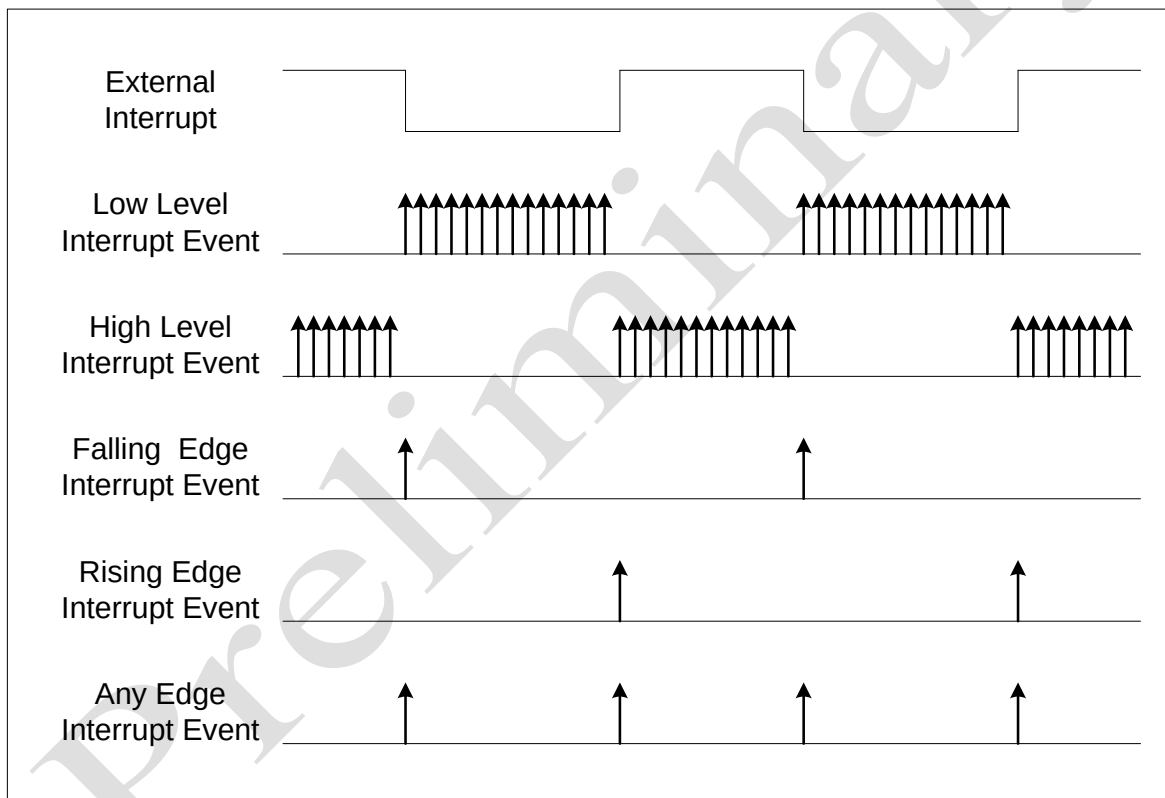


Figure 8-1 External Interrupt Mode

8.2.3 Internal Interrupt Mode

내부 인터럽트는 모두 “Rising Edge”로 동작한다. 그러나 사용자가 “High Level”로 인터럽트를 처리를 원할 경우에 Internal Interrupt Mode Registers를 통해 설정할 수 있다.

8.2.4 Interrupt Pending and Interrupt Pending Clear

각 인터럽트의 발생상태는 Interrupt Pending Registers를 통해 확인할 수 있다. 일단 한번 발생한 인터럽트는 Interrupt Pending Clear Register에 의해 Clear 되기 전까지는 계속 Interrupt Pending Register에 저장된다. 또한 현재 발생한 인터럽트보다 높은 우선순위의 인터럽트가 Masking되지 않은 상태로 Interrupt Pending Registers에 저장되어 있을 경우에는 높은 우선순위의 인터럽트가 모두 Clear될 때까지 Interrupt Pending Registers에 저장되어 자신의 우선순위가 되기를 기다린다.

Interrupt Pending Registers에 저장된 인터럽트들을 Clear하기 위해서는 Interrupt Pending Clear Register를 통해 해당 인터럽트 벡터 번호 값을 Write하면 된다.

8.2.5 Interrupt Enable

Interrupt Mask Registers에 의해 Mask되어 있는 인터럽트는 Interrupt Pending Registers에 계속 저장되는데 비해, Interrupt Enable Registers(IENR)에 의해 Disable된 인터럽트는 Interrupt Pending Registers에 저장되지 않는다. 따라서 이 레지스터는 전혀 받아들이고 싶지 않은 인터럽트에 대해 Disable 하는데 사용한다.

8.2.6 Interrupt Mask Set/Clear Register

Set 이면 Request 가 Enable 되고, Clear 이면 Request 가 Disable 된다.

각 인터럽트는 Interrupt Mask Registers에 의해 해당 인터럽트에 대한 Request를 수행할 수 있다. Interrupt Mask Set bit 가 “1”일 경우에는 Interrupt Pending Register에 저장된 Interrupt를 CPU로 요청하고, Interrupt Mask Clear bit가 “1” 일 경우에는 Interrupt Pending Register에 저장되어 있는 Interrupt를 CPU로 요청하지 못한다. 설정되지 않은 나머지 Interrupt들은 요청될 수 있다.

Mask bit가 “0”으로 설정된 인터럽트라도 Interrupt Pending Registers(IPR)에는 저장되기 때문에 Mask bit을 “1”로 재설정하면 Interrupt Pending Registers에 저장되어 있는 인터럽트가 우선순위에 의해 인터럽트를 다시 요청한다.

8.3 Register Description

8.3.1 Interrupt Pending Clear Register (INTPENDCLR)

Address : 0xFFFF_0000

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7 : 0	W	Interrupt Pending Register Clear Value (0x20 ~ 0x52)	0xFF

*** Interrupt Pending Register를 Clear 하기 위해서는 Interrupt Vector No. 값으로 clear 해야 한다. (Interrupt Vector No. 참고)

8.3.2 External Interrupt Mode and External PIN Level Register (EINTMOD)

Address : 0xFFFF_0004

Bit	R/W	Description	Default Value
31:8	R	Reserved	–
7	R	EIRQ1ST : EIRQ1 PIN Level	–
6 : 4	R/W	EIRQ1MOD : EIRQ1 Active State 000 : Low Level 001 : High Level 010 : Falling Edge 011 : Rising Edge 1xx : Any Edge	010
3	R	EIRQ0ST : EIRQ0 PIN Level	–
2 : 0	R/W	EIRQ0MOD : EIRQ0 Active State 000 : Low Level 001 : High Level 010 : Falling Edge 011 : Rising Edge 1xx : Any Edge	010

8.3.3 Internal Interrupt Mode Register (IINTMODn)

Address : 0xFFFF_0008 / 0xFFFF_0048

Bit	R/W	Description	Default Value
31	R/W	Vector No. 0x3F / 0x5F Interrupt Mode bit	0
30	R/W	Vector No. 0x3E / 0x5E Interrupt Mode bit	0
29	R/W	Vector No. 0x3D / 0x5D Interrupt Mode bit	0
28	R/W	Vector No. 0x3C / 0x5C Interrupt Mode bit	-
27	R/W	Vector No. 0x3B / 0x5B Interrupt Mode bit	0
26	R/W	Vector No. 0x3A / 0x5A Interrupt Mode bit	0
25	R/W	Vector No. 0x39 / 0x59 Interrupt Mode bit	0
24	-	Reserved	-
23	R/W	Vector No. 0x37 / 0x57 Interrupt Mode bit	0
22	R/W	Vector No. 0x36 / 0x56 Interrupt Mode bit	0
21	R/W	Vector No. 0x35 / 0x55 Interrupt Mode bit	0
20	R/W	Vector No. 0x36 / 0x54 Interrupt Mode bit	-
19	R/W	Vector No. 0x33 / 0x53 Interrupt Mode bit	0
18	R/W	Vector No. 0x32 / 0x52 Interrupt Mode bit	0
17	R/W	Vector No. 0x31 / 0x51 Interrupt Mode bit	0
16	-	Reserved	-
15	R/W	Vector No. 0x2F / 0x4F Interrupt Mode bit	0
14	R/W	Vector No. 0x2E / 0x4E Interrupt Mode bit	0
13	R/W	Vector No. 0x2D / 0x4D Interrupt Mode bit	0
12	R/W	Vector No. 0x2C / 0x4C Interrupt Mode bit	-
11	R/W	Vector No. 0x2B / 0x4B Interrupt Mode bit	0
10	R/W	Vector No. 0x2A / 0x4A Interrupt Mode bit	0
9	R/W	Vector No. 0x29 / 0x49 Interrupt Mode bit	0
8	-	Reserved	-
7	R/W	Vector No. 0x27 / 0x47 Interrupt Mode bit	0
6	R/W	Vector No. 0x26 / 0x46 Interrupt Mode bit	0
5	R/W	Vector No. 0x25 / 0x45 Interrupt Mode bit	0
4	R/W	Vector No. 0x24 / 0x44 Interrupt Mode bit	-
3	R/W	Vector No. 0x23 / 0x43 Interrupt Mode bit	0
2	R/W	Vector No. 0x22 / 0x42 Interrupt Mode bit	0
1	R/W	Vector No. 0x21 / 0x41 Interrupt Mode bit	0
0	-	Reserved	-

*** Internal Interrupt Mode bit

0 : High Level Mode

1 : Rising Edge Mode

8.3.4 Interrupt Pending Register (INTPENDn)

Address : 0xFFFF_000C / 0xFFFF_004C

Bit	R/W	Description	Default Value
31	R	Vector No. 0x3F / 0x5F Interrupt Pending bit	-
30	R	Vector No. 0x3E / 0x5E Interrupt Pending bit	-
29	R	Vector No. 0x3D / 0x5D Interrupt Pending bit	-
28	R	Vector No. 0x3C / 0x5C Interrupt Pending bit	-
27	R	Vector No. 0x3B / 0x5B Interrupt Pending bit	-
26	R	Vector No. 0x3A / 0x5A Interrupt Pending bit	-
25	R	Vector No. 0x39 / 0x59 Interrupt Pending bit	-
24	R	Vector No. 0x38 / 0x58 Interrupt Pending bit	-
23	R	Vector No. 0x37 / 0x57 Interrupt Pending bit	-
22	R	Vector No. 0x36 / 0x56 Interrupt Pending bit	-
21	R	Vector No. 0x35 / 0x55 Interrupt Pending bit	-
20	R	Vector No. 0x34 / 0x54 Interrupt Pending bit	-
19	R	Vector No. 0x33 / 0x53 Interrupt Pending bit	-
18	R	Vector No. 0x32 / 0x52 Interrupt Pending bit	-
17	R	Vector No. 0x31 / 0x51 Interrupt Pending bit	-
16	R	Vector No. 0x30 / 0x50 Interrupt Pending bit	-
15	R	Vector No. 0x2F / 0x4F Interrupt Pending bit	-
14	R	Vector No. 0x2E / 0x4E Interrupt Pending bit	-
13	R	Vector No. 0x2D / 0x4D Interrupt Pending bit	-
12	R	Vector No. 0x2C / 0x4C Interrupt Pending bit	-
11	R	Vector No. 0x2B / 0x4B Interrupt Pending bit	-
10	R	Vector No. 0x2A / 0x4A Interrupt Pending bit	-
9	R	Vector No. 0x29 / 0x49 Interrupt Pending bit	-
8	R	Vector No. 0x28 / 0x48 Interrupt Pending bit	-
7	R	Vector No. 0x27 / 0x47 Interrupt Pending bit	-
6	R	Vector No. 0x26 / 0x46 Interrupt Pending bit	-
5	R	Vector No. 0x25 / 0x45 Interrupt Pending bit	-
4	R	Vector No. 0x24 / 0x44 Interrupt Pending bit	-
3	R	Vector No. 0x23 / 0x43 Interrupt Pending bit	-
2	R	Vector No. 0x22 / 0x42 Interrupt Pending bit	-
1	R	Vector No. 0x21 / 0x41 Interrupt Pending bit	-
0	R	Vector No. 0x20 / 0x40 Interrupt Pending bit	-

*** Interrupt Pending Register의 각 비트의 값은 해당 인터럽트가 발생하였음을 나타낸다. Interrupt Pending Register의 값은 Interrupt Pending Clear 레지스터에 의해 Clear된다. 일반적으로 해당 Interrupt 가 끝날 때 Clear한다.

8.3.5 Interrupt Enable Register (INTENn)

Address : 0xFFFF_0010 / 0xFFFF_0050

Bit	R/W	Description	Default Value
31	R/W	Vector No. 0x3F / 0x5F Interrupt Enable bit	0
30	R/W	Vector No. 0x3E / 0x5E Interrupt Enable bit	0
29	R/W	Vector No. 0x3D / 0x5D Interrupt Enable bit	0
28	R/W	Vector No. 0x3C / 0x5C Interrupt Enable bit	0
27	R/W	Vector No. 0x3B / 0x5B Interrupt Enable bit	0
26	R/W	Vector No. 0x3A / 0x5A Interrupt Enable bit	0
25	R/W	Vector No. 0x39 / 0x59 Interrupt Enable bit	0
24	R/W	Vector No. 0x38 / 0x58 Interrupt Enable bit	0
23	R/W	Vector No. 0x37 / 0x57 Interrupt Enable bit	0
22	R/W	Vector No. 0x36 / 0x56 Interrupt Enable bit	0
21	R/W	Vector No. 0x35 / 0x55 Interrupt Enable bit	0
20	R/W	Vector No. 0x34 / 0x54 Interrupt Enable bit	0
19	R/W	Vector No. 0x33 / 0x53 Interrupt Enable bit	0
18	R/W	Vector No. 0x32 / 0x52 Interrupt Enable bit	0
17	R/W	Vector No. 0x31 / 0x51 Interrupt Enable bit	0
16	R/W	Vector No. 0x30 / 0x50 Interrupt Enable bit	0
15	R/W	Vector No. 0x2F / 0x4F Interrupt Enable bit	0
14	R/W	Vector No. 0x2E / 0x4E Interrupt Enable bit	0
13	R/W	Vector No. 0x2D / 0x4D Interrupt Enable bit	0
12	R/W	Vector No. 0x2C / 0x4C Interrupt Enable bit	0
11	R/W	Vector No. 0x2B / 0x4B Interrupt Enable bit	0
10	R/W	Vector No. 0x2A / 0x4A Interrupt Enable bit	0
9	R/W	Vector No. 0x29 / 0x49 Interrupt Enable bit	0
8	R/W	Vector No. 0x28 / 0x48 Interrupt Enable bit	0
7	R/W	Vector No. 0x27 / 0x47 Interrupt Enable bit	0
6	R/W	Vector No. 0x26 / 0x46 Interrupt Enable bit	0
5	R/W	Vector No. 0x25 / 0x45 Interrupt Enable bit	0
4	R/W	Vector No. 0x24 / 0x44 Interrupt Enable bit	0
3	R/W	Vector No. 0x23 / 0x43 Interrupt Enable bit	0
2	R/W	Vector No. 0x22 / 0x42 Interrupt Enable bit	0
1	R/W	Vector No. 0x21 / 0x41 Interrupt Enable bit	0
0	R/W	Vector No. 0x20 / 0x40 Interrupt Enable bit	0

*** Interrupt Enable bit

0 : Interrupt Disable and Pending Clear

1 : Interrupt Enable

8.3.6 Interrupt Mask Status Register (INTMASKn)

Address : 0xFFFF_0014 / 0xFFFF_0054

Bit	R/W	Description	Default Value
31 : 0	R	Interrupt Mask Status Register	0x0000_0000

*** 모든 Mask bit의 상태를 확인할 수 있다.

8.3.7 Interrupt Mask Set Register (INTMASKSETn)

Address : 0xFFFF_0014h / 0xFFFF_0054

Bit	R/W	Description	Default Value
31	W	Vector No. 0x3F / 0x5F Interrupt Request Set bit	0
30	W	Vector No. 0x3E / 0x5E Interrupt Request Set bit	0
29	W	Vector No. 0x3D / 0x5D Interrupt Request Set bit	0
28	W	Vector No. 0x3C / 0x5C Interrupt Request Set bit	0
27	W	Vector No. 0x3B / 0x5B Interrupt Request Set bit	0
26	W	Vector No. 0x3A / 0x5A Interrupt Request Set bit	0
25	W	Vector No. 0x39 / 0x59 Interrupt Request Set bit	0
24	W	Vector No. 0x38 / 0x58 Interrupt Request Set bit	0
23	W	Vector No. 0x37 / 0x57 Interrupt Request Set bit	0
22	W	Vector No. 0x36 / 0x56 Interrupt Request Set bit	0
21	W	Vector No. 0x35 / 0x55 Interrupt Request Set bit	0
20	W	Vector No. 0x34 / 0x54 Interrupt Request Set bit	0
19	W	Vector No. 0x33 / 0x53 Interrupt Request Set bit	0
18	W	Vector No. 0x32 / 0x52 Interrupt Request Set bit	0
17	W	Vector No. 0x31 / 0x51 Interrupt Request Set bit	0
16	W	Vector No. 0x30 / 0x50 Interrupt Request Set bit	0
15	W	Vector No. 0x2F / 0x4F Interrupt Request Set bit	0
14	W	Vector No. 0x2E / 0x4E Interrupt Request Set bit	0
13	W	Vector No. 0x2D / 0x4D Interrupt Request Set bit	0
12	W	Vector No. 0x2C / 0x4C Interrupt Request Set bit	0
11	W	Vector No. 0x2B / 0x4B Interrupt Request Set bit	0
10	W	Vector No. 0x2A / 0x4A Interrupt Request Set bit	0
9	W	Vector No. 0x29 / 0x49 Interrupt Request Set bit	0
8	W	Vector No. 0x28 / 0x48 Interrupt Request Set bit	0
7	W	Vector No. 0x27 / 0x47 Interrupt Request Set bit	0
6	W	Vector No. 0x26 / 0x46 Interrupt Request Set bit	0
5	W	Vector No. 0x25 / 0x45 Interrupt Request Set bit	0
4	W	Vector No. 0x24 / 0x44 Interrupt Request Set bit	0
3	W	Vector No. 0x23 / 0x43 Interrupt Request Set bit	0
2	W	Vector No. 0x22 / 0x42 Interrupt Request Set bit	0
1	W	Vector No. 0x21 / 0x41 Interrupt Request Set bit	0
0	W	Vector No. 0x20 / 0x40 Interrupt Request Set bit	0

*** Interrupt Request Set bit

0 : No Effect interrupt Mask.

1 : Pending interrupt is allowed to become active (interrupts sent to CPU).

8.3.8 Interrupt Mask Clear Register (INTMASKCLRn)

Address : 0xFFFF_0018 / 0xFFFF_0058

Bit	R/W	Description	Default Value
31	W	Vector No. 0x3F / 0x5F Interrupt Req. Clear bit	0
30	W	Vector No. 0x3E / 0x5E Interrupt Req. Clear bit	0
29	W	Vector No. 0x3D / 0x5D Interrupt Req. Clear bit	0
28	W	Vector No. 0x3C / 0x5C Interrupt Req. Clear bit	0
27	W	Vector No. 0x3B / 0x5B Interrupt Req. Clear bit	0
26	W	Vector No. 0x3A / 0x5A Interrupt Req. Clear bit	0
25	W	Vector No. 0x39 / 0x59 Interrupt Req. Clear bit	0
24	W	Vector No. 0x38 / 0x58 Interrupt Req. Clear bit	0
23	W	Vector No. 0x37 / 0x57 Interrupt Req. Clear bit	0
22	W	Vector No. 0x36 / 0x56 Interrupt Req. Clear bit	0
21	W	Vector No. 0x35 / 0x55 Interrupt Req. Clear bit	0
20	W	Vector No. 0x34 / 0x54 Interrupt Req. Clear bit	0
19	W	Vector No. 0x33 / 0x53 Interrupt Req. Clear bit	0
18	W	Vector No. 0x32 / 0x52 Interrupt Req. Clear bit	0
17	W	Vector No. 0x31 / 0x51 Interrupt Req. Clear bit	0
16	W	Vector No. 0x30 / 0x50 Interrupt Req. Clear bit	0
15	W	Vector No. 0x2F / 0x4F Interrupt Req. Clear bit	0
14	W	Vector No. 0x2E / 0x4E Interrupt Req. Clear bit	0
13	W	Vector No. 0x2D / 0x4D Interrupt Req. Clear bit	0
12	W	Vector No. 0x2C / 0x4C Interrupt Req. Clear bit	0
11	W	Vector No. 0x2B / 0x4B Interrupt Req. Clear bit	0
10	W	Vector No. 0x2A / 0x4A Interrupt Req. Clear bit	0
9	W	Vector No. 0x29 / 0x49 Interrupt Req. Clear bit	0
8	W	Vector No. 0x28 / 0x48 Interrupt Req. Clear bit	0
7	W	Vector No. 0x27 / 0x47 Interrupt Req. Clear bit	0
6	W	Vector No. 0x26 / 0x46 Interrupt Req. Clear bit	0
5	W	Vector No. 0x25 / 0x45 Interrupt Req. Clear bit	0
4	W	Vector No. 0x24 / 0x44 Interrupt Req. Clear bit	0
3	W	Vector No. 0x23 / 0x43 Interrupt Req. Clear bit	0
2	W	Vector No. 0x22 / 0x42 Interrupt Req. Clear bit	0
1	W	Vector No. 0x21 / 0x41 Interrupt Req. Clear bit	0
0	W	Vector No. 0x20 / 0x40 Interrupt Req. Clear bit	0

*** Interrupt Request Clear bit

0 : No Effect Interrupt Mask.

1 : Pending interrupt is masked from becoming active (interrupts not sent to CPU).

8.3.9 Programmable Interrupt Priority Enable Register (PIPENR)

Address : 0xFFFF_001C

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	–
0	R/W	Programmable Priority Enable bit 0 : Programmable Priority Disable 1 : Programmable Priority Enable	0

8.3.10 Interrupt Priority Vector n Register (IPVRn)Address : 0xFFFF_0020 / 0xFFFF_0024 / 0xFFFF_0028 / 0xFFFF_002C /
0xFFFF_0030 / 0xFFFF_0034 / 0xFFFF_0038 / 0xFFFF_003C

Bit	R/W	Description	Default Value
31 : 28	R/W	8 th Priority Interrupt Number	0x07
27 : 24	R/W	7 th Priority Interrupt Number	0x06
23 : 20	R/W	6 th Priority Interrupt Number	0x05
19 : 16	R/W	5 th Priority Interrupt Number	0x04
15 : 12	R/W	4 th Priority Interrupt Number	0x03
11 : 8	R/W	3 rd Priority Interrupt Number	0x02
7 : 4	R/W	2 nd Priority Interrupt Number	0x01
3 : 0	RW	1 st Priority Interrupt Number	0x00

* 우선순위는 8개의 인터럽트를 하나의 그룹으로 하여, 그룹 내에서 우선순위를 변경하는 것이 가능하다.

9 DMA

9.1 Features

- AMBA AHB Specification 과 호환.
- 8 채널 지원. 각 채널별로 DMA 전송이 가능하다
- 16 포트 DMA Request 지원.
DMAC는 Peripheral을 위한 16포트의 DMA Request 신호를 제공하고 있다.
- Single Request 와 Burst Request 신호를 제공.
Peripheral에게 제공되는 DMA Request 신호는 Single Request 와 Burst Request 신호 두 종류를 제공하며 두 가지 모두 사용할 수 있다.
- 4가지 DMA 전송 지원.
memory-to-memory, Memory-to-peripheral, peripheral-to-memory peripheral-to-peripheral 전송을 지원한다.
- Auto Reload 기능을 이용한 Scatter 와 Gather 기능을 지원한다.
- Linked list를 이용한 Scatter 와 Gather 기능을 지원한다.
- 채널별 Priority는 하드웨어로 고정되어 있다. 채널 0 가 가장 높은 Priority를 갖고 채널 7 이 가장 낮은 Priority를 갖게 된다.
- 2개의 AHB Master를 내장하여 Multi Layer AHB Bus를 지원하고 있다.
- Programmable Burst Size를 제공하고 있다. 사용자는 DMA 전송의 효율성을 높이기 위하여 Burst Size를 설정한다. Burst Size는 Peripheral 안에 있는 FIFO 크기의 절반으로 설정하는 것이 일반적이다.
- 각 채널별로 4 Word FIFO를 내장하고 있다.
- 각 채널별로 분리된 DMA Error Interrupt 와 DMA Terminal Count Interrupt(전송 종료 인터럽트)를 가지고 있다.
- Interrupt Enable 비트 지원.
DMA Error Interrupt와 DMA Terminal Count Interrupt(전송 종료 인터럽트)에 대한 Enable 비트를 가지고 있다.

9.2 Block Description

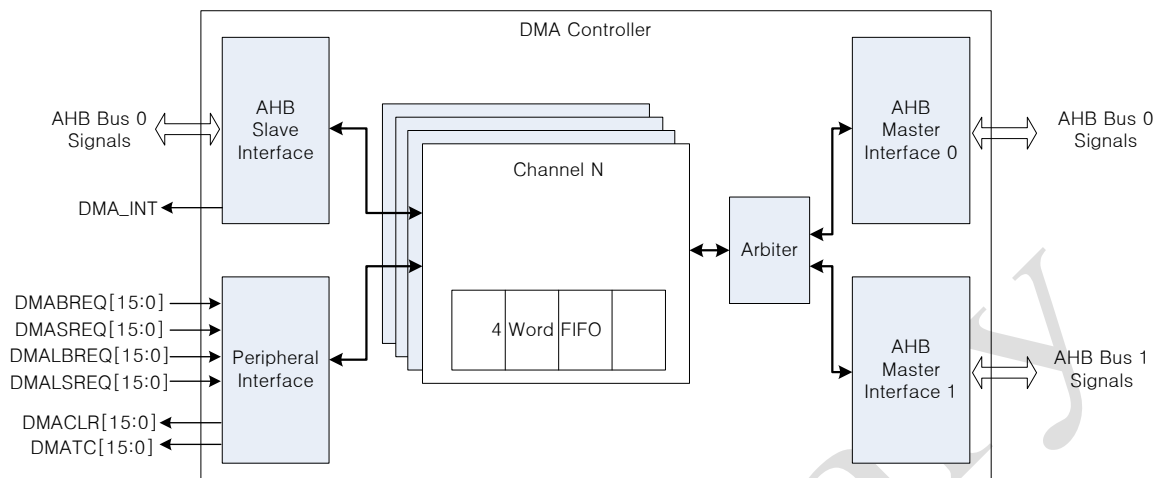


Figure 9-1 DMA Block Diagram

DMA는 8개의 채널을 가지고 있다. 각 채널은 Source Peripheral 에서 Destination Peripheral로 전송되는 단방향의 데이터 흐름을 제어하며 내부에 4x4 byte FIFO를 내장하고 있다.

AHB Master Interface는 채널로부터 들어오는 데이터의 전송 요청을 받아서 AHB Bus에서 데이터 전송을 수행하는 역할을 한다. 내부에 2개의 AHB Master Interface가 내장되어 있어서 서로 다른 버스에 연결할 수 있다. 그래서 Source Peripheral 과 Destination Peripheral 이 다른 버스에 연결되어 있더라도 둘 사이의 데이터 전송이 가능하다.

Arbiter는 각 채널에서 발생하는 데이터 전송 요청을 우선순위에 따라 AHB Master Interface0 또는 AHB Master Interface1 에 전달하며 어느 AHB Master Interface를 사용할 지는 요청되는 데이터의 Address에 의해 결정된다.

AHB Slave Interface는 채널마다 할당되어 있는 레지스터 등을 설정하고 인터럽트를 요청하는 역할을 한다.

Peripheral Interface는 Peripheral들이 요청하는 DMA Request 신호를 받아서 각 채널의 Peripheral Selection 비트에 의해 선택된 신호를 해당 채널로 전달하게 된다. 최대 16개의 DMA Request 신호를 받을 수 있으며 채널 입장에서는 Source DMA Request 신호 와 Destination DMA Request 신호로 구분하여 2개의 DMA Request 신호를 받을 수 있다

9.3 Function Description

9.3.1 DMA Operation

- Transfer Hierarchy

DMA 전송은 그림 2와 같은 3 단계의 계층 구조를 갖는다.

최상위 단계의 전송을 DMA Transfer라 정의한다. DMA Transfer 전송은 DMA가 전송하는 전체 데이터의 양을 의미하며 Control 레지스터에 있는 Transfer Size로 전송량을 결정하게 된다.

차상위 단계 전송을 Burst Transaction으로 정의한다. Burst Transaction 에서 전송하는 데이터의 양은 Control 레지스터에 있는 Burst Size로 설정하게 되며 보통 Peripheral들의 FIFO 크기에 맞추어 설정한다. 일반적인 Peripheral들은 메모리처럼 필요한 모든 데이터를 한번에 전송하지 못하므로 Peripheral 내부의 FIFO 단위로 쪼개서 전송하게 된다. 한가지 주의할 사항은 여기서 설정하는 Burst size가 AMBA Burst transfer의 burst size가 아니라는 점이다.

최하위 단계 전송은 AMBA Burst Transfer이다. Burst Transaction은 AMBA Burst Transfer 단위로 나뉘어진다. 이 단계의 전송에서 사용자가 설정하는 부분은 없으며 하드웨어적으로 관리된다.

사용자는 Burst Size 보다 적은 Transfer Size 값을 설정하는 것이 가능하다. 이러한 경우 Burst Transaction은 설정된 Transfer size 양만 전송되며 DMA 전송이 종료된다.

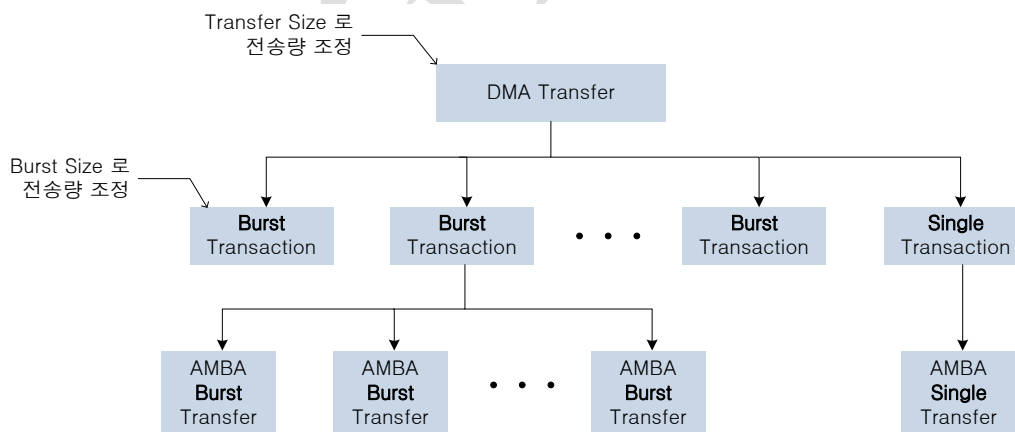


Figure 9-2 DMA Transfer hierarchy

- Transfer type

사용자는 DMA 설정에서 데이터 전송의 종류(Transfer type)를 지정해야 한다. Transfer Type은 아래의 4가지 중에 하나가 된다.

1. Memory to Memory
2. Memory to Peripheral
3. Peripheral to Memory
4. Source Peripheral to Destination Peripheral

Memory to Memory 의 의미는 Source Address가 Memory이고 Destination Address도 Memory로 지정한 경우를 말한다.

Memory to Peripheral 의 의미는 Source Address는 Memory 이고 Destination Address는 Peripheral로 지정한 경우이다. 즉 메모리에 있는 데이터를 Peripheral의 버퍼 등으로 옮기는 것을 뜻한다.

이렇게 사용자가 Transfer Type을 지정하는 이유는 handshake 과정이 필요한지 아닌지를 DMA에게 알려주기 위함이다. DMA는 메모리가 아닌 Peripheral과의 데이터 전송을 수행할 때에는 Handshake 방식으로 진행한다. 메모리가 아닌 Peripheral 들은 데이터 전송을 위한 준비 과정과 시간이 필요하며 데이터 전송량도 한정되어 있다. Handshake 방식은 Peripheral이 데이터가 준비되었을 때만 DMAC가 데이터를 전송하도록 유도하므로 필요한 방식이다. 하지만 Peripheral이 메모리인 경우는 언제나 Access가 가능하므로 이러한 handshake 과정은 필요하지 않다.

따라서 사용자는 Transfer type을 지정하여 Peripheral 과의 데이터 전송에서 handshake 방식이 필요한지 아닌지를 알려주어야 한다.

- Flow Controller

Flow controller란 DMA 전송량을 결정하는 모듈을 말한다. Flow Controller는 DMAC 또는 Peripheral 중에 하나로 정해진다. 만약 DMAC가 Flow controller가 되면 DMA 전송량은 Transfer Size에 설정된 값으로 결정된다.

또한 Peripheral 이 Flow Controller 역할을 할 수 있다. 이러한 경우 DMAC는 Peripheral의 Request 신호에 맞추어 데이터를 전송하게 하게 되며 Transfer size에 설정된 값들은 무시된다. DMA 전송을 종료하기 위해서는 마지막 데이터를 요구할 때 Last Request 신호를 보내면 된다. DMAC 가 Last Request 신호를 받게 되면 마지막 요청에 대한 데이터 전송을 수행한 후에 DMA 전송이 종료된다.

9.3.2 Linked List Operation

- LLI

LLI(Linked List Item)는 DMA 전송을 위해 필요한 기본적인 정보들을 담고 있는 배열이다. LLI가 담고 있는 내용은 Source Address, Destination Address, Next LLI Address, Control 정보 이렇게 4가지 이다. Linked List Operation은 DMAC가 첫 번째 LLI를 읽어서 내부 레지스터들을 갱신한 후 DMA 전송을 수행하고 종료되면 Next LLI 주소를 통해 다음 번 LLI를 읽어 들이는 방식으로 동작한다. 아래의 그림은 LLI의 구조를 설명하는 그림이다.

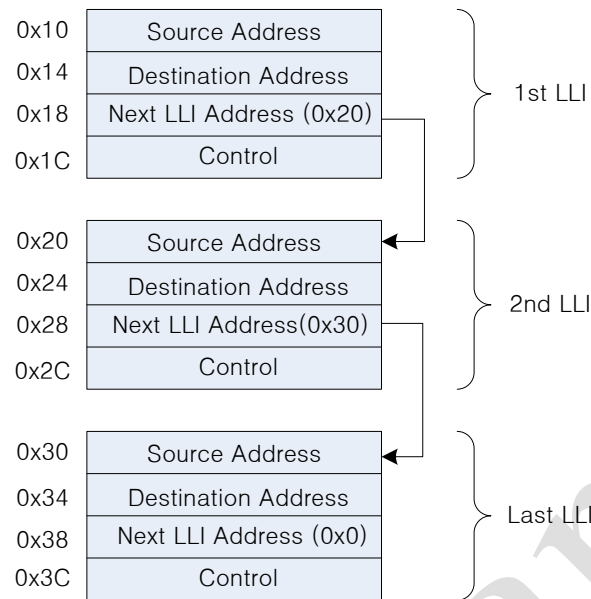


Figure 9-3 Linked list

마지막 LLI는 항상 Next LLI Address 에 0x0을 쓰도록 약속되어 있다. DMAC 는 Next LLI Address가 0x0임을 확인하면 현재 읽은 LLI 가 마지막임을 알게 된다. 그러므로 LLI 가 실제 주소 0x0 에 놓이면 수행되지 않으므로 주의해야 한다.

- Multi Block Transfer

LLI로 기술되어 있는 데이터를 전송하는 경우를 Multi Block Transfer라고 부르기도 한다. 즉 하나의 LLI 가 전송하는 데이터를 Block 이라고 정의하며 LLI의 개수는 Block 의 개수가 된다. 또한 Block 사이즈는 각각의 LLI에 포함된 Control 레지스터의 Transfer Size로 정의된다. 아래의 그림은 Multi Block Transfer에 대한 계층 구조를 보여주고 있다.

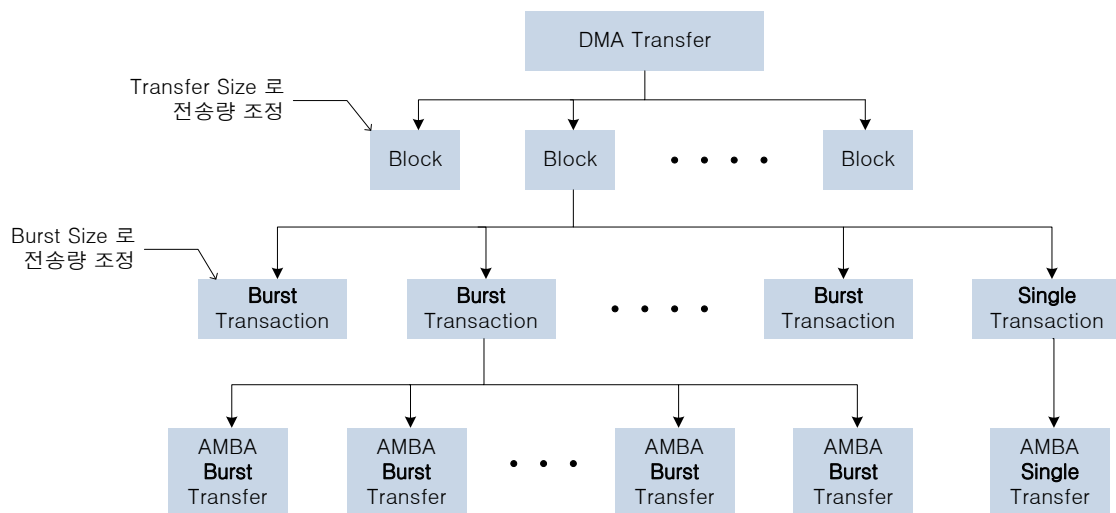


Figure 9-4 Multi Block Transfer

- Scatter & Gather with Linked list

Scatter는 한 덩어리로 모여있는 데이터를 DMA 전송을 통하여 분산시키는 것을 의미하며

Gather는 그 반대의 의미로써 흩어져있는 데이터를 한 군데로 모으는 것을 말한다. LLI를 이용하면 Scatter와 Gather 기능을 수행할 수 있다.

아래의 그림은 LLI를 사용하여 Gather 기능을 수행하는 예를 보여준다. 예제의 LLI의 내용은 그림처럼 사각형 형태로 저장된 데이터를 Peripheral로 옮기는 Gather 작업을 수행하고 있다.

	0x00200	0x00E00
0x0A000		
0x0B000		
0x0C000		
0x0D000		
0x0E000		
0x0F000		
0x10000		
0x11000		

Figure 9-5 Gathering by using LLI

LLI의 위치는 0x20000 에서 시작한다.

첫 번째 LLI 내용

Source Address: 0x0A200
 Destination Address: Peripheral Address
 Source and Destination transfer width: 8bit
 Source and Destination burst Size: 16 burst
 Transfer Size: 3072 byte, 0xC00
 Next LLI Address: 0x20010

두 번째 LLI 내용

Source Address: 0x0B200
 Destination Address : Peripheral Address
 Source and Destination transfer width: 8bit
 Source and Destination burst Size: 16 burst
 Transfer Size: 3072 byte, 0xC00
 Next LLI Address: 0x20020

.

.

.

마지막 LLI 내용

Source Address: 0x11200
 Destination Address: Peripheral Address
 Source and Destination transfer width: 8bit
 Source and Destination burst Size: 16 burst
 Transfer Size: 3072 byte, 0xC00
 Next LLI Address: 0x0

9.3.3 Auto Reload Operation

Auto Reload Operation의 기본 동작은 DMA 전송이 완료되었을 때 Control 레지스터를 다시 Reload하여 DMA 전송을 반복하는 것이다. 반복 회수는 Auto Reload count 레지스터 값으로 정하게 된다. Auto Reload가 1회 발생할 때 Auto Reload Count 값이 1씩 감소하며 0이 되면 Auto Reload는 발생하지 않는다. Auto Reload Operation은 별도의 모드 설정이 없으며 DMA 전송이 완료되었을 때 Auto Reload Count 레지스터가 0 이 아니면 Auto Reload를 수행하는 방식이다.

- Transfer Hierarchy

Auto Reload Operation은 Linked List Operation처럼 Multi Block Transfer로 분류된다. Block의 개수는 Auto Reload count + 1 이 되고 Block 의 데이터 전송량은 Transfer size로 설정된다.

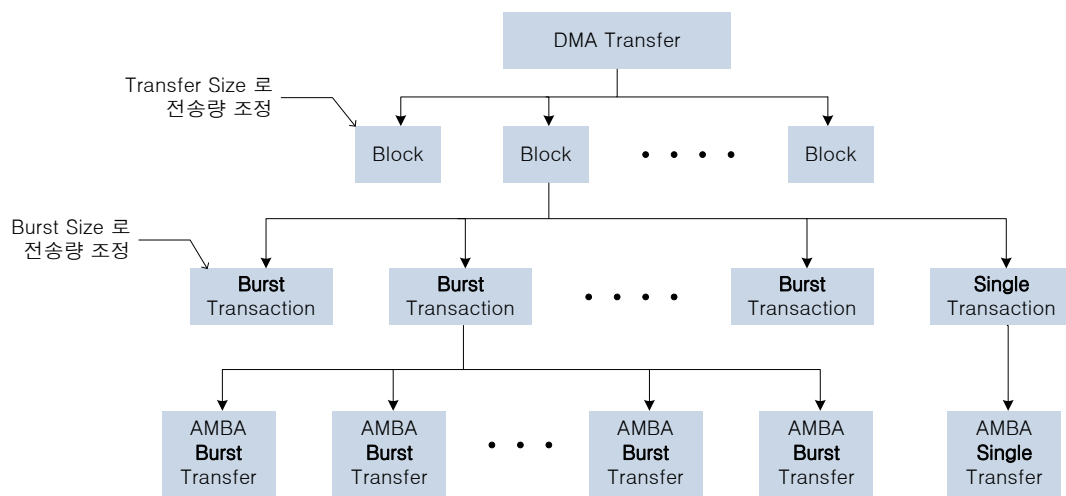


Figure 9-6 Auto Reload Operation Transfer Hierarchy

- Scatter with Auto reload

아래의 그림은 Auto Reload Operation을 통하여 Scatter 기능을 보여주는 예제이다. Destination Scatter Address는 Block 전송이 완료될 때마다 Destination Block의 시작 주소를 일정 간격으로 띄우는 역할을 한다. 사용자는 이 레지스터를 통하여 Destination Block 간의 간격을 둬으로써 Scatter 기능을 구현하게 된다.

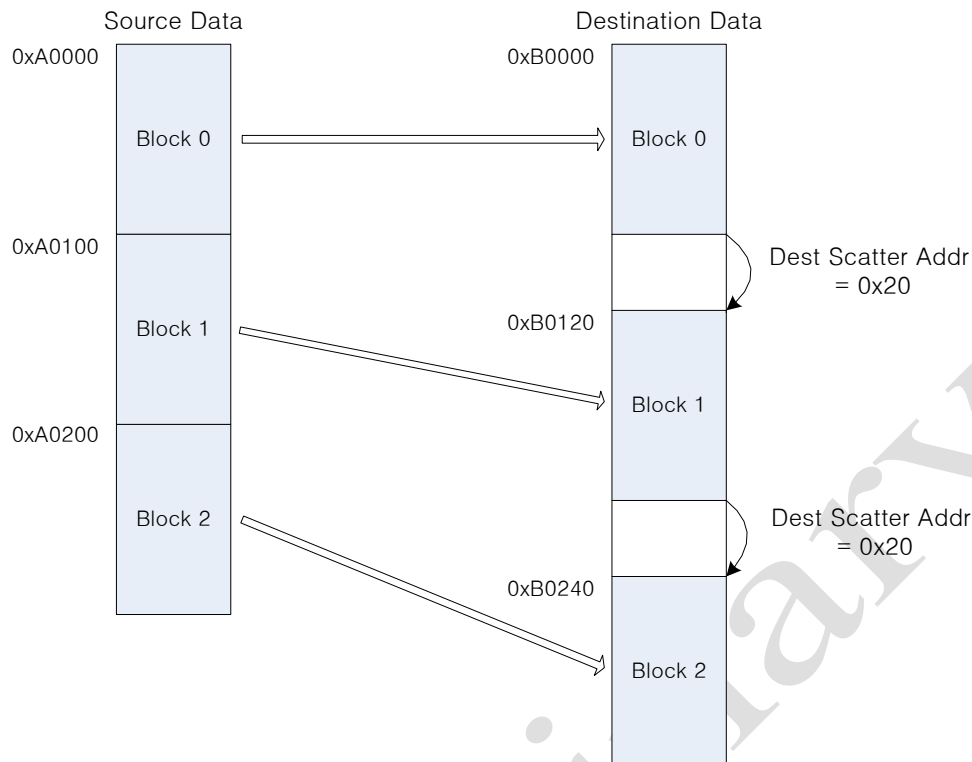


Figure 9-7 Scatter with Auto Reload Operation

레지스터 설정

Source Address: 0xA0000

Destination Address: 0xB0000

Source and Destination transfer width: 32bit

Source and Destination burst Size: 4 burst

Transfer Size: 0x40

Auto Reload Count: 2

Destination scatter Address: 0x20

- Gather with Auto reload

아래의 그림은 Auto Reload Operation을 사용한 Gather 기능을 보여주는 예제이다. Source Gather Address는 블록 전송이 완료될 때마다 Source 블록의 시작 주소를 일정 간격으로 띄우는 역할을 한다. 사용자는 이 레지스터를 통하여 Source Block 간의 간격을 둬으로써 Gather 기능을 구현하게 된다.

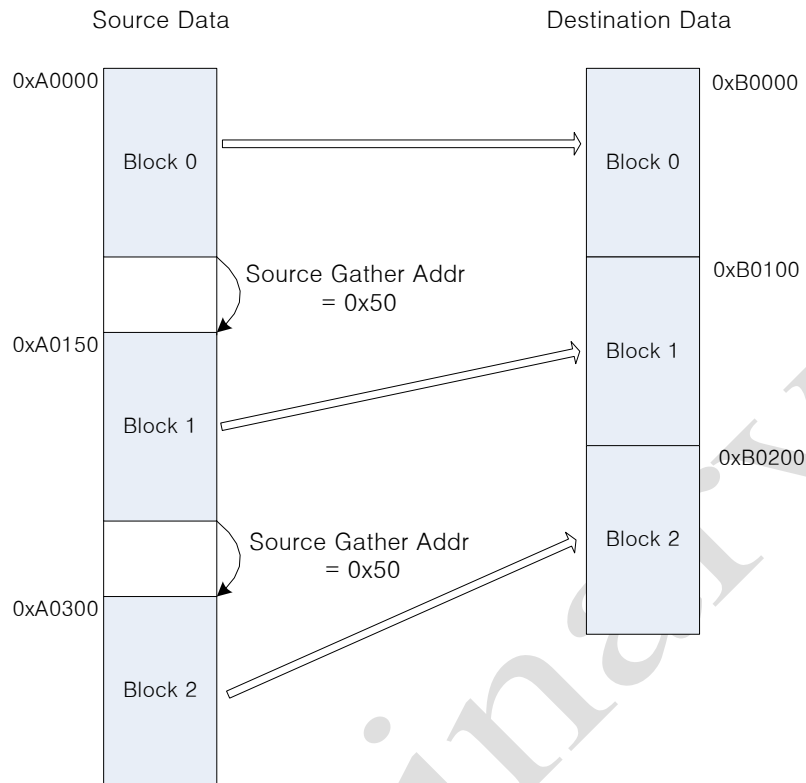


Figure 9-8 Gather with Auto Reload Operation

레지스터 설정

Source Address: 0xA0000

Destination Address: 0xB0000

Source and Destination transfer width: 32bit

Source and Destination burst Size: 4 burst

Transfer Size: 0x40

Auto Reload Count: 2

Source gather Address: 0x50

9.3.4 Peripheral Interface

- Hand Shake Signals

DMA Request 신호와 DMA Clear 신호는 DMA가 메모리가 아닌 Peripheral 과의 데이터 전송에서 Handshake 방식으로 데이터를 전송하는 데 사용하는 신호이다.

DMA Request 신호는 Peripheral이 DMAC에게 데이터 전송을 요청할 때 사용하는 신호이며 4가지가 있다. (아래의 그림 참조) Peripheral은 이중 하나를 선택하여 Request 를 하며 동시에 여러 개를 Request 하는 것은 허용하지 않는다.

DMA Clear 신호는 DMA Request 신호에 대한 응답으로 DMAC가 Peripheral에 보내는 신호이다.

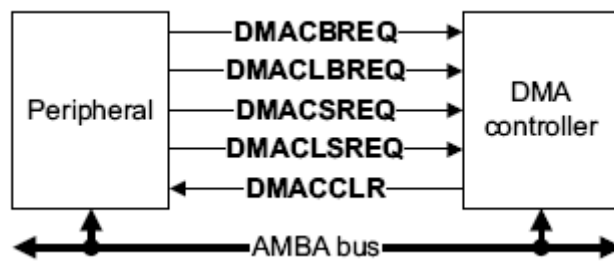


Figure 9-9 DMA Handshake Signals

- DMABREQ
Burst Request 신호. 이 신호가 Active 되면 DMAC에 의해 Burst Transaction이 발생하며 전송되는 데이터의 양은 Burst Size에서 정해진다.
- DMASREQ
Single Request 신호. 이 신호는 Active 되면 DMAC에 의해 Single Transaction 이 발생한다.
- DMALBREQ
Last Burst Request 신호. Peripheral 이 Flow Control을 역할을 하도록 설정하였을 때 마지막 DMA Burst Request 신호임을 알리는 신호이다. DMALBREQ 신호가 Active 되면 마지막 Burst Transaction이 발생하고 DMA 전송이 종료된다.
- DMALSREQ
Last Single Request 신호. Peripheral 이 Flow Control을 역할을 하도록 설정하였을 때 마지막 DMA Single Request 신호임을 알리는 신호이다. DMALSREQ 신호가 Active 되면 마지막 Single Transaction이 발생하고 DMA 전송이 종료된다.
- DMACLR
DMA Clear 신호. Peripheral 이 요청하는 4가지 Request 신호를 inactive 시키는 신호이다.

- Time diagram of DMA Request

Peripheral이 Request를 보내면 DMAC는 Program된 Burst Size 만큼 데이터를 전송한 후에 DMA Clear 신호를 보내게 된다. 이때 모든 전송이 종료된 경우에는 DMATC(DMA Terminal Count: DMA 전송 종료) 신호도 동시에 Active 된다. 이 신호를 통하여 Peripheral은 DMA 전송이 종료 되었는지 체크 할 수 있다.

Peripheral 이 DMA Clear (DMACLR)신호를 받게 되면 DMA Request 신호를 Inactive 상태로 만들게 된다. 만약 DMA Clear 신호가 오기 전에 Peripheral 스스로 DMA Request 신호를 Inactive 상태로 만들면 문제가 발생하게 된다. 또한 Next DMA Request 신호를 보낼 때에는 현재 DMA Clear 신호가 Inactive 상태일 때만 가능하다.

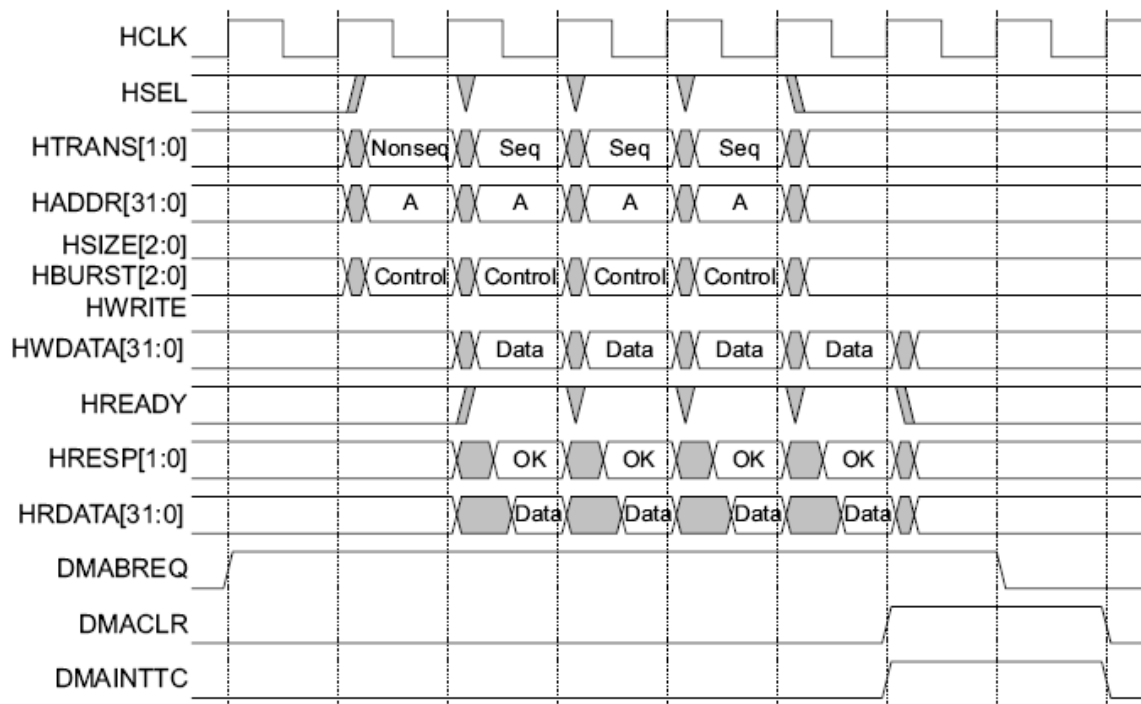


Figure 9-10 Time Diagram of DMA Request

9.4 Register Description

9.4.1 DMA Interrupt Status (DMAIntStatus)

Address: 8000_1400

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Interrupt Status of Channel 각 채널에서 발생할 수 있는 Interrupt의 발생 유무를 알려준다. ex) 0번 비트가 set 인 경우 0번 채널 인터럽트 발생 1번 비트가 set 인 경우 1번 채널 인터럽트 발생 인터럽트는 2종류가 있으므로 DMATCIS와 DMATCIC를 읽어서 인터럽트의 종류를 확인해야 한다.	0

9.4.2 DMA Terminal Count Interrupt Status (DMATCIntStatus)

Address: 8000_1404

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Terminal Count Interrupt Status of Channel 각 채널의 Terminal Count 인터럽트 발생 유무를 알려준다.	0

9.4.3 DMA Terminal Count Interrupt Clear (DMATCIntClr)

Address: 8000_1408

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	W	Terminal Count Interrupt Clear 각 비트는 해당 채널의 Terminal count 인터럽트를 Clear 하는 역할을 한다. Set 하게 되면 해당 채널의 인터럽트가 Clear 된다.	0

9.4.4 DMA Error Interrupt Status (DMAErrorIntStatus)

Address: 8000_140C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Error Interrupt Status of Channel 각 채널의 DMA 전송 에러 인터럽트에 대한 발생 유무를 알려준다.	0

9.4.5 DMA Error Interrupt Clear (DMAErrorIntClr)

Address: 8000_1410

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	W	Error Interrupt Clear 각 비트는 해당 채널의 DMA 전송 에러 인터럽트를 Clear 하는 역할을 한다. Set 하게 되면 해당 채널의 인터럽트가 Clear 된다.	0

9.4.6 DMA Block Interrupt Status (DMABlockIntStatus)

Address: 8000_1414

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Block Interrupt Status of Channel 각 채널의 DMA Block 인터럽트에 대한 발생 유무를 알려준다.	0

9.4.7 DMA Block Interrupt Clear (DMABlockIntClr)

Address: 8000_1418

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	W	Block Interrupt Clear 각 비트는 해당 채널의 DMA Block 인터럽트를 Clear 하는 역할을 한다. Set 하게 되면 해당 채널의 인터럽트가 Clear 된다.	0

9.4.8 DMA Raw Terminal Count Interrupt Status (DMARawTCIntStatus)

Address: 8000_141C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Raw Terminal Count Interrupt Status of Channel Interrupt Enable 비트로 Disable 된 각 채널의 Terminal Count 인터럽트가 발생되었는지를 알려준다.	0

9.4.9 DMA Raw Error Interrupt Status (DMARawErrorIntStatus)

Address: 8000_1420

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Error Interrupt Status of Channel Interrupt Enable 비트로 Disable 된 각 채널의 에러 인터럽트에 대한 발생 유무를 알려준다.	0

9.4.10 DMA Enabled Channel Status (DMAEnbldChn)

Address: 8000_1424

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Enabled Channel Status 각 비트는 해당 채널의 DMA 가 Enable 되어 있는지를 알려준다.	0

9.4.11 DMA Software Burst Request (DMASoftBReq)

Address: 8000_1428

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Burst Request 소프트웨어적으로 DMA Burst Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Burst Request 신호가 생성되면 Clear는 자동으로 이루어진다.	0

9.4.12 DMA Software Single Request (DMASoftSReq)

Address: 8000_142C

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Single Request 소프트웨어적으로 DMA Single Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Burst Request 신호가 생성되면 Clear는 자동으로 이루어진다.	0

9.4.13 DMA Software Last Burst Request (DMASoftLBReq)

Address: 8000_1430

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Last Burst Request 소프트웨어적으로 DMA Single Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Burst Request 신호가 생성되면 Clear는 자동으로 이루어진다.	0

9.4.14 DMA Software Last Single Request (DMASoftLSReq)

Address: 8000_1434

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Last Single Request 소프트웨어적으로 DMA Last Single Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Last Single Request 신호가 생성되면 Clear는 자동으로 이루어진다.	0

9.4.15 Channel Source Address Register (ChnSrcAddr)Address: 8000_1500 / 8000_1520 / 8000_1540 / 8000_1560
8000_1580 / 8000_15A0 / 8000_15C0 / 8000_15E0

Bit	R/W	Description	Default Value
31 : 0	RW	Source Address 각 채널의 Source Address를 설정하는 레지스터이다. 또한 설정된 값은 Source transfer Width에 따라 Align이 맞아야 한다. Source Address는 채널에서 데이터 전송이 진행됨에 따라 자동으로 증가한다. 그래서 이 레지스터는 언제나 앞으로 전송해야 할 데이터의 Address를 지시하고 있게 된다. 하지만 해당 채널이 동작중인 상태에서 이값을 읽는 것은 의미가 없다. 왜냐하면 프로그램이 Read 하는 순간에도 채널은 계속 진행하고 있기 때문이다. 다만 해당 채널이 종료된 후 이 레지스터를 체크하면 읽어야 할 데이터가 모두 읽었는지는 확인 해 볼 수 있다.	0

9.4.16 Channel Destination Address Register (ChnDstAddr)Address: 8000_1504 / 8000_1524 / 8000_1544 / 8000_1564
8000_1584 / 8000_15A4 / 8000_15C4 / 8000_15E4

Bit	R/W	Description	Default Value
31 : 0	RW	Destination Address 각 DMA 채널의 Destination Address를 설정하는 레지스터이다. 또한 설정된 값은 Destination transfer Width에 따라 Align이 맞아야 한다. Destination Address는 채널에서 데이터 전송이 진행됨에 따라 자동으로 증가한다. 그래서 이 레지스터는 언제나 앞으로 전송되는 데이터가 저장되는 주소를 지시하고 있게 된다. 하지만 채널이 동작 중인 상태에서 이 값을 읽는 것은 의미가 없다. 왜냐하면 프로그램이 Read 하는 순간 해당 채널은 계속 진행되고 있기 때문이다. 다만 채널이 종료된 후 이 레지스터를 체크하면 읽어야 할 데이터가 모두 읽었는지는 확인해 볼 수 있다.	0

9.4.17 Channel Linked List Item Register (ChnLLI)

Address: 8000_1508 / 8000_1528 / 8000_1548 / 8000_1568
8000_1588 / 8000_15A8 / 8000_15C8 / 8000_15E8

Bit	R/W	Description	Default Value
31 : 2	RW	Linked List Item Address 각 DMA 채널의 첫 번째 Linked List Item 이 위치한 곳의 시작 주소를 지정하는 레지스터이다. 이 레지스터가 0x0이 아닌 값으로 설정되고 채널이 Enable 되면 DMAC는 이 주소에 위치한 첫 번째 Linked List Item을 Load 하여 내부 레지스터들을 갱신하고 Linked List Operation을 수행한다. Default Value는 Linked List Operation이 수행하지 않는다.	0
1 : 0	R	Reserved	0

9.4.18 Channel Control Register (ChnCntrl)

Address: 8000_150C / 8000_152C / 8000_154C / 8000_156C
8000_158C / 8000_15AC / 8000_15CC / 8000_15EC

Bit	R/W	Description	Default Value
31 : 30	R	Reserved	-
29	RW	Destination Increment 설정되면 Destination 어드레스가 데이터 전송에 따라 자동으로 증가한다.	0
28	RW	Source Increment 설정하게 되면 Source 어드레스가 데이터 전송에 따라 자동으로 증가한다.	0
26 : 24	RW	Destination transfer width 000 : 8bit 100 : Reserved 001 : 16bit 101 : Reserved 010 : 32bit 110 : Reserved 011 : Reserved 111 : Reserved Destination 측 data width를 설정하는 비트이다. Source transfer width와 다르게 설정하는 것이 가능하다. 만약 Destination transfer width < Source transfer width 인 경우 Transfer size 설정에 주의한다. (Program Consideration 참조)	0
23	R	Reserved	
22 : 20	RW	Source transfer width 000 : 8bit 100 : Reserved 001 : 16bit 101 : Reserved 010 : 32bit 110 : Reserved 011 : Reserved 111 : Reserved Source 에서 전송하는 data width를 설정하는 비트이다.	0

19	R	Reserved									
18 : 16	RW	Destination burst size <table><tr><td>000 : 1</td><td>100 : 32</td></tr><tr><td>001 : 4</td><td>101 : 64</td></tr><tr><td>010 : 8</td><td>110 : 128</td></tr><tr><td>011 : 16</td><td>111 : 256</td></tr></table> Destination 측 Peripheral 에서 수행하는 Burst Transaction 의 크기를 지정한다. AHB Burst Size와 유사하나 그것을 포함하는 상위 레벨의 Transaction이다. (Transfer Hierarchy 참조) Destination이 Memory인 경우에도 동일한 Burst size 로 접근한다.	000 : 1	100 : 32	001 : 4	101 : 64	010 : 8	110 : 128	011 : 16	111 : 256	0
000 : 1	100 : 32										
001 : 4	101 : 64										
010 : 8	110 : 128										
011 : 16	111 : 256										
15	R	Reserved									
14 : 12	RW	Source burst size <table><tr><td>000 : 1</td><td>100 : 32</td></tr><tr><td>001 : 4</td><td>101 : 64</td></tr><tr><td>010 : 8</td><td>110 : 128</td></tr><tr><td>011 : 16</td><td>111 : 256</td></tr></table> Source측 Peripheral에서 수행하는 Burst Transaction의 크기를 지정한다 AHB Burst Size와 유사하나 그것을 포함하는 상위 레벨의 Transaction이다. (Transfer Hierarchy 참조) Source가 Memory인 경우에도 동일한 Burst Size로 접근한다.	000 : 1	100 : 32	001 : 4	101 : 64	010 : 8	110 : 128	011 : 16	111 : 256	0
000 : 1	100 : 32										
001 : 4	101 : 64										
010 : 8	110 : 128										
011 : 16	111 : 256										
11 : 0	RW	Transfer Size DMAC가 Flow Control 역할을 할 때 DMA 채널이 전송하는 데이터의 전체 양을 의미한다. 전송 단위는 Byte가 아니고 Source Transfer Width 가 된다. 즉 전체 전송량을 계산식은 다음과 같다 (Transfer size) x (source transfer width) 이 값은 사용자가 설정한 값에서 데이터 전송이 수행 될 때마다 1씩 줄어들게 되고 0 이 되면 DMA 전송이 종료된다. 따라서 DMA 전송 중에 이 값을 읽게 되면 앞으로 전송 종료까지 남은 데이터의 양을 확인할 수 있다. DMAC 가 Flow Controller 가 아닌 경우 이 값은 무시되지만 Program에서는 이 값을 0으로 설정해야 한다.	000								

9.4.19 Channel Configuration Register (ChnCfg)

Address: 8000_1510 / 8000_1530 / 8000_1550 / 8000_1570

8000_1590 / 8000_15B0 / 8000_15D0 / 8000_15F0

Bit	R/W	Description	Default Value																											
31 : 22	R	Reserved	0																											
21	RO	FIFO Active 0 : 해당 채널의 FIFO 내에 데이터가 비어있음 1 : 해당 채널의 FIFO 내에 데이터가 남아있음	-																											
20	RW	Halt 0 : enable DMA request 1 : ignore DMA request. 사용자는 이 비트를 사용하여 FIFO에 아무런 데이터도 남기지 않고 깨끗하게 DMA 채널을 Disable 할 수 있다.	0																											
19	RW	Lock 이 비트를 설정하면 Locked transfer를 수행하게 된다.	0																											
18	RW	Block Interrupt Enable Multi Block Transfer 전송에서 Block 전송을 끝냈을 때 발생하는 인터럽트에 대한 Enable 비트이다. Block Interrupt 가 발생하면 DMA는 Block Interrupt가 Clear 될 때까지 Next Block 전송을 진행하지 않는다.																												
17	RW	Terminal count interrupt Enable DMA 전송 종료 인터럽트에 대한 Enable 비트이다.	0																											
16	RW	Interrupt error Enable DMA Error 인터럽트에 대한 Enable 비트이다.	0																											
15	R	Reserved	0																											
14 : 12	RW	Flow Control <table border="1"><thead><tr><th>Value</th><th>Transfer type</th><th>Flow controller</th></tr></thead><tbody><tr><td>000</td><td>Memory-to-Memory (Default)</td><td>DMA</td></tr><tr><td>001</td><td>Memory-to-Peripheral</td><td>DMA</td></tr><tr><td>010</td><td>Peripheral-to-Memory</td><td>DMA</td></tr><tr><td>011</td><td>Source peripheral-to-destination peripheral</td><td>DMA</td></tr><tr><td>100</td><td>Source peripheral-to-destination peripheral</td><td>Dst. Peri.</td></tr><tr><td>101</td><td>Memory-to-Peripheral</td><td>Peripheral</td></tr><tr><td>110</td><td>Peripheral-to-Memory</td><td>Peripheral</td></tr><tr><td>111</td><td>Source peripheral-to-Destination peripheral</td><td>Src. Peri.</td></tr></tbody></table> 이 값은 Transfer type과 Flow Controller를 결정한다.	Value	Transfer type	Flow controller	000	Memory-to-Memory (Default)	DMA	001	Memory-to-Peripheral	DMA	010	Peripheral-to-Memory	DMA	011	Source peripheral-to-destination peripheral	DMA	100	Source peripheral-to-destination peripheral	Dst. Peri.	101	Memory-to-Peripheral	Peripheral	110	Peripheral-to-Memory	Peripheral	111	Source peripheral-to-Destination peripheral	Src. Peri.	
Value	Transfer type	Flow controller																												
000	Memory-to-Memory (Default)	DMA																												
001	Memory-to-Peripheral	DMA																												
010	Peripheral-to-Memory	DMA																												
011	Source peripheral-to-destination peripheral	DMA																												
100	Source peripheral-to-destination peripheral	Dst. Peri.																												
101	Memory-to-Peripheral	Peripheral																												
110	Peripheral-to-Memory	Peripheral																												
111	Source peripheral-to-Destination peripheral	Src. Peri.																												
11 : 8	RW	Destination Peripheral 16 개의 DMA Request 중 하나를 선택하는 비트이다. 0000: NAND Flash TX 0001: SDHC 0010: Reserved 0011: Reserved 0100: USB Device Bulk In 0101: Mixer Play CH0 0110: Mixer Play CH1 0111: Mixer Play CH2 1000: Mixer Play CH3 1001: Reserved ... 1110: Reserved 1111: Reserved	0																											
7 : 4	RW	Source Peripheral 16 개의 DMA Request 중 하나를 선택하는 비트이다.	0																											

		0000: Reserved 0010: NAND Flash RX 0100: Reserved 0110: Reserved 1000: Reserved 1010: ADC ...	0001: SDHC 0011: USB Device Bulk Out 0101: Reserved 0111: Reserved 1001: Mixer Record 1110: Reserved 1111: Reserved	
3 : 1	R	Reserved		0
0	RW	Channel Enable 채널을 활성화 시키는 비트이다. 사용자가 DMA 전송을 시작하기 위해 이 비트를 Set 하게 되면 설정한 대로 데이터 전송이 시작되고 모든 전송이 완료되면 자동으로 Clear 된다. Auto Clear 조건은 다음과 같다. 1. 일반 DMA 전송의 완료 2. Linked List Operation 완료 3. Auto Reload Operation 완료 4. Error 발생에 의한 종료 사용자는 활성화 되어 있는 채널을 강제로 종료할 수도 있다. 강제 종료는 Enable 비트를 clear 하면 된다. 하지만 채널 FIFO에 남아있는 데이터는 사라지게 된다.		0

9.4.20 Channel Source Gather Address Register (ChnSrcGaAddr)

Address: 8000_1514 / 8000_1534 / 8000_1554 / 8000_1574
8000_1594 / 8000_15B4 / 8000_15D4 / 8000_15F4

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
16	RW	Auto Reload Source Address 이 비트가 설정되면 Auto Reload 발생시 Source Address 가 초기 설정했던 Source Address로 Reload 된다.	
15 : 0	RW	Source Gather Address Auto Reload가 수행될 때 Source Address에 Source Gather Address가 더해진다.	0

9.4.21 Channel Destination Scatter Address Register (ChnDstScaAddr)

Address: 8000_1518 / 8000_1538 / 8000_1558 / 8000_1578
8000_1598 / 8000_15B8 / 8000_15D8 / 8000_15F8

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	–
16	RW	Auto Reload Destination Address Auto Reload가 수행될 때 Destination Address 가 초기 설정했던 값으로 Reload 된다.	
15 : 0	RW	Destination Scatter Address Auto Reload가 수행될 때 Destination Address에 Destination Scatter Address가 더해진다.	0

9.4.22 Channel Auto Reload Count Register (ChnAutoReloadCnt)

Address: 8000_151C / 8000_153C / 8000_155C / 8000_157C
8000_159C / 8000_15BC / 8000_15DC / 8000_15FC

Bit	R/W	Description	Default Value
31 : 22	R	Reserved	–
21	RW	Uncountable Auto Reload 설정하게 되면 Auto Reload Count의 값과 상관없이 Auto Reload가 무제한 이루어진다.	
20 : 0	RW	Auto Reload Count 사용자는 이곳에 Auto Reload 회수를 설정하여 DMA 전송을 반복한다. Auto Reload count는 설정된 값에서 Block 전송이 완료되었을 때(Transfer Size가 0이 되었을 때) 1씩 줄어들며 Auto reload count가 0이 되면 Auto Reload Operation이 종료된다.	0

9.5 Program Guide

9.5.1 Summary of Register

Name	Address	Type	Description
DMAIntStatus	0x000	R	DMA Interrupt Status
DMATCIntStatus	0x004	R	DMA Terminal Count Interrupt Status
DMATCIntClr	0x008	W	DMA Terminal Count Interrupt Clear
DMAErrorIntStatus	0x00C	R	DMA Error Interrupt Status
DMAErrorIntClr	0x010	W	DMA Error Interrupt Clear
DMABlockIntStatus	0x014	R	DMA Block Interrupt Status
DMABlockIntClr	0x018	W	DMA Block Interrupt Clear
DMARawTCIntStatus	0x01C	R	DMA Raw Terminal Count Interrupt Status
DMARawErrorIntStatus	0x020	W	DMA Raw Error Interrupt Status
DMAEnbldChns	0x024	R	DMA Enabled Channels
DMASoftBReq	0x028	RW	DMA Software Burst Request
DMASoftSReq	0x02C	RW	DMA Software Single Request
DMASoftLBReq	0x030	RW	DMA Software Last Burst Request
DMASoftLSReq	0x034	RW	DMA Software Last Single Request
ChnSrcAddr	0x100	RW	Channel Source Address
ChnDestAddr	0x104	RW	Channel Destination Address
ChnLLI	0x108	RW	Channel Linked List Item
ChnCntrl	0x10C	RW	Channel Control
ChnCfg	0x110	RW	Channel Configuration
ChnSrcGaAddr	0x114	RW	Channel Source Gather Address
ChnDestScatAddr	0x118	RW	Channel Destination Scatter Address
ChnAutoReloadCnt	0x11C	RW	Channel Auto Reload Count

9.5.2 Programming Sequence

- DMA Operation (Memory to Memory)

1. 사용할 채널을 선택
2. 해당 채널의 Source Address 설정 (ChnSrcAddr 레지스터)
3. 해당 채널의 Destination Address 설정 (ChnDstAddr 레지스터)
4. 해당 채널의 Source 와 Destination의 Transfer Width 설정 (ChnCntrl 레지스터)
5. 해당 채널의 Source 와 Destination의 Burst Size 설정 (ChnCntrl 레지스터)
6. 해당 채널의 Transfer size(DMA 전송량)를 설정 (ChnCntrl 레지스터)
7. 해당 채널을 Enable 함 (ChnCfg 레지스터)
8. 전송 완료를 확인 (DMAEnbldChns 레지스터)
9. 종료

- DMA Operation (Memory to Peripheral)

1. 사용할 채널을 선택
2. 해당 채널의 Source Address 설정 (ChnSrcAddr 레지스터)
3. 해당 채널의 Destination Address 설정, Peri의 주소 (ChnDstAddr 레지스터)
4. 해당 채널의 Source 와 Destination의 Transfer Width 설정 (ChnCntrl 레지스터)
5. 해당 채널의 Source 와 Destination의 Burst Size 설정 (ChnCntrl 레지스터)
6. 해당 채널의 Transfer size(DMA 전송량)를 설정 (ChnCntrl 레지스터)

7. 해당 채널의 Transfer Type 지정 (ChnCfg 레지스터)
8. 해당 채널을 Enable 함 (ChnCfg 레지스터)
9. 전송 완료를 확인 (DMAEnbldChns 레지스터)
10. 종료

- Linked List Operation (Memory to Memory)

Linked List Item은 미리 준비되어 있다고 가정한다.

1. 사용할 채널을 선택
2. 첫 번째 LLI 의 주소를 지정 (ChnLLI 레지스터)
3. 해당 채널을 Enable 함 (ChnCfg 레지스터)
4. 전송 완료를 확인 (DMAEnbldChns 레지스터)
5. 종료

- Auto Reload Operation Program (Memory to Memory)

1. 사용할 채널을 선택
2. 해당 채널의 Source Address 설정 (ChnSrcAddr 레지스터)
3. 해당 채널의 Destination Address 설정 (ChnDstAddr 레지스터)
4. 해당 채널의 Source 와 Destination의 Transfer Width 설정 (ChnCntrl 레지스터)
5. 해당 채널의 Source 와 Destination의 Burst Size 설정 (ChnCntrl 레지스터)
6. 해당 채널의 DMA 전송량을 지정 (ChnCntrl 레지스터)
7. 해당 채널의 Auto Reload Count 설정 (ChnAutoReloadCnt 레지스터)
8. 해당 채널을 Enable 함 (ChnCfg 레지스터)
9. 전송 완료를 확인 (DMAEnbldChns 레지스터)
10. 종료

9.5.3 Program Consideration

사용자 프로그램은 다음과 같은 고려 사항을 반영되어야 한다.

1. 채널이 Enable된 후에는 채널의 레지스터들을 변경하지 말아야 한다. 채널이 Enable되면 DMA 전송이 진행 중이므로 전송 도중 레지스터 값 변경은 문제를 발생시킬 수 있다. 따라서 사용자가 채널의 레지스터들을 변경 하기 위해서는 채널이 Disable 상태인지 확인한 후에 설정해야 한다.
2. Source transfer width 가 Destination transfer width 보다 작은 경우 DMA 전송량은 Destination transfer width 의 배수가 되도록 설정해야 한다. 왜냐하면 DMA 전송량은 Source측에서 Read하는 데이터의 양(Source width x Transfer size)으로 계산되는데 DMA 전송량이 Destination width x N으로 되지 못하면 Destination으로 Write하는 데이터 양이 부족하거나 남을 수 있기 때문이다.
3. Linked List Item은 0x0 번지에 위치할 수 없다.

10 FLASH MEMORY CONTROLLER

Flash 메모리는 메모리의 용량 제한은 16MBytes이며, 메모리의 동작 속도는 최대 80Mhz까지이지만 Flash Memory Controller는 AHB clock을 분주하여 사용하므로 최대 시스템 클럭의 2분주로 동작하게 된다.

10.1 Feature

- Single, Double, Quad 비트 데이터 전송 지원
- H/W, S/W 방식에 의한 Flash Erase, Flash Program 지원
- XIP(eXecute In Place) 지원

10.2 Function Description

10.2.1 Flash Mode Register (FLMOD)

Flash의 동작 모드를 결정한다.

Single, dual 그리고 quad 방식으로 접근 할 수 있다.

10.2.2 Flash Baudrate Register (FLBRT)

Flash의 동작 속도를 결정한다.

동작 Clock의 high pulse와 low pulse의 폭을 설정할 수 있다.

10.2.3 Flash Chip Select High Pulse Width Register (FLCSH)

Chip select 신호의 deselect time을 결정한다.

Chip select 신호가 deselect가 되면 일정 시간 이 상태를 유지해야 한다.

Read 동작 후에 read를 할 경우 10ns, Erase나 Program 동작 후에 Status register에 접근할 경우 50ns를 지켜줘야 한다.

외부에 Flash를 연결하여 사용할 경우, Flash type마다 time 값이 다를 수 있으므로 확인 후 적용하여야 한다.

10.2.4 Flash Command Register (FLCMD)

Chip Erase(C7h/60h), Power-down(B9h), Release Power-down(ABh) 등의 command를 줄 수 있다.

Chip Erase (C7h/60h)

이 register에 C7h 혹은 60h를 write하면, flash 전체가 erase된다.

Power-down (B9h)

이 register에 B9h를 write하면, Flash는 3us(tDP)후 power-down상태가 된다.

*(주의) Power-down 상태가 되기 전에 프로그램은 다른 메모리 영역에서 수행되고 있어야 한다.

Release Power-down (ABh)

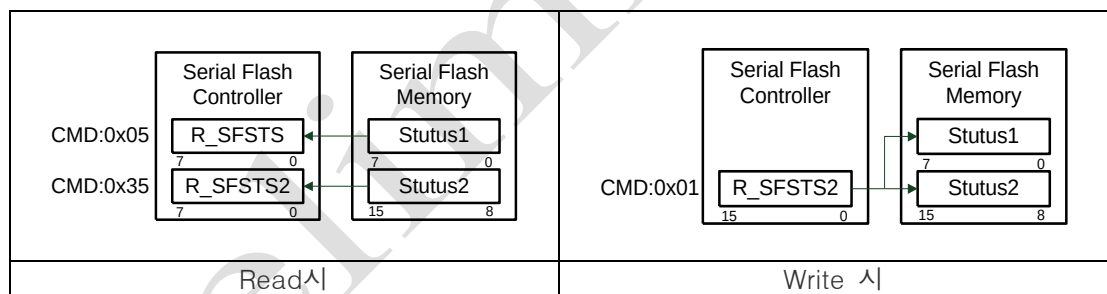
이 register에 ABh를 write하면 Flash는 3us(tRES1)후 power-down상태에서 stand-by 상태가 된다.

10.2.5 Flash Status Register (FLSTS)

Flash의 status register의 하위 1byte에 접근하는 register이다.

주로 write동작의 완료 여부를 확인하는 bit0(BUSY)을 check하는 용도로 사용된다.

10.2.6 Flash 2nd Status Register (FLSTS2)



Flash의 status register의 상위 1byte에 접근하는 register이다.

Quad mode를 지원하기 위해 bit1(QE)을 set하는 용도로 사용된다.

10.2.7 Flash Sector/Block Erase Address Register (FLSEA/FLBEA)

Flash를 sector단위 혹은 block단위로 erase할 수 있다.

이 register에 erase할 sector나 block의 address를 write하면 해당 영역의 erase를 수행한다.

10.2.8 Flash WIP Check Period Register (FLWCP)

Flash를 program하거나 erase하는 등의 write 동작을 수행하였을 때, flash busy상태를 하드웨어적으로 check하는 주기를 결정한다.

이 register에 설정된 주기마다 Flash의 status register를 자동으로 read하여 0번 bit (BUSY)를 확인한다. 이 bit가 1에서 0이 되면 write동작이 완료가 된다.

10.2.9 Flash Clock Delay Register (FLCKDLY)

Flash의 read timing을 보정하기 위한 register이다.

Flash의 read clock을 설정된 값에 따라 delay할 수 있다.

10.3 Register Description

10.3.1 Flash Mode Register (FLMOD)

Address : 0x8000_0000

Bit	R/W	Description	Default Value
31:9	R	Reserved	-
8	R/W	Chip select control 1: Chip select 신호가 H/W에 의해 제어 0: Chip select 신호를 Low level로 고정	1b
7	R/W	Bus Error Enable 1: Flash에 Write 접근이 일어날 시, Bus Error를 발생 0: Flash에 Write 허용	1b
6	R	Reserved	-
5	R	EQIO Mode Flag (Flash 지원 여부 확인) 1: EQIO Mode 0: Normal Mode Command Register에 EQIO(38h)를 write하면 Flash는 EQIO모드로 전환된다.	0
4	R	Performance Enhance Mode (Flash 지원 여부 확인) 1: Performance Enhance Mode가 적용. 0: Normal Mode. 적용되지 않음. FLPEM Register에 1을 write하여 Performance Enhance Mode를 Enable하였을 경우, Quad Read 이거나 EQIO 모드일 때만 적용된다.	0
3	R/W	Bus Ready Control 0: Write 동작의 경우, bus ready를 제어. S/W가 flash의 status를 확인할 필요 없음. 1: Write 동작 후, S/W에서 flash의 status를 확인 하도록 설정.	0b
2	R	Reserved	-
1:0	R/W	Flash Read Mode 00: Single Read Mode 01: Dual Read Mode 10: Quad Read Mode 11: Reserved	00b

10.3.2 Flash Baudrate Register (FLBRT)

Address : 0x8000_0004

Bit	R/W	Description	Default Value
31:8	R	Reserved	–
7:4	R/W	SCK High Pulse Width 0000: 1clock 0001: 2clocks 0010: 3clocks ... 1110: 15clocks 1111: 16clocks	111b
3:0	R/W	SCK Low Pulse Width 0000: 1clock 0001: 2clocks 0010: 3clocks ... 1110: 15clocks 1111: 16clocks	111b

10.3.3 Flash Chip Select High Pulse Width Register (FLCSH)

Address : 0x8000_0008

Bit	R/W	Description	Default Value
31:4	R	Reserved	–
3:0	R/W	Chip Select High Pulse Width (100ns 필요) 0000: 1clock 0001: 2clocks 0010: 3clocks ... 1110: 15clocks 1111: 16clocks	Fh

10.3.4 Flash Performance Enhance Mode Register (FLPEM)

Address : 0x8000_000C

Bit	R/W	Description	Default Value
31:1	R	Reserved	–
0	R/W	Performance Enhance Mode 1: Enable 0: Disable	0b

10.3.5 Flash Command Register (FLCMD)

Address : 0x8000_0010

Bit	R/W	Description	Default Value
31:8	R	Reserved	–
7:0	R/W	Flash Command	0b

10.3.6 Flash Status Register (FLSTS)

Address : 0x8000_0014

Bit	R/W	Description	Default Value
31:8	R	Reserved	–
7:0	R	Flash Status	0b

10.3.7 Flash Sector Erase Address Register (FLSEA)

Address : 0x8000_0018

Bit	R/W	Description	Default Value
31:24	R	Reserved	–
23:0	R/W	Flash Sector Address to Erase	0b

10.3.8 Flash Block Erase Address Register (FLBEA)

Address : 0x8000_001C

Bit	R/W	Description	Default Value
31:24	R	Reserved	–
23:0	R/W	Flash Block Address to Erase	0b

10.3.9 Flash Data Register (FLDAT)

Address : 0x8000_0020

Bit	R/W	Description	Default Value
31:0	R/W	Flash Data (8, 16, 32-bit supported)	0b

10.3.10 Flash WIP Check Period Register (FLWCP)

Address : 0x8000_0024

Bit	R/W	Description	Default Value
31:0	R/W	Flash WIP Status Check Period	FFFh

10.3.11 Flash Clock Delay Register (FLCKDLY)

Address : 0x8000_0028

Bit	R/W	Description	Default Value
3:0	R/W	Serial Flash Feed-back Clock Delay Value	0h

10.3.12 Flash 2nd Status Register (FLSTS2)

Address : 0x8000_002C

Bit	R/W	Description	Default Value
15:8	W	Flash 2 nd Status (Winbond only)	–
7:0	R/W	READ λ Flash 2 nd Status (Winbond only) WRITE λ Flash 1 nd Status (Winbond only)	–

11 LOCAL MEMORY CONTROLLER

11.1 Register Description

11.1.1 SDRAM Control Register (MEMCON)

Address : 0x8000_0400

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	–
15 : 8	R	Reserved	–
7 : 6	R/W	Row Address Line Number 00 : 11 bit 01 : 12 bit 10 : 13 bit 11 : 14 bit	11b
5 : 4	R/W	Column Address Line Number 00 : 8 bit 01 : 9 bit 10 : 10 bit 11 : 11 bit	11b
3	R/W	Timing Constraint Select (0 : 100MHz 초과, 1 : 100 MHz 이하) 0 : tRCD = 3 Clock, tRP = 3 Clock, tRAS = 7 Clock, tRC = 10 Clock 1 : tRCD = 2 Clock, tRP = 2 Clock, tRAS = 5 Clock, tRC = 7 Clock	0b
2	R/W	CAS Latency 0 : 2 Clock 1 : 3 Clock	0b
1 : 0	R/W	This bit determine data bus width 00 : 8 bit 01 : 16 bit 10 : 32 bit 11 : Reserved	01b

< Register 설명 >

(1) Bit [16] : Bank 2에 대하여 사용하는 Memory 종류를 선택 한다.

(2) Bit [7:6] : SDRAM의 Row Address 수를 선택한다.

(3) Bit [5:4] : SDRAM의 Column Address 수를 선택한다.

(4) Bit [3] : SDRAM 동작에 필요한 Timing 조건을 결정한다.

100MHz를 기준으로 100MHz 이상인 경우에는 '0'을 선택하여 Timing을 맞춰준다.

(5) Bit [2] : SDRAM 동작에서 CAS Latency Cycle을 선택한다.

(6) Bit [1:0] : 해당 Bank의 SDRAM의 Data Bus 폭을 결정한다.

11.1.2 SDRAM Clock Delay Register (MEMCLKCON)

Address : 0x8000_0404h

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	–
11 : 8	R/W	Local SDRAM Clock Generation (Clock delay) 0000 : CLOCK 1000 : Invert CLOCK 0001 : CLOCK+ 1ns 1001 : Invert CLOCK+ 1ns 0010 : CLOCK+ 2ns 1010 : Invert CLOCK+ 2ns 0011 : CLOCK+ 3ns 1011 : Invert CLOCK+ 3ns	0h

		0100 : CLOCK+ 4ns 1100 : Invert CLOCK+ 4ns 0101 : CLOCK+ 5ns 1101 : Invert CLOCK+ 5ns 0110 : CLOCK+ 6ns 1110 : Invert CLOCK+ 6ns 0111 : CLOCK+ 7ns 1111 : Invert CLOCK+ 7ns	
7 : 0	R/W	1Mhz Clock generation Divider Value	FFh

< Register 설명 >

- (1) Bit [11:8] : SDRAM의 Data 읽기 시에 사용되는 SDRAM Feedback Clock의 지연 정도를 결정한다.
- (2) Bit [7:0] : SDRAM Refresh 동작을 위하여 1MHz 주파수를 생성하는데 필요한 값을 설정한다. 사용되는 Main Clock에 따라서 Main Clock / (n+ 1)로 생성되므로 divider값에는 n-1 값을 설정한다.

11.1.3 SDRAM Refresh Control Register (MEMREFCON)

Address : 0x8000_0408h

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9	R/W	Refresh Period < Refresh Source : 1Mhz > 0 : 15 usec 1 : 30 usec	0b
8	R/W	Number of Refresh Cycle / Period < Refresh Source : 1Mhz > 0 : 1 Cycle 1 : 2 Cycle	0b
7 : 1	R	Reserved	-
0	R/W	0: Auto Refresh 1: Self Refresh	0b

< Register 설명 >

- (3) Bit [9] : 1MHz를 사용하는 경우의 Refresh 주기에 대한 선택을 한다.
- (4) Bit [8] : 한 주기에 의해서 몇 번의 Refresh를 할 것인지 선택한다.
- (5) Bit [0] : Refresh Mode select.

12 EXTERNAL SRAM CONTROLLER

12.1 Function Description

외부에 8/16-bit의 NOR Flash, PROM, SRAM을 지원한다. 최대 512KB 크기의 메모리를 4개까지 사용할 수 있다.

External Static Memory와의 Interface를 위해 SRAM_ALE1, SRAM_ALE0, SRAM_nCS[3:0], SRAM_nRE, SRAM_nWE, AD[15:0], A[18:16], nBE1을 지원한다.

외부에 8-bit SRAM Memory와의 Interface를 할 때, AD[7:0]에서 Address[15:0]와 Data[7:0]의 신호가 발생한다. SRAM_ALE1에서 AD[7:0]를 Latch하면 Address[15:8]이 되고 SRAM_ALE0에서 AD[7:0]를 Latch하면 Address[7:0]이 된다. 이후 AD[7:0]은 SRAM_nCS, SRAM_nRE, SRAM_nWE의 구간에서 Data[7:0]을 쓰거나 읽을 수 있다.

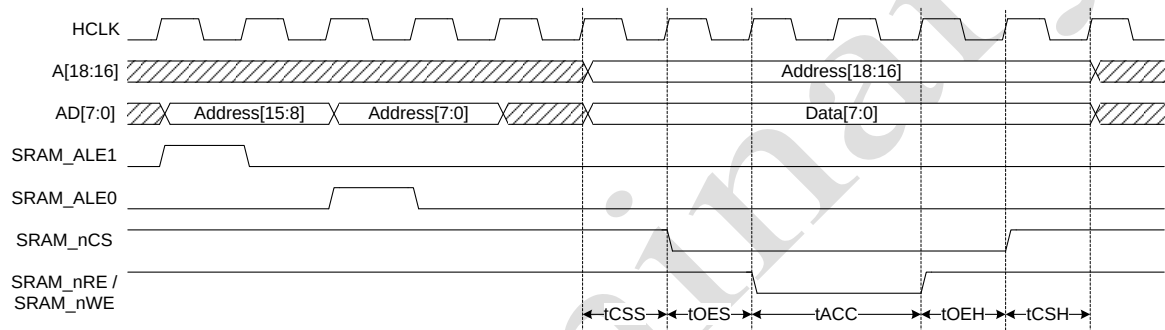


Figure 12-1 External 8-bit SRAM Memory Timing Diagram

8-bit interface : 8-BIT SRAM 사용 시

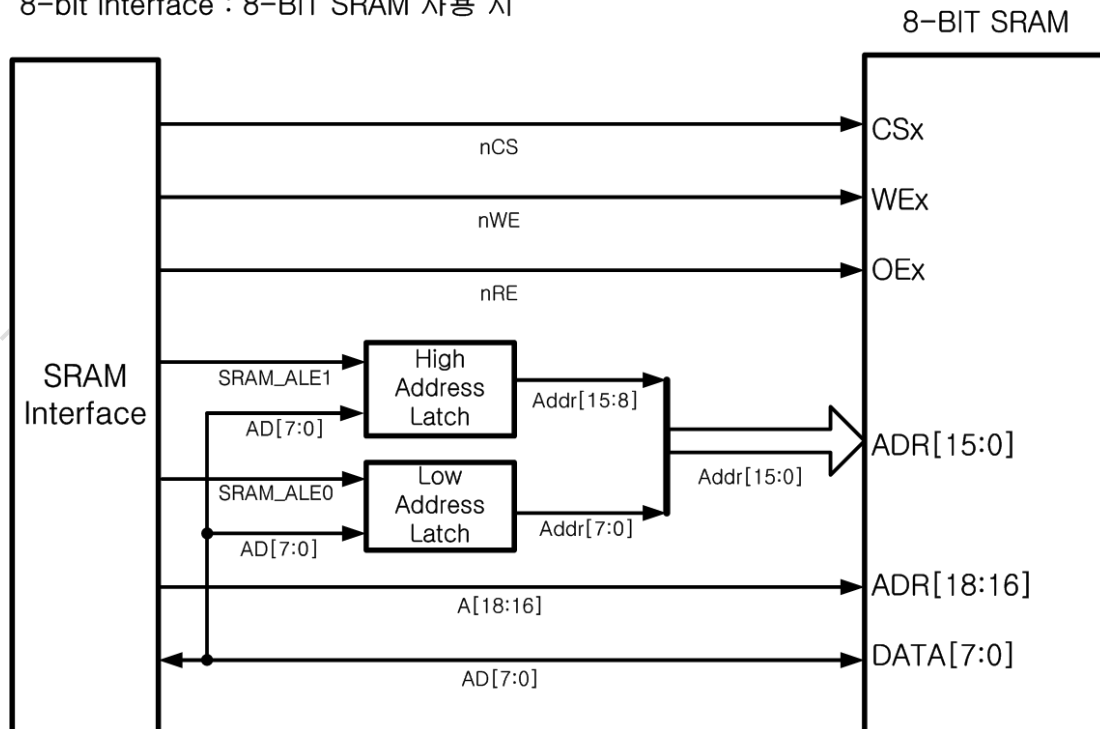


Figure 12-2 Connection 8-bit SRAM Memory

외부에 16-bit SRAM Memory와의 Interface을 할 때, AD[15:0]에서 Address[15:0]와 Data[15:0]의 신호가 발생한다. SRAM_ALE0에서 AD[15:0]를 Latch하면 Address[15:0]이 된다. 이후 AD[15:0]은 SRAM_nCS, SRAM_nRE, SRAM_nWE의 구간에서 Data[15:0]을 쓰거나 읽을 수 있다.

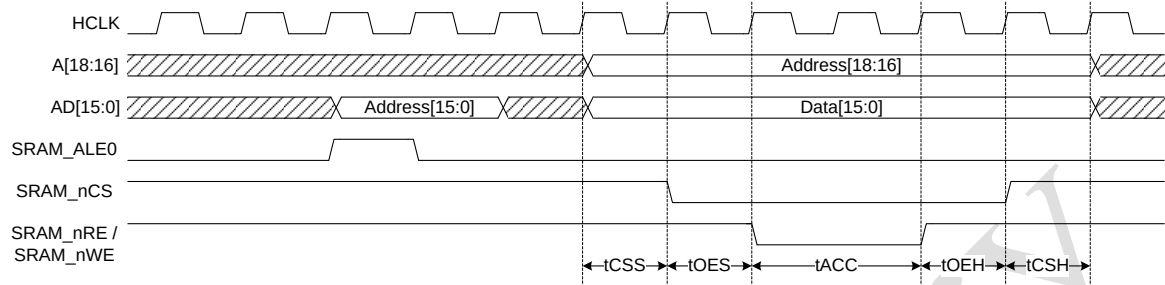


Figure 12-3 External 16-bit SRAM Memory Timing Diagram

16-bit interface : 16-BIT SRAM 사용 시

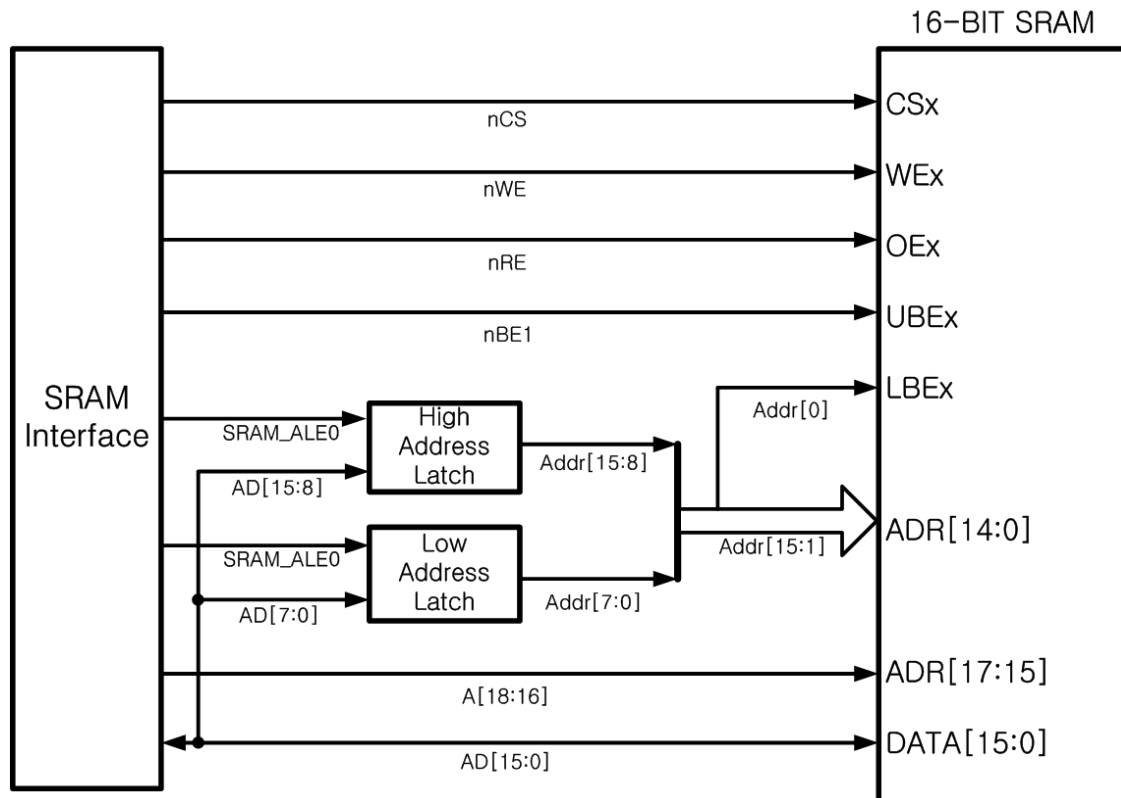


Figure 12-4 Connection 16-bit SRAM Memory

12.2 Register Description

12.2.1 External SRAM_nCS0 Area Control Register (CS0CTRL)

Address : 0x8000_0800

Bit	R/W	Description	Default Value
23 : 22	R/W	tALE1H : Address Latch Enable Hold 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
21 : 20	R/W	tALE1S : Address Latch Enable Setup 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
19 : 18	R/W	tALE0H : Address Latch Enable Hold 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
17 : 16	R/W	tALE0S : Address Latch Enable Setup 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
15 : 14	R/W	tCSS : Address Set-up before SRAM_nCS0 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
13 : 12	R/W	tOES : Chip Selection Set-up nRE / nWE 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
11 : 8	R/W	tACC : Access Cycle 0000 : 1 Clock 0001 : 2 Clock 0010 : 3 Clock 0011 : 4 Clock 0100 : 6 Clock 0101 : 8 Clock 0110 : 10 Clock 0111 : 12 Clock 1000 : 14 Clock 1001 : 16 Clock 1010 : 18 Clock 1011 : 20 Clock 1100 : 22 Clock 1101 : 24 Clock 1110 : 26 Clock 1111 : 30 Clock	1111
7 : 6	R/W	tOEH : Chip Selection Hold on nRE / nWE 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
5 : 4	R/W	tCSH : Address Holding Time after SRAM_nCS0 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
3	R/W	This bit determines whether using nBE1 pin for 16bit Data bus 0 : Not using nBE1 1 : Using nBE1	0
2	R/W	This bit determines WAIT status 0 : nWAIT Disable 1 : nWAIT Enable	0
1	R/W	This bit determines data bus width 0 : 8 bit 1 : 16 bit	0
0	R/W	Error Response Enable bit in Read only Memory 0 : Error Response Disable 1 : Error Response Enable	0

12.2.2 External SRAM_nCS[3:1] Area Control Register (CSxCTRL)

Address : 0x8000_0804 / 0x8000_0808 / 0x8000_080C

Bit	R/W	Description	Default Value
31 : 24	R	Reserved	–
23 : 22	R/W	tALE1H : Address Latch Enable Hold 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
21 : 20	R/W	tALE1S : Address Latch Enable Setup 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
19 : 18	R/W	tALE0H : Address Latch Enable Hold 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
17 : 16	R/W	tALE0S : Address Latch Enable Setup 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
15 : 14	R/W	tCSS : Address Set-up before SRAM_nCSx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
13 : 12	R/W	tOES : Chip Selection Set-up nRE / nWE 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
11 : 8	R/W	tACC : Access Cycle 0000 : 1 Clock 0001 : 2 Clock 0010 : 3 Clock 0011 : 4 Clock 0100 : 6 Clock 0101 : 8 Clock 0110 : 10 Clock 0111 : 12 Clock 1000 : 14 Clock 1001 : 16 Clock 1010 : 18 Clock 1011 : 20 Clock 1100 : 22 Clock 1101 : 24 Clock 1110 : 26 Clock 1111 : 30 Clock	1111
7 : 6	R/W	tOEH : Chip Selection Hold on nRE / nWE 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
5 : 4	R/W	tCSH : Address Holding Time after SRAM_nCSx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
3	R/W	This bit determines whether using nBE1 pin for 16bit Data bus 0 : Not using nBE1 1 : Using nBE1	0
2	R/W	This bit determines WAIT status 0 : nWAIT Disable 1 : nWAIT Enable	0
1	R/W	This bit determines data bus width 0 : 8 bit 1 : 16 bit	0
0	R/W	Error Response Enable bit in Read only Memory 0 : Error Response Disable 1 : Error Response Enable	0

13 NAND FLASH CONTROLLER

NAND Flash 제어기는 8-bit I/O 타입의 NAND Flash memory와의 데이터 전송을 관리한다.

13.1 Features

- 8bit I/O support
- 3-cycle/4-cycle/5-cycle Address support
- 1bit for SLC and 4bit/24bit ECC for MLC
- Auto ECC Decoding support

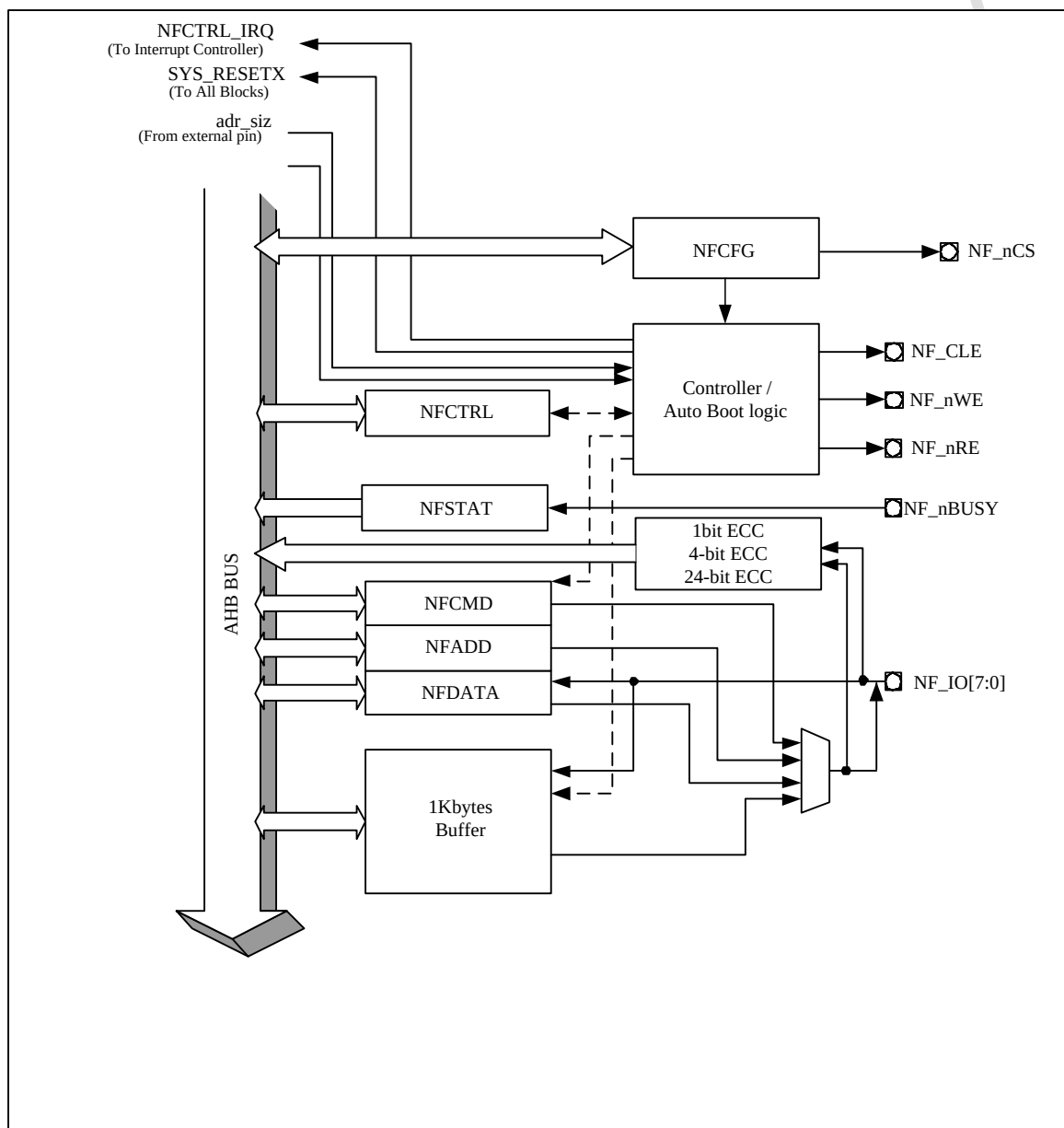


Figure 13-1 NAND Flash Controller Block Diagram

13.2 Function Description

Data Read/Write

1. 데이터 전송을 위한 타이밍을 NFCFG 레지스터에 설정한다.
2. NAND Flash Memory Command를 NFCMD 레지스터에 설정한다.
3. 접근할 NAND Flash Memory의 주소를 NFADR 레지스터를 통해 설정한다. 이때 NAND Flash에 접근에 필요한 Address cycle 만큼 반복하여 설정하여야 한다.
4. NFCPUData 레지스터를 통해 Read/Write 동작을 수행한다. 데이터를 읽기 전 또는 데이터를 쓰고 난 뒤에는 반드시 NDFL_nBUSY핀을 확인하여야 한다.

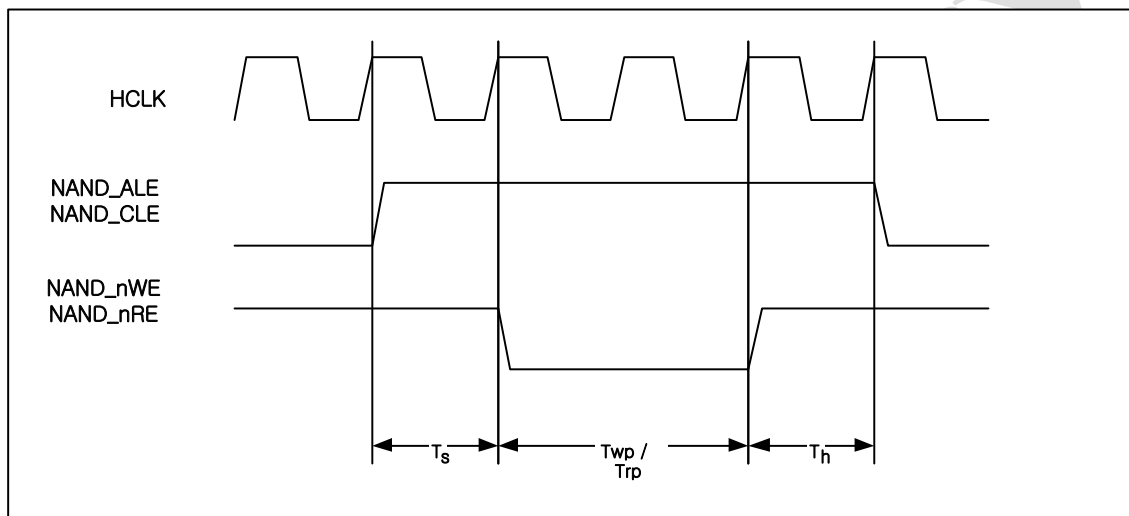


Figure 13-2 Read/Write Timing Diagram of NAND Flash Memory

DMA Operation

NAND Flash 제어기는 DMA 전송을 지원한다. 먼저 DMA 제어기를 설정한 후, NAND Flash 제어기를 설정을 한다. NFCTRL 레지스터에서 DMA동작을 설정 하게 되면 NAND Flash Memory 와 DMA 전송을 시작한다. NAND Flash Memory가 Large type(2세대)일 경우, 최대 2KBytes까지 전송 단위의 설정이 가능하며, Small type(1세대)인 경우는 512Bytes까지만 설정할 수 있다.

13.3 ECC Operation

adStar는 SLC 타입의 NAND Flash 뿐만 아니라 MLC 타입의 NAND Flash도 지원한다. MLC 타입의 NAND Flash는 SLC에 비해 에러 발생률이 높기 때문에 이 에러를 보정해주어야 사용할 수 있다.

adStar의 NAND Flash Controller는 BCH 알고리즘을 이용하여 Parity bit를 생성하며, 이를 이용하여 데이터 에러를 복구할 수 있는 기능을 제공한다. 512Bytes의 데이터에 대하여 4bit 에러, 1Kbytes의 데이터에 24bit 에러까지 검출 및 복원을 지원한다.

ECC Encoding

1. NAND Flash를 사용하기 위해 NFCFG레지스터를 설정한 후, Command와 Address를 전송한다.
2. NFECC10 레지스터를 read하여 ECC상태와 ECC관련 레지스터를 clear한다.
3. NFCTRL 레지스터의 ECC GEN bit를 1로 설정한다. (ECC Generation enable)
4. 512Bytes 혹은 1024Bytes의 데이터를 전송한다. 데이터를 전송할 때마다 52-bit 또는 336-bit 크기의 Parity bits가 생성되어 NFECCn들에 저장된다.
5. 512Bytes 혹은 1024Bytes의 전송이 완료되면, NFECC0, NFECC1 레지스터 순서로 read하여 메모리상에 저장해 둔다.
6. 다시 512Bytes 혹은 1024Bytes 단위로 전송하기 위하여 2-5 과정을 반복한다.
7. 한 페이지 크기의 전송이 완료되면, NFCTRL 레지스터의 ECC GEN bit를 0으로 설정한다. (ECC Generation disable)
8. 메모리에 저장해 두었던 각 512Bytes 혹은 1024Bytes에 대한 Parity bits를 NAND Flash의 spare 영역에 저장한다.

ECC Decoding by S/W

1. NAND Flash를 사용하기 위해 NFCFG레지스터를 설정한 후, Command와 Address를 전송한다.
2. NFECC10 레지스터를 read하여 ECC상태와 ECC관련 레지스터를 clear한다.
3. NFCTRL 레지스터에서 4-bit 혹은 24-bit ECC Mode를 선택하고, ECC GEN bit를 1로 설정한다. (ECC Decoding enable)
4. 512Bytes 혹은 1024Bytes의 데이터를 read한다.
5. 512Bytes 혹은 1024Bytes read가 완료되면, spare 영역에 접근하여 해당하는 Parity bits를 read한다.
6. Parity bits의 read가 완료되면, 자동적으로 decoding 작업을 시작하며, 사용자는 NFSTAT 레지스터에서 decoding완료 여부와 성공 여부를 확인할 수 있다.
7. Decoding이 완료되면, NFERRLOC0~3 혹은 ~23 레지스터에 에러가 발생한 위치와 NFERRPTN0~3 혹은 ~23 레지스터에 8bit 에러 패턴이 저장된다.
8. NFERRLOCn 위치의 8bit 데이터와 NFERRPTNn 값을 Exclusive-OR하여 손상된 데이터를 복원한다.
9. 한 페이지를 read할 때까지 2-8 과정을 반복한다.

ECC Decoding by H/W (Auto ECC Decoding)

1. NAND Flash를 사용하기 위해 NFCFG레지스터를 설정한 후, Command와 Address를 전송한다.
2. NFECC10 레지스터를 read하여 ECC상태와 ECC관련 레지스터를 clear한다.
3. NFCTRL 레지스터에서 4-bit 혹은 24-bit ECC Mode를 선택하고 Auto ECC Decoding bit를 1로 설정하면, 자동으로 NAND Flash에서 데이터와 parity를 읽어들이는 것이다.
4. NFSTAT에서 Auto ECC Done bit가 1이 되는 것을 확인한다.
5. NFECDD 레지스터를 통해 복구된 데이터를 읽는다.
6. 한 페이지를 read할 때까지 2-5 과정을 반복한다.

13.4 Register Description

13.4.1 NAND Flash Memory Control Register (NFCTRL)

Address: 0xA000_0C00

Bit	R/W	Description	Default Value
16	R/W	Auto ECC Enable bit 0: Auto ECC done 1: Auto ECC Start 이 bit를 set하면 Auto ECC를 시작하며, 완료되면 자동으로 clear된다.	0
15	R/W	4-bit ECC Mode Set bit 0: 24-bit ECC Mode 1: 4-bit ECC Mode	1
14:13	R	Reserved	-
12	R/W	ECC Generation Enable bit 0 : Disable 1 : Enable	0
11	R/W	Endian Select bit 0 : Little Endian 1 : Big Endian	0
10	R/W	Data Swap Size 0 : 8bit 1 : 16bit	0
9	R/W	DMA Write Request bit 0 : DMA Write Request Clear 1 : DMA Write Request 이 bit를 set하면 DMA 전송을 시작하게 되며, 완료되면 자동으로 clear된다.	0
8	R/W	DMA Read Request bit 0 : DMA Read Request Clear 1 : DMA Read Request 이 bit를 set하면 DMA 전송을 시작하게 되며, 완료되면 자동으로 clear된다.	0
7	R/W	Busy End Interrupt Enable bit 0 : Interrupt Disable 1 : Interrupt Enable	0
6	R/W	DMA Clear Interrupt Enable bit 0 : Interrupt Disable 1 : Interrupt Enable	0
5	R/W	BCH ECC Decoding Done Interrupt Enable bit 0 : Interrupt Disable 1 : Interrupt Enable	0
4	R/W	Auto ECC Done Interrupt Enable bit 0 : Interrupt Disable 1 : Interrupt Enable	0
3:0	R/W	Reserved	0

13.4.2 NAND Flash Memory Command Set Register (NFCMD)

Address: 0xA000_0C04

Bit	R/W	Description	Default Value
7 : 0	R/W	NAND Flash Memory Command	00h

13.4.3 NAND Flash Memory Address Register (NFADR)

Address: 0xA000_0C08

Bit	R/W	Description	Default Value
7 : 0	R/W	NAND Flash Memory Address	00h

13.4.4 NAND Flash Memory Data Register (NFDATA)

Address: 0xA000_0C0C

Bit	R/W	Description	Default Value
31 : 0	R/W	NAND Flash Memory Read/Program Data 32/16/8-bit accessible	0000_0000h

13.4.5 NAND Flash Memory Operation Status Register (NFSTAT)

Address: 0xA000_0C14

Bit	R/W	Description	Default Value
16:12	R	Error bit count ECC가 완료된 후, 검출된 Error bit의 개수	0
11	R	Read data not FF Flag Erase 후, NAND Flash의 data가 전부 FF인지 확인하는 용도로 사용된다. 읽은 data가 FF가 아닌 경우 1로 set되며, 이 레지스터를 읽으면 clear된다.	0
10	R	Reserved	-
9	R	DMA Write Done DMA Write가 완료되면 set된다. 이 register를 읽으면 clear된다.	0
8	R	DMA Read Done DMA Read가 완료되면 set된다. 이 register를 읽으면 clear된다.	0
7	R	BCH Decoding Done Status ECC의 Decoding이 완료되면 set된다. 이 register를 읽으면 clear된다	0
6 : 4	R	Reserved	-
3	R	BCH Decoding Result 0 : Decoding Fail 1 : Decoding Success	0
2	R	Auto ECC Done bit 이 bit가 1이면 Auto ECC가 완료되었음을 나타낸다. 이 register를 읽으면 clear된다.	0
1	R	NAND Flash Memory nBusy Level 0 : Busy 1 : Ready	nBUSY Level
0	R	NAND Flash Memory Busyx Rising Edge Status Ready/Busyx 신호가 low에서 high로 변하면 1로 설정된다. 이 register를 읽으면 clear 가 된다.	0

13.4.6 NAND Flash Memory ECC(Error Correction Code) Register (NFEC)

Address: 0xA000_0C18

Bit	R/W	Description	Default Value
23 : 16	R/Clear	ECC2 (~P4, ~P4', ~P2, ~P2', ~P1, ~P1', ~P2048, ~P2048')	FFh
15 : 8	R/Clear	ECC1 (~P1024, ~P1024', ~P512, ~P512', ~P256, ~P256', ~P128, ~P128')	FFh
7 : 0	R/Clear	ECC0 (~P64, ~P64', ~P32, ~P32', ~P16, ~P16', ~P8, ~P8')	FFh

*** P1~P4 : Column Parity , P8~P2048 : Row Parity

*** ~ : Logically inverse operation

13.4.7 NAND Flash Memory Configuration Register (NFCFG)

Address: 0xA000_OC1C

Bit	R/W	Description	Default Value
20	R/w	Read data Latch timing Adjust bit. Configure as system clock. 0 : Minimum ~ 60Mhz 1 : 40Mhz ~ Maximum	1
19 : 17	R	Reserved	–
16	R/W	NDFL_nCS Control 0 : Chip Enable 1 : Chip Disable	1
15	R	Reserved	–
14 : 12	R/W	Ts : NDFL_ALE/NDFL_CLE Set-up Time 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111
11	R	Reserved	–
10 : 8	R/W	Tw : NDFL_nWE Pulse Width 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111
7	R	Reserved	–
6 : 4	R/W	Trp : NDFL_nRE Pulse Width 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111
3	R	Reserved	–
2 : 0	R/W	Th : NDFL_ALE/ NDFL_CLE/ NDFL_nCS Hold Time 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111

13.4.8 NAND Flash Memory ECC Code for LSN data (NFECCCL)

Address: 0xA000_0C20

Bit	R/W	Description	Default Value
15 : 8	R	S_ECC1 (1, 1, 1, 1, 1, 1, ~P4_s, ~P4'_s)	FFh
7 : 0	R	S_ECC0 (~P2_s, ~P2'_s, ~P1_s, ~P1'_s, ~P16_s, ~P16'_s, ~P8_s, ~P8'_s)	FFh

*** P1_s~P4_s : Column Parity, P8_s~P16_s : Row Parity

*** ~ : Logically inverse operation

13.4.9 NAND Flash Memory Error Corrected Data Register (NFECD)

Address: 0xA000_0C24

Bit	R/W	Description	Default Value
31 : 0	R	Automatically Error Corrected Data	–

13.4.10 NAND Flash Memory Spare Address Register (NFSPADR)

Address: 0xA000_0C28

Bit	R/W	Description	Default Value
15 : 0	R/W	Spare address to access during Auto ECC	0000h

13.4.11 NAND Flash Memory MLC ECCn Register (NFECCn)

Address: 0xA000_0C2C / 0xA000_0C30 / 0xA000_0C34 / 0xA000_0C38 /
 0xA000_0C3C / 0xA000_0C40 / 0xA000_0C44 / 0xA000_0C48 /
 0xA000_0C4C / 0xA000_0C50 / 0xA000_0C54

Bit	R/W	Description	Default Value
31 : 0	R	4-bit ECC Parity Value 52-bit parity[31:0] / 52-bit parity[52:32] 24-bit ECC Parity Value 336-bit parity[31:0] , 336-bit parity[63:32], 336-bit parity[95:64] , 336-bit parity[127:96], 336-bit parity[159:128], 336-bit parity[191:160], 336-bit parity[223:192], 336-bit parity[255:224], 336-bit parity[287:256], 336-bit parity[319:288], 336-bit parity[335:320]	0000_0000h

13.4.12 NAND Flash Memory Error Location n Register (NFERRLOCn)

Address: 0xA000_0C58 / 0xA000_0C5C / 0xA000_0C60 / 0xA000_0C64 / 0xA000_0C68 /
 0xA000_0C6C / 0xA000_0C70 / 0xA000_0C74 / 0xA000_0C78 / 0xA000_0C7C /
 0xA000_0C80 / 0xA000_0C84 / 0xA000_0C88 / 0xA000_0C8C / 0xA000_0C90 /
 0xA000_0C94 / 0xA000_0C98 / 0xA000_0C9C / 0xA000_0CA0 / 0xA000_0CA4 /
 0xA000_0CA8 / 0xA000_0CAC / 0xA000_0CB0 / 0xA000_0CB4

Bit	R/W	Description	Default Value
10 : 0	R	Error byte location 1 st ~24 th	0000h

13.4.13 NAND Flash Memory Error Pattern n Register (NFERRPTNn)

Address: 0xA000_0CB8 ~ 0xA000_0D14

Bit	R/W	Description	Default Value
7 : 0	R	Error byte pattern 1 st ~24 th	00h

13.4.14 NAND Flash Memory ID Register (NFMID)

Address: 0xA000_0D18

Bit	R/W	Description	Default Value
31 : 0	R	NAND Flash ID	0000_0000h

14 SD HOST CONTROLLER

14.1 Features

- SD (ver 2.0) / MMC (ver 3.31) 카드 지원
- High Speed (50 MHz) 지원
- 1bit / 4bit data bus 지원
- DMA 전송 지원
- 64 byte FIFO 내장
- 40 bit Command Register
- 136 bit Response Register

14.2 Block Diagram

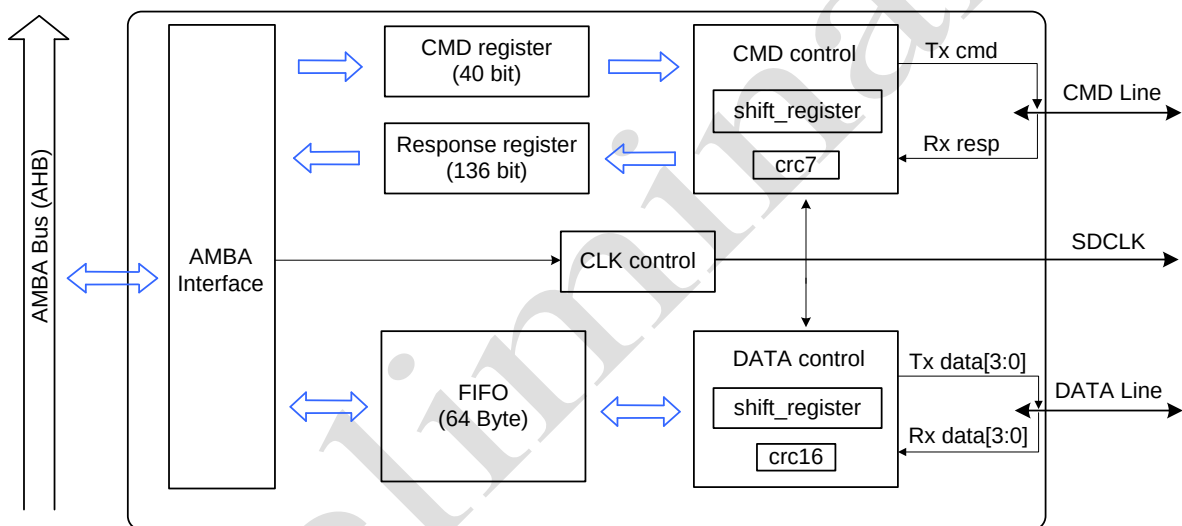


Figure 14-1 SDHC Block Diagram

14.3 SD Card Protocol

SD card 와 SD Host 사이의 통신은 start bit으로 시작해서 stop bit으로 끝나는 command 와 response, data를 기반으로 한다.

Command : Command는 Host(Controller)가 Command line을 통해 SD 카드로 전송되는 명령어이다. Command는 여러 개의 SD 카드를 향해 동시에 전송되는 broadcast command 와 Address로 선택된 하나의 SD 카드에만 전송되는 addressed command 로 분류된다.

Response : Host가 전송한 Command 에 대한 응답으로써 선택된 카드가 Command line을 통해 전송한다.

Data : Host 에서 SD 카드로 또는 SD 카드에서 Host로 Data line을 통하여 블록 단위로

전송되며 일반적으로 1 block의 크기는 512byte 또는 1024 byte 이다.

SD Card protocol 에서는 데이터 전송의 신뢰성을 위해 Command 와 Response 그리고 Data를 CRC7과 CRC16로 체크하며 CRC 코드 생성과 오류 검출은 하드웨어 내부에서 스스로 이루어진다.

14.4 Register Description

14.4.1 SDHC Control Register (SDHC CON)

Address : 0xA000_1000h

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	—
5	R/W	MMC/SD HC Enable Host에 대한 Enable 비트이다. 이 비트가 Disable 상태가 되면 컨트롤러의 상태는 초기화되고 내부 버퍼들은 모두 clear된다. 0 : Disable (Controller is initialized) 1 : Enable	0b
4 : 3	R/W	Memory access type 이 비트는 SD 메모리카드에 Data를 저장할 때 데이터 정렬 방식을 정하게 된다. 00 : byte align 01 : short align 10 : word align 11 : not use	00b
2	R/W	DMA mode selection DMA를 사용하여 빠르게 데이터를 전송할 수 있는 모드를 제공한다. 0 : Normal mode (data transfer by CPU) 1 : DMA mode (data transfer by DMA)	0b
1	R/W	Bus width Selection 0 : 1bit data bus 1 : 4bit data bus	0b
0	R/W	MMC/SD clock enable 0 : Disable 1 : Enable	0b

14.4.2 SDHC Status Register (SDHC STAT)

Address: 0xA000_1004h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	—
15	R	Card Insertion Data line[3]을 통하여 SD카드가 슬롯에 삽입되었는지를 알려주는 비트이다. 이를 사용하기 위해서는 data line[3]은 weak Pull-down 저항을 달아야 한다. 0 : No card insertion detection 1 : card insert detected	0b

14	R	Card_Removal Data line[3]을 통하여 SD카드가 슬롯에서 제거되었는지를 알려주는 비트이다. 0 : No card removal detection 1 : card remove detected	0b
13	R	FIFO full 64바이트 데이터 FIFO 가 가득 찼음을 나타내는 비트이다.	0b
12	R	FIFO half full 64바이트 데이터 FIFO 가 절반 이상 찼음을 나타내는 비트이다.	0b
11	R	FIFO empty 64바이트 데이터 FIFO가 비워졌음을 나타내는 비트이다.	1b
10	R/C	Command & response transaction done Host가 Command를 보내었을 때 그에 대한 response를 받았음을 알려주는 비트이다. 만약 Response가 도착하지 않는 비정상적인 경우에도 Time out error를 발생시키며 이 비트가 1이 된다. 0 : Command and response transaction is in progress 1 : Command and response transaction is done	0b
9	R/C	Data Write operation done Data write operation이 완료되었음을 알려주는 비트이다. Data CRC error가 발생한 경우에도 write operation이 종료되면서 이 비트가 1이 된다. 0 : Write operation is in progress or incomplete 1 : Write operation complete	0b
8	R/C	Read operation done Data read operation이 완료되었음을 알려주는 비트이다. Read data CRC error가 발생한 경우에도 read operation이 종료되면서 이 비트가 1이 된다. 0 : Read operation is in progress or incomplete 1 : Read operation complete	0b
7 :6	R/C	Write CRC error code Write operation 진행 중에 SD카드로부터 받은 CRC 검사 결과를 나타내는 코드이다. SD카드는 Host가 한 블록씩 데이터를 보낼 때 마다 각 블록에 대한 CRC를 검사하여 그 결과 값을 Host에게 전송한다. 00 : No CRC Error 01 : CRC Error (데이터 블록에서 CRC 에러 발생) 10 : No CRC response (데이터 블록이 SD 카드에서 무시되었음) 11 : Reserved	00b
5	R/C	Response CRC error Response 에 CRC 에러가 발생했음을 알려주는 비트이다. 0 : No error 1 : Response CRC error occurred	0b

4	R/C	Read data CRC error SD카드로부터 Read 한 데이터에 CRC 에러가 발생했음을 알려주는 비트이다. 0 : No error 1 : Read data CRC error occurred	0b
3	R/C	Write data CRC error SD카드로 전송한 데이터에 CRC 에러가 발생했음을 알려주는 비트이다. 0 : No error 1 : Write data CRC error occurred	0b
2	R/C	Response time out error Response가 설정된 시간 안에 오지 않았음을 알려주는 비트이다. 0 : No error 1 : Command response was not received in time Specified	0b
1	R/C	Read data time out error Read 데이터가 지정된 시간 안에 오지 않았음을 알려주는 비트이다. 0 : No error 1 : The expected data from card was not received in time Specified	0b
0	R	Memory busy state SD카드의 busy 상태를 나타내는 비트이다. 0 : Memory is ready 1 : Memory is busy	0b

R/C는 Read/Clear를 의미한다. Status의 특정 비트를 Clear 하는 방법은 해당 비트에 1을 쓰면 clear 된다.

Status[15:8] 는 인터럽트를 발생하는 인터럽트 소스이기도 한다. 이중에 한 비트가 1 이 되면 인터럽트가 발생하고 해당 비트가 clear 되기 전까지 계속 인터럽트를 요청하게 된다.

14.4.3 SDHC Clock Divide Register (SDHCCD)

Address : 0xA000_1008h

Bit	R/W	Description	Default Value
31 : 10	R	Reserved.	-
9 : 0	R/W	MMC/SD clock Divide Register $f_{SDCLK} = \frac{f_{AHB_Clock}}{2 + Divide [9:0]}$	200h

14.4.4 SDHC Response Time Out Register (SDHCRT0)

Address: 0xA000_100Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7 : 0	R/W	Response time out. Command를 보낸 후 response를 기다리는 최대 시간을 설정한다. 지정된 시간 안에 response가 도착하지 않을 경우 response time out error가 발생된다. 시간 단위는 SD카드에 전송되는 클럭을 기준으로 하며 Command의 마지막 비트가 전송되면 클럭 카운트가 시작된다. 01h : 1 clock count 02h : 2 clock counts ... FFh : 255 clock counts	FFh

14.4.5 SDHC Read Data Time Out Register (SDHCRD0)

Address: 0xA000_1010h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	–
15 : 8	R/W	Data read time out. Read command를 보낸 후 read 데이터를 받기까지 기다리는 최대 시간을 설정한다. 사용자는 상위 8비트만 설정할 수 있고 하위 8비트는 00h로 고정되어 있다. 일반적으로 FF00h로 설정할 것을 권장한다.	FFh
7 : 0	R	Reserved.	00h

14.4.6 SDHC Block Length Register (SDHCBL)

Address: 0xA000_1014h

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	–
11 : 0	R/W	Block length. 데이터 전송의 최소 단위인 블록의 byte 크기를 정하는 레지스터임	200h

14.4.7 SDHC Number of Block Register (SDHCNOB)

Address: 0xA000_1018h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	–
15 : 0	R/W	Multi-block command를 사용하여 다수의 data block을 전송하는 경우 블록의 개수를 지정하는 레지스터이다. 한 블록씩 전송될 때 마다 1씩 감소하며 전송 완료되면 0 이 된다.	0000h

14.4.8 SDHC Interrupt Enable Register (SDHCIE)

Address : 0xA000_101Ch

Bit	R/W	Description	Default Value
31 : 8		Reserved	–
7	R/W	Card insert detection Interrupt enable 0 : disable 1 : enable	0b
6	R/W	Card remove detection Interrupt enable 0 : disable 1 : enable	0b
5	R/W	FIFO full Interrupt enable 0 : disable 1 : enable	0b
4	R/W	FIFO half full Interrupt enable 0 : disable 1 : enable	0b
3	R/W	FIFO empty Interrupt enable 0 : disable 1 : enable	0b
2	R/W	End command response Interrupt enable 0 : disable 1 : enable	0b
1	R/W	Write operation done Interrupt enable 0 : disable 1 : enable	0b
0	R/W	Read operation done Interrupt enable 0 : disable 1 : enable	0b

SDHCSTAT[15:8]이 인터럽트 소스이고 SDHCIE 레지스터는 이에 대한 인터럽트 Enable 신호이다. 인터럽트가 발생하면 인터럽트 서비스 루틴에서 필요한 작업을 수행하고 SDHCSTAT[15:8] 중에 인터럽트를 발생시킨 비트를 0으로 만든다. 그러나 card insert detection 인터럽트와 card remove detection 인터럽트는 SDHCSTAT[15]와 SDHCSTAT[14]는 해당 비트가 clear 되지 않기 때문에 인터럽트 서비스 루틴 안에서 인터럽트 Enable 비트를 0으로 만들어 인터럽트 신호를 Disable 시킨다.

14.4.9 SDHC Command Control Register (SDHCCMDCON)

SDHCCMDCON 레지스터는 사용자가 command를 보내기 위해 구성하는 레지스터이다. 사용자가 SDHCCMDCON 레지스터에 write 하게 되면 레지스터에 쓰여진 설정대로 command가 SD카드로 전송된다.

Address: 0xA000_1020h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10	R/W	Response 가 필요한 command type인지 아닌지를 결정하는 비트이다. No response를 설정하는 경우 response가 response buffer에 저장되지 않는다. 0 : no response 1 : wait response	0b
9 : 8	R/W	Response type을 결정하는 비트이다. Response type은 command 에 따라 달라지므로 command에 맞는 response type을 잘 선택해야 한다. 00 : short response (response size : 48bit) 01 : short response with busy (response size : 48bit ,) 10 : long response (response size : 136bit)	00b
7	R/W	Data stream이 사용되는 command 인지 아닌지를 결정하는 비트이다. Read command 또는 Write command인 경우 이 비트를 1로 해야 한다 0 : without data 1 : with data	0b
6	R/W	데이터 FIFO의 입출력 방향을 결정하는 비트이다. Read command 인 경우 0로 설정하고 write command인 경우 1로 설정한다. 0 : read data 1 : write data	0b
5 : 0	R/W	command number를 지정하는 비트이다. Command number의 의미는 MMC 와 SD card가 조금씩 다르므로 각각의 spec을 참고하기 바람. 00h = CMD0 01h = CMD1 ... 3Fh = CMD63	00h

14.4.10 SDHC Command Argument Register (SDHCCMDA)

Address: 0xA000_1024h

Bit	R/W	Description	Default Value
31 : 0	R/W	Command argument. Command token을 구성하는 항목 중에 argument를 설정하는 레지스터 이다.	0000 0000h

14.4.11 SDHC Response FIFO Access Register (SDHCRFA)

Address: 0xA000_1028h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	–
15 : 0	R/W	Response를 저장하는 FIFO이다. 크기는 8x16 bit	0000h

14.4.12 SDHC Data FIFO Access Register (SDHCDFA)

Address: 0xA000_102Ch

Bit	R/W	Description	Default Value
31 : 0	R/W	데이터를 저장하는 FIFO 이다. 크기는 16x32 bit	–

15 USB DEVICE

adStar에 내장된 USB Device는 2.0 Full-speed(12Mbps)를 지원하며, 5개의 endpoint으로 구성되어 있다.

하드웨어적으로 USB 프로토콜을 지원하며, 자동적인 data retry, data toggle 그리고 power management 기능(suspend와 resume)을 지원한다. 내부에 PHY가 포함 되어 있다.

15.1 Features

- USB 2.0 Full Speed(12Mbps)
- 5 개의 Endpoint 지원
- 하드웨어적으로 USB 프로토콜 지원
- Suspend와 Resume signaling 지원

Table 15-1 Endpoint List

Endpoint	Max Size (bytes)	Direction	Transaction Type
0	16	IN/OUT	Control
1	64	OUT	Bulk
2	64	IN	Bulk
3	16	OUT	Interrupt
4	16	IN	Interrupt

15.2 Register Summary

Table 15-2 USB Core Register List

Register	Address	R/W	Description	Default Value
USBFA	0xA0001800	R/W	Function address register	0x00
USBPM	0xA0001804	R/W	Power management register	0x00
USBEP1	0xA0001808	R/W	Endpoint interrupt register	0x00
USBINT	0xA0001810	R/W	USB interrupt register	0x00
USBEP1EN	0xA0001814	R/W	Endpoint interrupt enable register	0x1F
USBINTEN	0xA0001818	R/W	USB interrupt enable register	0x04
USBLBFN	0xA000181C	R	Frame number1 register	0x00
USBHBFN	0xA0001820	R	Frame number2 register	0x00
USBIND	0xA0001824	R/W	Index register	0x00
USBMP	0xA0001828	R/W	MAXP register	0x00
USBEP0C	0xA000182C	R/W	EP0 control register	0x00
USBIC1	0xA000182C	R/W	EP2, 4 IN Control register1	0x00
USBIC2	0xA0001830	R/W	EP2, 4 IN Control register2	0x00
USBOC1	0xA0001838	R/W	EP1, 3 OUT Control register 1	0x00
USBOC2	0xA000183C	R/W	EP1, 3 OUT Control register 2	0x00
USBLBOWC	0xA0001840	R	Low Byte OEP Write count register	0x00
USBHBOWC	0xA0001844	R	High Byte OEP write count register	0x00
USBEP0D	0xA0001848	R/W	EP0 FIFO data register	0x00
USBEP1D	0xA000184C	R/W	EP1 FIFO data register	0x0000_0000
USBEP2D	0xA0001850	R/W	EP2 FIFO data register	0x0000_0000
USBEP3D	0xA0001854	R/W	EP3 FIFO data register	0x00
USBEP4D	0xA0001858	R/W	EP4 FIFO data register	0x00

15.2.1 USB Function Address Register

USBFAR 레지스터에는 호스트에 의해 할당된 USB 디바이스 주소가 저장된다. MCU는 SET_ADDRESS Descript 수행을 통해 받은 값을 이 레지스터에 저장한다. 이 값은 다음 토큰에서 사용된다.

15.2.2 USB Power Management Register

Power Management 레지스터는 Suspend, Resume 그리고 reset 신호에 의해 사용된다. Suspend와 Reset 상태는 USB_INTERRUPT Register에 저장된다.

15.2.3 USB Interrupt Registers

USB Host의 요청상태와 각 Endpoint 의 상태와 알려준다.

15.2.4 USB Interrupt Enable Registers

각 Endpoint의 인터럽트를 Enable 한다. 대부분의 인터럽트는 초기값이 Enable상태이나, Suspend 인터럽트는 Disable 이다.

15.2.5 Frame Number Registers

Frame Packet의 끝에서 frame 번호를 저장한다.

15.2.6 Index Register

인덱스 레지스터는 각각의 endpoint에 해당하는 컨트롤 레지스터를 선택할 때 사용한다.

15.2.7 MAXP Register

8byte 배수 단위로 사용할 FIFO 크기를 조절할 수 있다. 그러나 각 Endpoint 에서 지원하는 최대 FIFO 사이즈보다 크게는 설정 할 수 없다.

15.2.8 EP0 Control Register

Endpoint 0의 제어와 상태를 나타낸다.

15.2.9 IN Control Registers

IN Endpoint의 제어와 상태를 나타낸다.

15.2.10 Out Control Registers

Out Endpoint의 제어와 상태를 나타낸다.

15.2.11 Out Write Count Registers

두 개의 레지스터로 이루어져 write count 값을 가지다. OUT endpoint에서 OPOPR 비트가 set 되면, 이 레지스터에는 MCU에 의해 가져간 packet의 수를 가지고 있다.

15.2.12 Endpoint FIFO Access Registers

FIFO에 접근하는 register 이다.

15.3 Register Description

15.3.1 USB Function Address Register (USBFA)

Address : 0xA000_1800h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8			Reserved	
7	R/W	R/ Clear	ADDUP : ADDR_UPDATE bit. 이 레지스터의 FUNADD field가 업데이트 되면 MCU는 이 비트를 1 로 설정한다. FUNADD field는, Endpoint 0 CSR의 DATA_END 비트를 clear에 의해 발생하는 제어 전송의 status phase 이후부터 사용된다.	0
6 : 0	R/W	R	FUNADD : FUNCTION_ADDR bits. MCU가 주소를 여기에 write 한다.	0

15.3.2 USB Power Management Register (USBPM)

Address : 0xA000_1804h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 4			Reserved	
3	R	Set	UBRST : USB_RESET bit. 호스트로부터 Reset 신호를 받으면 USB가 이 비트를 설정한다. Reset 신호가 버스상에서 유지되는 한 ,이 비트는 set 상태를 유지한다.	0
2	W/R	R	UBRSUM : USB_RESUME bit. Resume 신호를 초기화 하기 위해 MCU가 10ms (최대 15ms)동안 이 비트를 설정한다. Suspend 모드에서 이 비트가 설정되어 있는 동안 USB 가 Resume 신호를 발생한다.	0
1	R	R/W	UBSPDMOD : SUSPEND_MODE bit. Suspend모드로 들어가게 되면 USB 가 이 비트를 설정한다. 다음 조건에 의해 clear 가 된다. -Resume 신호를 끝내기 위해서 MCU가 MUC_RESUME 를 clear 하는 경우 -USB_RESUME 인터럽트 발생 때 MCU가 인터럽트 레지스터 3 을 읽게 되는 경우.	0
0	R/W	R	UBENSPD : ENABLE_SUSPEND bit = 1 Enable Suspend mode = 0 Disable Suspend mode (Default) 이 비트가 zero 이면, 디바이스는 suspend 모드 상태로 들어 가지 않는다.	0

15.3.3 USB Endpoint Interrupt Register (USBEP1)

Address : 0xA000_1808h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 5			Reserved	
4	R/ Clear	Set	EP4INT : EP4 Interrupt bit. (Interrupt in mode) 이 비트는 endpoint4 인터럽트에 해당된다. (USBIC1R, USBIC2R 의 bit 참고) - ICIPR(In Control 1 In Packet Ready bit) 비트가 clear 될 때 - FIFO가 flush 되었을 때 - ICSTSTAL(In Control 1 Sent Stall bit) 비트가 set 되었을 경우에	0
3	R/ Clear	Set	EP3INT : EP3 Interrupt bit. (Interrupt out mode) 이 비트는 endpoint3 인터럽트에 해당된다. (USBOC1R, USBOC2R 의 bit 참고) - OCOPR(Out Control 1 Out Packet Ready bit) 비트를 set 할 때 - OCSTSTAL(Out Control 1 Sent Stall bit) 비트를 set 할 때	0
2	R/ Clear	Set	EP2INT : EP2 Interrupt bit. (Bulk in mode) 이 비트는 endpoint2 인터럽트에 해당된다. (USBIC1R, USBIC2R 의 bit 참고) - ICIPR(In Control 1 In Packet Ready bit) 비트가 clear 될 때 - FIFO가 flush 되었을 때 - ICSTSTAL(In Control 1 Sent Stall bit) 비트가 set 되었을 경우에	0
1	R/ Clear	Set	EP1INT : EP1 Interrupt bit. (Bulk out mode) 이 비트는 endpoint1 인터럽트에 해당된다. (USBOC1R, USBOC2R 의 bit 참고) - OCOPR(Out Control 1 Out Packet Ready bit) 비트를 set 할 때 - OCSTSTAL(Out Control 1 Sent Stall bit) 비트를 set 할 때	0
0	R/ Clear	Set	EP0INT : EP0 Interrupt bit. (Control mode) 이 비트는 endpoint0 인터럽트에 해당된다. (USBEP0CR 의 bit 참고) 1. EP0OPR bit is set. 2. EP0IPR bit is cleared 3. EP0STSTAL bit is set 4. EP0STED bit is set 5. EP0DED bit is cleared(Indicates End of control transfer)	0

15.3.4 USB Interrupt Register (USBINT)

Address : 0xA000_1810h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 3			Reserved	
2	R/ Clear	Set	RSTINT : USB Reset Interrupt bit. Reset신호가 입력되면 USB가 이 비트를 set 한다.	0
1	R/ Clear	Set	RSUMINT : Resume Interrupt bit. Suspend 모드 상태에서 Resume신호를 받으면 USB가 이 비트를 set한다. USB Reset에 의한 Resume 이면, Resume 인터럽트에 의해 MCU에 먼저 인터럽트가 걸린다. 일단 Clock이 다시 동작하고 SE0 상태가 3ms 동안 지속되면, USB Reset 인터럽트가 발생한다..	0
0	R/ Clear	Set	SPDINT : Suspend Interrupt bit Suspend 신호를 수신하면 USB는 이 비트를 set 한다. 버스상에서 3ms 동안 아무런 동작이 이루어지지 않으면 이 비트는 set 된다. 그래서 MCU가 첫 번째 suspend 인터럽트 이후에 Clock을 멈추지 않으면, USB 버스상에서 아무런 동작이 이루어지 않는 한 매 3ms 마다 인터럽트가 계속 발생한다. 디폴트로 이 인터럽트는 disable 이다.	0

15.3.5 Endpoint Interrupt Enable Register (USBEPIN)

Address : 0xA000_1814h

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	
4	R/W	EP4INTEN : Endpoint 4 Interrupt enable bit	1
3	R/W	EP3INTEN : Endpoint 3 Interrupt enable bit	1
2	R/W	EP2INTEN : Endpoint 2 Interrupt enable bit	1
1	R/W	EP1INTEN : Endpoint 1 Interrupt enable bit	1
0	R/W	EPOINTEN : Endpoint 0 Interrupt enable bit	1

15.3.6 USB Interrupt Enable Register (USBINTEN)

Address : 0xA000_1818h

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	
2	R/W	RSTINTEN : USB RESET Interrupt enable bit	1
1	R	Reserved	
0	R/W	SPDINTEN : SUSPEND Interrupt enable bit	0

15.3.7 USB Low Byte Frame Number Register (USBLBFN)

Address : 0xA000_181Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Frame Number 1 register	0x00

15.3.8 USB High Byte Frame Number Register (USBHBFN)

Address : 0xA000_1820h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Frame Number 2 register	0x00

15.3.9 USB Index Register (USBIND)

Address : 0xA000_1824h

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	
2 : 0	R/W	Index register 000 : Endpoint 0 001 : Endpoint 1 010 : Endpoint 2 011 : Endpoint 3 100 : Endpoint 4 101 : Reserved 110 : Reserved 111 : Reserved	000

15.3.10 USB MAXP Register (USBMP)

Address : 0xA000_1828h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Max FIFO Size 0000_0001 MAXP=8 0000_0010 MAXP=16 0000_0100 MAXP=32 0000_1000 MAXP=64	0x00

15.3.11 USB EP0 Control Register (USBEP0C)

Address : 0xA000_182Ch

Bit	R/W		Description	Default Value
	MCU	USB		
7	Clear		EPOSUEC : EP0 Set Up End Clear bit. MCU가 EPOSTED 비트를 clear 하기 위해 1 를 write 한다.	0
6	Clear		EP0OPRC : EP0 Out Packet Ready Clear bit. MCU는 EP0OPR 비트를 clear하기 위해 이 비트에 1 를 write한다.	0
5	Set	Clear	EPOSDSTAL : EP0 Send Stall bit. MCU는 잘못된 token이라고 인식되면, EP0OPR 비트를 clear와 동시에 이 비트를 set 한다. USB는 STALL handshake를 현재 컨트롤 전송에 발생시킨다. MCU는 STALL 상황을 끝내기 위해 0를 write 한다.	0
4	R	Set	EPOSTED : EP0 Setup End bit. 이 비트는 읽기 전용이다. EPODED 비트가 set되기 전에 컨트롤 전송이 끝났을 때 USB 가 이 비트를 set한다. USB가 이 비트를 set 할 때 MCU에 인터럽트가 전달된다. 이러한 상황이 발생했을 때 USB는 FIFO를 flush하고 MCU의 FIFO 접근을 무효화 한다. MCU의 FIFO 접근이 무효화 될 때 이 비트는 clear 된다.	0
3	Set/R	Clear	EPODED : EP0 Data End bit. MCU는 다음과 같은 상황에서 이 비트 set한다: - 마지막 데이터 패킷을 가져온 후 EP0OPR 비트를 clear 할 때 - Zero length data 구간에서 EP0OPR 비트를 clear 하고 EPOIPR 비트를 set 할 때 - MCU가 FIFO에 대한 패킷 데이터를 load한 후에 EPOIPR 비트를 set함과 동시에 이 비트(EPODED) 를 set 한다.	0
2	Clear /R	Set	EPOSTSTAL : Sent Stall bit. 프로토콜 오류로 컨트롤 transaction이 끝나면 USB가 이 비트 set 한다. 이 비트가 set 되면 인터럽트가 발생한다.	0
1	Set/R	Clear	EPOIPR : EP0 In Packet Ready bit. MCU는 endpoint 0 FIFO에 데이터 패킷을 write 한 후에 이 비트를 set 한다. 데이터 패킷이 성공적으로 호스트에 전달되면 USB가 이 비트를 clear 시킨다. USB가 이 비트를 clear시키면 인터럽트가 발생한다. 그래서 MCU는 계속해서 다음 데이터를 load 할 수 있게 된다. Zero length data phase에서는 MCU는 동시에 이 비트(EPOIPR)와 EPODED 비트를 set 한다.	0
0	R	Set	EP0OPR : EP0 Out Packet Ready bit. 이 비트는 읽기 전용이다. 유효한 token이 FIFO에 쓰여지면 USB가 이 비트를 set 한다. USB가 set 하면 인터럽트가 발생한다. MCU는 EP0OPRC 비트에 1 를 write 함으로써 이 비트를 clear 시킨다.	0

15.3.12 USB IN Control 1 Register (USBIC1)

Address : 0xA000_182Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 7	R		Reserved	
6	Set	R/Clear	ICCDT : In Control 1 Clear Data Toggle bit. MCU가 이 비트에 1 을 write하면 data toggle 비트가 clear 된다. 이 비트는 쓰기 전용이다.	0
5	R/Clear	Set	ICSTSTAL : In Control 1 Sent Stall bit. MCU가 ICSDSTAL 비트를 set 했기 때문에, IN token 에 STALL handshake를 발생된다. 이 때 USB 가 이 비트를 set 한다. USB 가 STALL handshake를 발생 시키면 ICIPR 비트는 clear된다. MCU 가 0 를 write함으로써 이 비트를 clear 시킨다.	0
4	R/W	R	ICSDSTAL : In Control 1 Send Stall bit. MCU가 USB에 STALL handshake를 발생시키기 위해 이 비트에 1 를 write한다. STALL 상황을 끝내기 위해 MCU가 이 비트를 clear 한다.	0
3	R/Set	Clear	ICFFLU : In Control 1 FIFO Flush bit. IN FIFO를 flush하고자 하면 MCU가 이 비트를 set 한다. FIFO가 flush가 되면 USB 에 의해 이 비트는 clear 된다. 이런 상황이 발생하면 MCU에 인터럽트가 걸린다. Token이 진행 중이라면, USB는 FIFO가 flush 되기 전에 전송이 완료 될 때까지 기다린다. 만약에 두 개의 패킷이 FIFO에 load되어 있으면, 가장 상위의 패킷(호스트로 보내려고 하는 것)만 flush이 되고 그 패킷에 관련 있는 ICIPR 비트가 clear 된다.	0
2			Reserved	0
1	R	Set	ICFNE : In Control 1 FIFO Not Empty bit. FIFO에 적어도 한 개의 데이터 패킷이 있음을 나타낸다. 0 : FIFO에 패킷이 없다. 1 : FIFO에 패킷이 있다.	0
0	Set / R	Clear	ICIPR : In Control 1 In Packet Ready bit. FIFO에 데이터 패킷을 쓰고 난 뒤 MCU가 이 비트를 set 한다. 호스트로 데이터 패킷 전송이 성공적으로 끝나면 USB는 이 비트를 clear 한다. 이 비트를 USB 가 clear 하면 인터럽트가 발생하고, MCU는 다음 패킷을 로드 할 수 있게 된다. 이 비트가 set 되어 있는 동안에는 MCU는 FIFO에 쓰기를 할 수 없다. MCU에 의해 ICSDSTAL 비트가 set 되면, 이 비트는 set 될 수 없다.	0

15.3.13 USB IN Control 2 Register (USBIC2)

Address : 0xA000_1830h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	R/W	R	ICASET : In Control 2 Auto Set bit. 이 비트가 set 되어 있으면, MCU가 MAXP만큼의 데이터를 쓰기를 하면 자동적으로 ICIPR 비트가 set 된다. MAXP데이터 보다 적은 데이터를 쓸 경우는 MCU가 ICIPR 비트를 set 해줘야 한다.	0
6			Reserved	0
5	R/W	R	ICMODIN : In Control 2 Mode In bit. Endpoint의 방향을 프로그램머블할 수 있게끔 해준다. 1 = endpoint의 방향을 IN으로 설정된다. 0 = endpoint의 방향을 OUT으로 설정된다.	1
4 : 0			Reserved	

15.3.14 USB Out Control Register 1 (USBOC1)

Address : 0xA000_1838h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	R/W	R	OCCDT : Out Control 1 Clear Data Toggle bit. MCU가 이 비트에 1 를 write하면, data toggle sequence 비트가 DATA0 로 reset 된다.	0
6	Clear/ R	Set	OCSTSTAL : Out Control 1 Sent Stall bit. OUT token이 STALL handshake로 종료될 때 USB가 이 비트 set 한다. OUT Token에서 MAXP 데이터 보다 더 많은 데이터를 보낼 경우 USB가 host에 stall handshake를 발생 시킨다. MCU가 0 를 write하면 clear 된다.	0
5	W/R	R	OCSDSTAL : Out Control 1 Send Stall bit. USB에 STALL handshake를 발생시키기 위해 MCU가 이 비트에 1 를 write 한다. STALL 상황을 끝내기 위해 MCU가 이 비트에 0 을 write 한다.	0
4	R/W	Clear	OCFFLU : Out Control 1 FIFO Flush bit. MCU가 FIFO를 flush하기 위해 1 를 write 하고 flush를 멈추기 위해 0 을 write 한다. OCOPR 비트가 set되어 있는 동안만 이 비트가 set 될 수 있다. MCU 가 가져간 데이터 패킷은 flush가 될 것이다.	0
3	R	R/W	OCERR : Out Control 1 Data Error bit 전송 받은 데이터에 에러(bit stuffing 또는 CRC)가 있음을 나타낸다. OCOPR 비트가 clear될 때 자동적으로 clear 된다.	0
2	R	R	Reserved	
1	R	R/W	OCFFUL : Out Control 1 FIFO Full bit. 더 이상의 패킷을 수용할 수 없음을 나타낸다. 0 : FIFO is not full. 1 : FIFO is full.	0
0	R/ Clear	Set	OCOPR : Out Control 1 Out Packet Ready bit. FIFO에 데이터 패킷이 load가 되면 USB 가 이 비트를 set 한다. MCU가 패킷 전체를 읽고 나면 이 비트는 MCU에 의해 clear 되어야 한다. MCU가 0 을 write 함으로써 clear 된다.	0

15.3.15 USB OUT Control Register 2 (USBOC2)

Address : 0xA000_183Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	R/W	R	OCACLR : Out Control 2 Auto Clear bit. 이 비트가 set이면, MCU가 OUT FIFO에서 데이터를 읽을 때 마다 자동적으로 USB core에 의해 OCOPR 비트가 clear 된다.	0
6 : 0			Reserved	0

15.3.16 USB Low Byte Out Write Count Register (USBLOWC)

Address : 0xA000_1840h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	(LBOWC) Low Byte OEP write count register	0x00

15.3.17 USB High Byte Out Write Count Register (USBHBOWC)

Address : 0xA000_1844h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	(HBOWC) High Byte OEP write count register	0x00

15.3.18 EP0 FIFO Data Register (USBEP0)

Address : 0xA000_1848h

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
7 : 0	R/W	EP0 FIFO Data Register	0x00

15.3.19 EP1 FIFO Data Register (USBEP1)

Address : 0xA000_184Ch

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 0	R/W	EP1 FIFO Data Register	0x00

15.3.20 EP2 FIFO Data Register (USBEP2)

Address : 0xA000_1850h

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 0	R/W	EP2 FIFO Data Register	0x00

15.3.21 EP3 FIFO Data Register (USBEP3)

Address : 0xA000_1854h

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
7 : 0	R/W	EP3 FIFO Data Register	0x00

15.3.22 EP4 FIFO Data Register (USBEP4)

Address : 0xA000_1858h

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
7 : 0	R/W	EP4 FIFO Data Register	0x00

16 LCD CONTROLLER

16.1 Features

- Supports displays resolutions up to 800 x 600
- 256 x 32 FIFO controls in LCDC block.
- Internal Color Bar Generator
- Programmable Horizontal, Vertical and Field Input Sync. Phase.
- Programmable Horizontal, Vertical Sync. and Blank Output Signal Timing and Phase

16.2 Register Description

LCD Controller Register Summary

Address	Register Name	Description
0x8002_2404h	LCD Horizontal Total Register (LCDHT)	Horizontal Active와 Blank 구간을 포함한 Horizontal Total Scan Value
0x8002_2408h	LCD Horizontal Sync. Start / End Register (LCDHS)	Horizontal Sync 구간의 Start(End) value
0x8002_240Ch	LCD Horizontal Active Start / End Register (LCDHA)	Horizontal Active 구간의 Start(End) value
0x8002_2410h	LCD Vertical Total Register (LCDVT)	Vertical Active와 blank 구간을 포함한 Vertical Total scan value
0x8002_2414h	LCD Vertical Sync. Start/End Register (LCDVS)	Vertical Sync 구간의 Start(End) value
0x8002_2418h	LCD Vertical Active Start/End Register (LCDVA)	Vertical Active 구간의 Start(End) value
0x8002_241Ch	LCD Display Current X / Y Position Register (LCDXY)	Horizontal/Vertical Counter value
0x8002_2420h	LCD Status Register (LCDSTAT)	LCD controller의 Sync 상태
0x8002_2424h	LCD Control Register (LCDCON)	LCD의 Display, Sync, Memory, FIFO 모드를 제어
0x8002_2428h	LCD Overlay & DAC Control Register (LCDOEDAC)	Overlay / DAC control
0x8002_242Ch	LCD VESA Power Management Register (LCDPM)	VESA Display Power Management System (DPMS) control
0x8002_2430h	LCDC Base Address 0	Screen의 시작 위치를 지정
0x8002_2434h	LCDC Base Address 1	Screen의 시작 위치를 지정
0x8002_2438h	LCDC Frame sync. Counter	Frame Sync가 발생할 때마다 count
0x8002_243Ch	LCD Horizontal Width	Horizontal width를 결정
0x8002_2440h	LCD Flip Command	Process flip operation

Table 16-1 LCD Controller Registers Table

16.2.1 LCD Base Address Register(LCDBA)

Address : 0x8002_2400h

Bit	R/W	Description	Default Value
31 : 21	R	Reserved	–
20 : 0	R/W	Base Address These bits indicates the start position of the screen in the memory	00 0000h

16.2.2 LCD Horizontal Total Register(LCDHT)

Horizontal Active와 Blank 구간을 포함한 Horizontal Total scan value

Address : 0x8002_2404h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	–
10 : 0	R/W	Horizontal Total The value loaded into this field is the total pixel counts per line.	000h

16.2.3 LCD Horizontal Sync. Start / End Register(LCDHS)

Horizontal Sync 구간의 Start(End) value.

Address : 0x8002_2408h

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	–
26 : 16	R/W	Horizontal Sync Start The value loaded into this field is the value of horizontal sync period start by the horizontal counter	000h
15 : 11	R	Reserved	–
10 : 0	R/W	Horizontal Sync End The value loaded into this field is the value of horizontal sync period end by the horizontal counter	000h

16.2.4 LCD Horizontal Active Start / End Register(LCDHA)

Horizontal Active 구간의 Start(End) value.

Address : 0x8002_240Ch

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	–
26 : 16	R/W	Horizontal Active Start The value loaded into this field is the value of horizontal active period start by the horizontal counter	000h
15 : 11	R	Reserved	–
10 : 0	R/W	Horizontal Active End The value loaded into this field is the value of horizontal active period start by the horizontal counter	000h

16.2.5 LCD Vertical Total Register(LCDVT)

Vertical Active와 Blank 구간을 포함한 Vertical Total scan value.

Address : 0x8002_2410h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	–
10 : 0	R/W	Vertical Total The value loaded into this field is the value of the total vertical line counts.	000h

16.2.6 LCD Vertical Sync. Start / End Register(LCDVS)

Vertical Sync 구간의 Start(End) value.

Address : 0x8002_2414h

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	–
26 : 16	R/W	Vertical Sync Start The value loaded into this field is the value of vertical sync period start by the vertical counter	000h
15 : 11	R	Reserved	–
10 : 0	R/W	Vertical Sync end The value loaded into this field is the value of vertical sync period end by the vertical counter	000h

16.2.7 LCD Vertical Active Start / End Register(LCDVA)

Vertical Active 구간의 Start(End) value.

Address : 0x8002_2418h

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	–
26 : 16	R/W	Vertical Active Start The value loaded into this field is the value of vertical active period start by the vertical counter	000h
15 : 11	R	Reserved	–
10 : 0	R/W	Vertical Active end The value loaded into this field is the value of vertical active period end by the vertical counter	000h

16.2.8 LCD Display Current X / Y Position Register(LCDXY)

Display Current X Position 레지스터는 Read Only 레지스터이며, Horizontal Counter 값을 반영하고 있다. Display Current Y Position 레지스터도 Read Only 레지스터이며, Vertical Counter 값을 반영하고 있다.

Address : 0x8002_241Ch

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R	The value loaded into this field is the value of the vertical counter.	000h
15 : 11	R	Reserved	-
10 : 0	R	The value loaded into this field is the value of the horizontal counter.	000h

16.2.9 LCD Status Register(LCDSTAT)

LCD Status 레지스터는 Read Only이며, LCD controller의 Sync 상태를 읽어볼 수 있다.

Horizontal Sync와 Vertical Sync 신호는, Control Register [21:20] Bit이 “00”일 때, 둘 다 Low active 상태를 갖는다. 이 두 Bit이 “11”일 때, 두 Sync. 신호는 High active 상태를 갖게 된다. Horizontal / Vertical Active는 신호는 Control Register [21:20] Bit에 상관없이 High active 상태를 갖는다.

Address : 0x8002_2420h

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6	R	Current Display Bank 0 : BANK0 , 1 : BANK1	0b
4	R	Field (1 : ODD Field, 0 : EVEN Field)	1b
3	R	Vertical Active (active high)	0b
2	R	Vertical Sync	1b
1	R	Horizontal Active (active high) .	0b
0	R	Horizontal Sync	1b

16.2.10 LCD Control Register(LCDCON)

LCD Control 레지스터는 LCDC의 동작 모드 제어를 위해 사용된다.

- * Frame Memory Bank <n> Ping-Pone Enable
: Graphic Engine Flip Command에 의한 Frame Memory Bank 전환을 비활성 / 활성 시킨다.
 - 비활성 시 LCD Frame Memory Bank는 고정된다.
 - 활성 시 Graphic Engine Flip Command에 의해 LCD Frame Memory Bank 전환이 이루어진다
 (CSC Image Capturer Control Register Bit “0” 설명 참조)
- * Vertical Double Scan
: 한 라인을 Vertical 방향으로 두 번 디스플레이 한다.
- * Horizontal Double Scan
: 한 Pixel을 Horizontal 방향으로 두 번 디스플레이 한다.

Address : 0x8002_2424h

Bit	R/W	Description	Default Value
31 : 25	R	Reserved	–
24	R/W	Software Reset. : 0 = Normal operation 1=Reset,.	1b
23	R	Reserved	–
22	R/W	DOT CLOCK SELECT : 0 = NORMAL 1 = INVERTED	
21	R/W	HSYNC. Output Polarity. : 0 = LOW ACTIVE 1 = HIGH ACTIVE	0b
20	R/W	VSYSN. Output Polarity. : 0 = LOW ACTIVE 1 = HIGH ACTIVE	0b
19	R/W	Frame Memory Bank <n> Ping-Pong Enable. : 0 = Disable 1 = Enable	0b
18 : 17	R/W	FIFO Request Control(Total depth : 256) 00 : one half request(128) 01 : one fourth request(64) 10 : one eighth request(32) 11 : Don't use	00b
16 : 15	R	Reserved	0b
14	R/W	WHEN RGB 32BIT MODE, INPUT DATA SEQUENCE : 0 = dRGB 1 = RGBd	0b
13 : 12	R/W	Input Source Format : 00 = YCbCr422 : 01 = RGB 16bit : 10 = RGB 32bit	0b
11 : 4	R	Reserved	0b
3	R/W	Vertical Double Scan Enable. : 0 = Disable 1 = Enable	0b
2	R/W	Horizontal Double Scan Enable. : 0 = Disable 1 = Enable	0b
1 : 0	R/W	Screen Display Mode Control. : 00=Normal operation. : 01=Regular Pattern Generation : 1x=Screen off	00b

16.2.11 LCD Overlay & DAC Control Register(LCDOEDAC)

Address : 0x8002_2428h

Bit	R/W	Description	Default Value
31 : 24	R/W	Reserved	–
23 : 16	R/W	Contrast Control FFh : Bright 80h : Default 00h : Dark	80h
15 : 8	R	Reserved	–
7 : 0	R/W	Brightness Control FFh : Maximum Contrast 80h : Default 00h : Minimum Contrast	80h

16.2.12 LCD VESA Power Management Control Register(LCDPM)

Address : 0x8002_242Ch

Bit	R/W	Description	Default Value																				
31 : 2	R	Reserved	-																				
1 : 0	R/W	VESA Power Management Control. <table> <tr> <td>1:0</td><td>Stage</td><td>Vsync.</td><td>Hsync.</td></tr> <tr> <td>00</td><td>On</td><td>On</td><td>On</td></tr> <tr> <td>10</td><td>Stand-by</td><td>On</td><td>Off</td></tr> <tr> <td>10</td><td>Suspend</td><td>Off</td><td>On</td></tr> <tr> <td>11</td><td>Off</td><td>Off</td><td>Off</td></tr> </table>	1:0	Stage	Vsync.	Hsync.	00	On	On	On	10	Stand-by	On	Off	10	Suspend	Off	On	11	Off	Off	Off	00b
1:0	Stage	Vsync.	Hsync.																				
00	On	On	On																				
10	Stand-by	On	Off																				
10	Suspend	Off	On																				
11	Off	Off	Off																				

16.2.13 LCD Base Address n Register (LCDBARn)

Address : 0x8002_2430h / 0x8002_2434h

Bit	R/W	Description	Default Value
31 : 19	R/W	Base Address n SDRAM 영역만 가능	0000h
18 : 0	R	Reserved	-

16.2.14 LCD Frame Sync. Count Register (LCDFRAMECNT)

Address : 0x8002_2438h

Bit	R/W	Description	Default Value
31 : 0	R/W	Frame Sync. Count	0h

16.2.15 LCD Horizontal Width Register (LCDHWIDTH)

Address : 0x8002_243Ch

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 0	R/W	Horizontal Width	400h

16.2.16 LCD Flip Control Register (LCDFCTL)

Address : 0x8002_2440h

Bit	R/W	Description	Default Value
31 : 4	R	Reserved	-
3	R	BANK1 -> BANK0 completed	
2	R	BANK0 -> BANK1 completed	
1	R/W	Request change to Bank1	
0	R/W	Request change to Bank0	

다음은 국제 TV 신호에 대하여 각 방식에 대한 신호 규격을 간단히 요약한 것이다.

	NTSC	PAL		
		B,D,G,H,I,N	M	Combi - N
Hsync Width	4.7 usec	4.7 usec	4.7 usec	5.0 usec
Front Porch	1.5 usec	1.5 usec	1.75 usec	1.9 usec
Back Porch	4.7 usec	5.8 usec	4.55 usec	4.0 usec
H. Display	52.6 usec	52.0 usec	52.5 usec	53.1 usec
H. total	63.556 usec / 15,734 Hz	64.0 usec / 15,625 Hz	63.556 usec / 15,734 Hz	64.0 usec / 15,625 Hz
H. line/frame	525	625	525	625
Field freq.	59.94 Hz	50 Hz	59.94 Hz	50 Hz
Video Bandwidth	4.2 MHz	I = 5.5MHz B,G,H = 5.0MHz N = 4.2MHz D = 6.0MHz	4.2 MHz	4.2 MHz
Color Burst Frequency	3.579545 MHz	4.433618 MHz	3.575611 MHz	3.582056 MHz
Color Burst	2.51 usec (9 cycle)	2.26 usec (10 cycle)	2.52 usec (9 cycle)	2.51 usec (9 cycle)
CB porch	1.00 usec	1.00 usec	1.00 usec	1.00 usec
Pre-equalize	6 pulses	5 pulses	6 pulses	5 pulses
Low width	2.35 usec	2.35 usec	2.35 usec	2.35 usec
High width	29.43 usec	29.65 usec	29.43 usec	29.65 usec
Serration	6 pulses	5 pulses	6 pulses	5 pulses
Low width	27.1 usec	27.3 usec	27.1 usec	27.3 usec
High width	4.7 usec	4.7 usec	4.7 usec	4.7 usec
Post-equalize	6 pulses	5 pulses	6 pulses	5 pulses
Low width	2.35 usec	2.35 usec	2.35 usec	2.35 usec
High width	29.43 usec	29.65 usec	29.43 usec	29.65 usec

Table 16-2 National TV Signal Standard

LCD Controller Block Diagram

LCD Controller는 Register, Timing Generation, Address Generation, FIFO Control, Sync Control, Request Generation, External Sync Detector 블록 등으로 구성되어 있다.

LCD Controller는 Screen Refresh를 위하여, 프레임 메모리의 데이터를 읽어오기 위하여 Request Generation, Request Address Generation, FIFO Control 블록이 있으며, VGA 모드를 위한 Sync Control 블록이 있다. Timing Generation 블록은 LCD Controller의 전반적인 Timing을 제어한다.

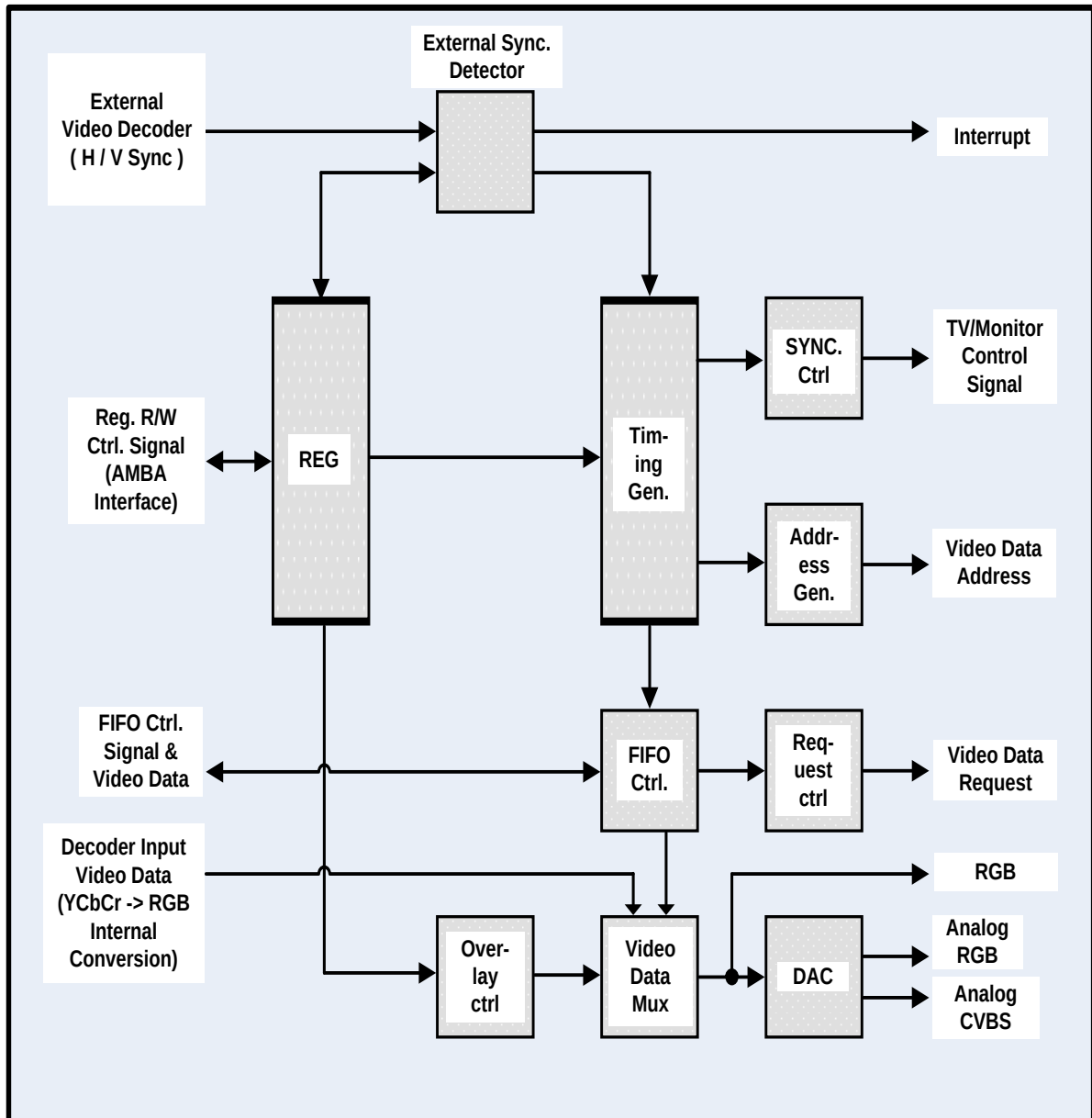


Figure 16-1 LCD Controller Block Diagram

- Address Generation

Address Generation 블록은 Screen Refresh를 위한 Memory Read Request Address를 생성한다.

User에 의해 셋팅된 LCD Base Address에 내부적으로 해당 모드에 따른 offset address가 더해져서 생성된다.

- FIFO / Request Control

FIFO Control 블록은 내부 FIFO의 Read Request 및 Write, Read Pointer를 제어한다. Read Request 및 Write, Read Pointer는 Horizontal Active 구간의 끝나는 시점에서 Reset 된다.

FIFO Control 블록은 두 개의 Clock Domain을 갖는다. 프레임 메모리로부터 읽어온 데이터를 FIFO에 Write하는 System Clock Domain과 FIFO Data를 읽어 Screen에 디스플레이 하기 위한 Video(Dot) Clock Domain으로 되어 있다.

FIFO의 Write/Read Data Bus는 32 Bit이며, Control 레지스터 [16] Bit에 의해 <16 or 24> Bit per Pixel(RGB) Color 모드를 선택할 수 있으며, 초기 값은 RGB 16 Bit(5:6:5 Format) Color 모드로 되어 있다.

만약 RGB 16 Bit(5:6:5 Format) Color 모드를 선택한다면, 한 번의 FIFO Write/Read 동작에 2 Pixel을 처리하게 되며, 32 Bit 중 하위[15:0] 16 Bit, 상위[31:16] 16 Bit 순으로 디스플레이 된다. 1 Pixel은 16 Bit이며 R 값이 [15:11], G 값이 [10:5], B 값이 [4:0] 순으로 되어 있다. Control 레지스터 [16] Bit에 '1'을 셋팅하여 RGB 24 Bit(8:8:8 Format) Color 모드를 선택한다면, 한 번의 FIFO Write/Read 동작에 1 Pixel을 처리하게 되며, 32 Bit는 { Dummy 8 Bit[31:24], R[23:16], G[15:8], B[7:0] }로 구성된다.

LCD Control 레지스터 [18:17] Bit에 따라, 매 라인 Horizontal Active 구간에서 FIFO의 Read Pointer를 체크하여 프레임 메모리 비디오 데이터 Read에 대한 Request 신호가 발생한다. 이 Bit이 "00", "11"일 때는 FIFO가 절반 비었을 때, "01"일 때는 4분의 1이 비었을 때, "10"일 때는 8분의 1이 비었을 때 Request 신호가 발생한다. 그리고, 매 라인 Horizontal HSYNC 구간에서 FIFO는, LCD Control Register [18:17] Bit에 따라, "00", "11"일 때는 Full, "01"일 때는 절반, "10"일 때는 4분의 1이 채워진다. 내부 FIFO는 256 x 32로 되어 있다.

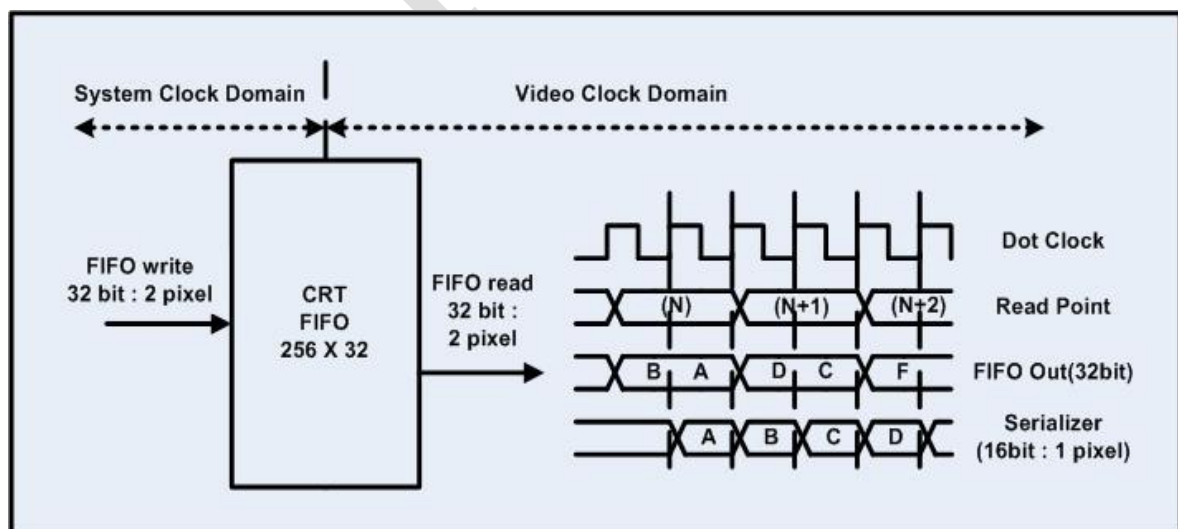


Figure 16-2 LCD FIFO Control Block – RGB 16 Bit(5:6:5) Format Operation

- Serialization Block

Serialization Block은 내부 FIFO로부터 Read한 32bit Data를 BPP Color Mode에 따라 Serialization을 수행한다. Serialization Data(SQ) Block의 output은 24bit로 1 pixel을 구성한다. SQ[23:16] 8 Bit가 Red 값이며, SQ[15:8] 8 Bit Green, SQ[7:0] 8 Bit Blue 값으로 Mapping 된다. Control 레지스터 [2] Bit은 Horizontal Double Scan Bit이다.

Control REG {[16],[2]}	Serialization Data SQ[23:0]
00	{ D[15:11], 3`h0, D[10:5], 2`h0, D[4:0], 3`h0 }
	{ D[31:27], 3`h0, D[26:21], 2`h0, D[20:16], 3`h0 }
01	{ D[15:11], 3`h0, D[10:5], 2`h0, D[4:0], 3`h0 }
	{ D[15:11], 3`h0, D[10:5], 2`h0, D[4:0], 3`h0 }
	{ D[31:27], 3`h0, D[26:21], 2`h0, D[20:16], 3`h0 }
	{ D[31:27], 3`h0, D[26:21], 2`h0, D[20:16], 3`h0 }
10	{ D[23:0] }
	{ D+1[23:0] }
	{ D+2[23:0] }
	{ D+3[23:0] }
11	{ D[23:0] }
	{ D[23:0] }
	{ D+1[23:0] }
	{ D+1[23:0] }
	{ D+2[23:0] }
	{ D+2[23:0] }
	{ D+3[23:0] }
	{ D+3[23:0] }

Table 16-3 32 Bit Video Data Serialization

- * Control REG[16] : 0 = 16 Bit Color mode
1 = 24 Bit Color mode
- * Control REG[2] : 0 = Normal display mode
1 = Horizontal Double scan mode

- Sync. Timing Generation

아래의 그림은 640 X 480 해상도에 대한 Horizontal Total, Sync Start(End), Active Start(End), Vertical Total, Sync Start(End), Active Start(End) 레지스터 setting에 따라 생성되는 Sync. Signal Timing이다.

HSYNC, VSYNC 신호는 Default Low active이며, LCD Control Register [5:4] Bit를 이용하여 active polarity를 제어할 수 있다. Horizontal, Vertical Active 신호는 High active이다.

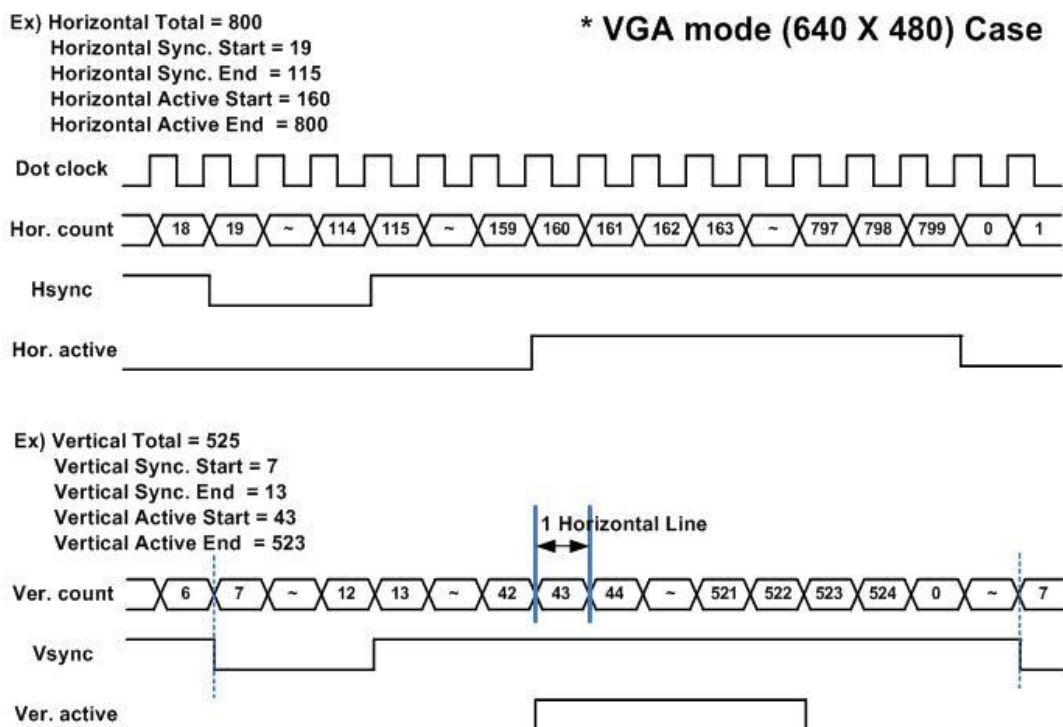


Figure 16-3 LCDC Horizontal, Vertical Sync / Active Signal Timing

- Color Bar Test Pattern Generation Block

LCD Control Register [1:0] Bit이 “01”일 때 Color Bar Test Pattern Generation 블록은 활성화되고, 프레임 메모리의 데이터를 읽어오기 위한 Request Generation, Address Generation, FIFO Control 블록은 비활성화된다. Video Data Mux & Serialization 블록에서 Color Bar Pattern Video Data가 선택되어 출력된다. Color Bar Pattern은 왼쪽부터 검정색, 흰색, 노란색, 청록색, 녹색, 보라색, 빨간색, 파란색 순으로 생성되며, 해상도에 상관없이 균일한 분포를 갖는다. 만약, Active 구간이 정확하게 8의 배수가 되지 않는다면 화면의 오른쪽 검정색이 출력될 수 있다.

Registers Programming Resolution Reference Table for LCDC

Reg Name	LCDBA	LCDHT	LCDHS	LCDHA	LCDVT	LCDVS	LCDVA	LCDCON
320x240	00000000							
640x480 (800x525)	00000000	00000320	00130073	00A00320	0000020D	0007000D	002B020B	00080000
800x600 (1056x628)	00000000	00000420	002300C3	01000420	00000274	0004000A	001A0272	00080000
NTSC (720x480)	00000000	000006B4	002000A0	011406B4	0000020D	0007000D	002B020B	000820C0
PAL (720x572)	00000000	000006C0	00180098	012006C0	00000271	00010007	002F026B	000820F0

Table 16-4 Registers Programming Resolution Reference Table for LCDC

- * Register Value는 Hexa-Decimal임.
- * Memory Read Request는 FIFO의 Half Position을 기준으로 함.
- * Screen Display Mode는 Normal operation을 기준으로 함.
- * H(V)SYNC. Output Polarity는 Low Active 기준임.
- * H(V)SYNC. Output Select는 Internal block에서 생성된 SYNC. Output을 기준으로 함.

17 TIMERS

adStar은 Timer/Counter, Capture, PWM 기능을 가진 16-bit Timer/Counter를 4채널 내장하였다.

17.1 Features

- 15-bit Pre-scale
- 16-bit Timer/Counter
- 16-bit Capture
- 16-bit PWM
- 16-bit Timer Counter Wave-Out

17.2 Function Description

17.2.1 15-bit Pre-scaler with clock source selection

Pre-scaler는 System Clock과 External Clock 핀을 통해 외부로부터 받아들인 입력을 CLKSEL 비트를 통해 선택한 후, 15-bit Pre-scaler를 통해 1/2 ~ 1/32768배 분주된 클럭을 생성하여 Timer/Counter 로 전달한다. Timer/Counter는 Pre-scaler를 통해 분주된 클럭을 선택하여 32-bit Counter 를 구동한다.

Pre-scaler에서 분주되는 클럭의 정확한 위상이 필요할 경우에는 TPxCON레지스터의 CNTCLR 비트를 통하여 Pre-scaler counter를 초기화한 후 사용한다.

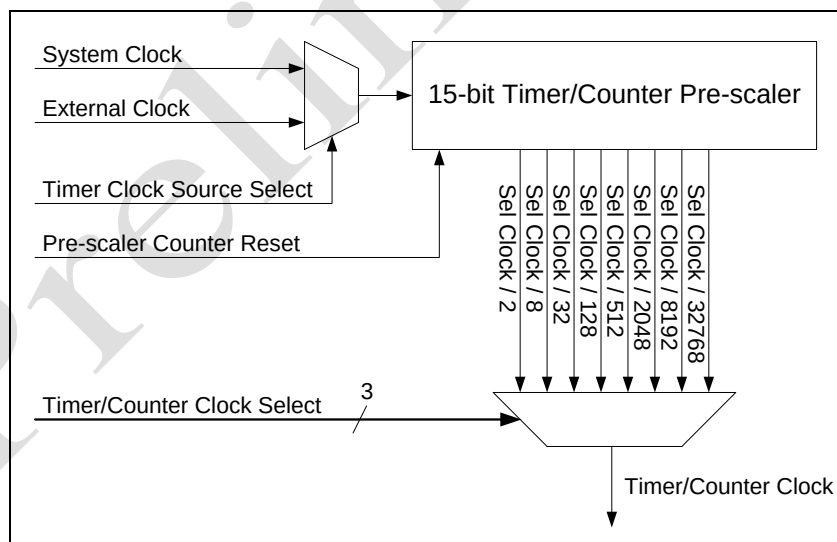


Figure 17-1 Pre-scaler Block Diagram

17.2.2 Timer/Counter

Pre-scaler에 의해 분주된 Clock을 사용하여 0x0 의 초기값에서 매 클럭마다 카운터 값을 “1” 씩 증가하여 사용자가 설정한 Timer Counter 레지스터 값에 도달하면 다시 0x0 이 되면서 인터럽트를 발생한다.

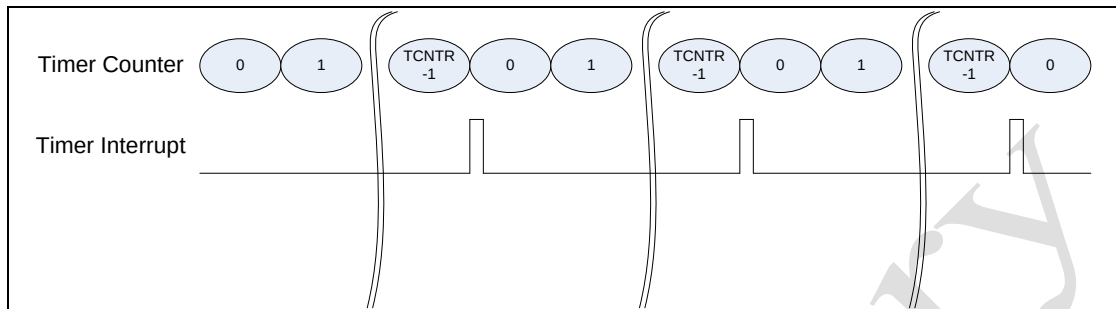


Figure 17-2 Timer Operation

Timer 주기는 선택된 클럭, Pre-scaler 그리고 Timer Counter 에 의해 결정된다.

$$\text{Timer Period} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre - scaler Factor}} \times (\text{TMCNT}) \text{ [sec]} \quad \{\text{Pre - scaler Factor} \geq 3\}$$

$$\text{Timer Period} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre - scaler Factor}} \times (\text{TMCNT} + 1) \text{ [sec]} \quad \{\text{Pre - scaler Factor} < 3\}$$

Timer Period Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- Timer Counter Value (TMCNT) : 1000

$$\Rightarrow 1/12\text{MHz} \times 1024 \times 1000 = 85.333\text{msec} = 11.718\text{Hz}$$

Timer Counter로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCON : Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.
- TMxCON's TMOD : Timer Counter 모드를 설정한다.
- TMxCON's WAVE : Timer Counter의 주기로 생성된 클럭을 출력유무를 결정한다.
- TMxCON's PFSEL : Timer Counter에서 사용할 Clock을 결정한다.
- TMxCON's TMEN : Timer Counter를 Enable 한다.
- TMxCNT : Timer Counter의 최대 Counter 값을 결정한다.

Timer Counter는 다음 순서로 설정하여 동작시킨다.

- TPxCON 설정
- TMxCNT 설정
- TMxCTRL 설정
- 필요에 따라 TPxCTRL's CNTCLR 비트 설정

17.2.3 Pulse Width Modulation (PWM)

PWM은 programmable한 duty와 주기의 펄스 신호를 출력하기 위한 제어기 이다.

Pre-scaler에서 설정한 Clock을 통해 동작하며 PWM Period 레지스터 값의 주기로 카운트를 반복하면서 사용자가 설정한 형태의 파형을 출력한다.

PWM의 출력 펄스는 32비트 카운터의 값이 PWM Duty, PWM Period 레지스터 값에 이를 때마다 레벨이 반전되어 출력 파형이 만들어진다. PWM의 출력횟수는 PWM Pulse Number 레지스터에 의해 결정되며 펄스의 출력횟수에 다르면 PWM Interrupt를 발생한다. 그러나 PWM Interrupt가 발생하더라도 별도의 설정이 없을 경우에는 PWM 출력이 계속 생성된다. 따라서 PWM Pulse를 멈추기 위해서는 Timer Interrupt 에서 PWM을 Disable 해야 한다.

$$PWM \text{ Pulse Period} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre-scaler Factor}} \times (TMCNT) [\text{sec}] \quad \{\text{Pre-scaler Factor} \geq 3\}$$

$$PWM \text{ Pulse Period} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre-scaler Factor}} \times (TMCNT + 1) [\text{sec}] \quad \{\text{Pre-scaler Factor} < 3\}$$

PWM Period Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- PWM Period Value(TMxCNT) : 10
- PWM Duty Value : 6

$$\Rightarrow 1/12\text{MHz} \times 1024 \times 10 = 0.853\text{msec} = 1.171\text{KHz}$$

PWM으로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCTRL : Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.

- TMxCTRL's TMOD : PWM 모드로 설정한다.
- TMxCTRL's PWML : PWM 출력의 시작 레벨을 결정한다.
- TMxCTRL's PFSEL : PWM에서 사용할 Clock을 결정한다.
- TMxCTRL's TMEN : PWM을 Enable 한다.
- TMxCNT : PWM의 주기를 결정한다.
- TMxDUT : PWM의 Duty를 결정한다.
- TMxPUL : PWM의 Pulse 횟수를 결정한다. PWM Pulse의 횟수가 이 레지스터 값에 도달하면 Timer Interrupt가 발생시킨다. 그러나 PWM Pulse는 중지되지 않고 계속 생성된다.

PWM은 다음 순서로 설정하여 동작시킨다.

- TPxCTRL 설정
- TMxCNT 설정
- TMxDUT 설정
- TMxPUL 설정
- 필요에 따라 TPxCTRL's CNTCLR 설정

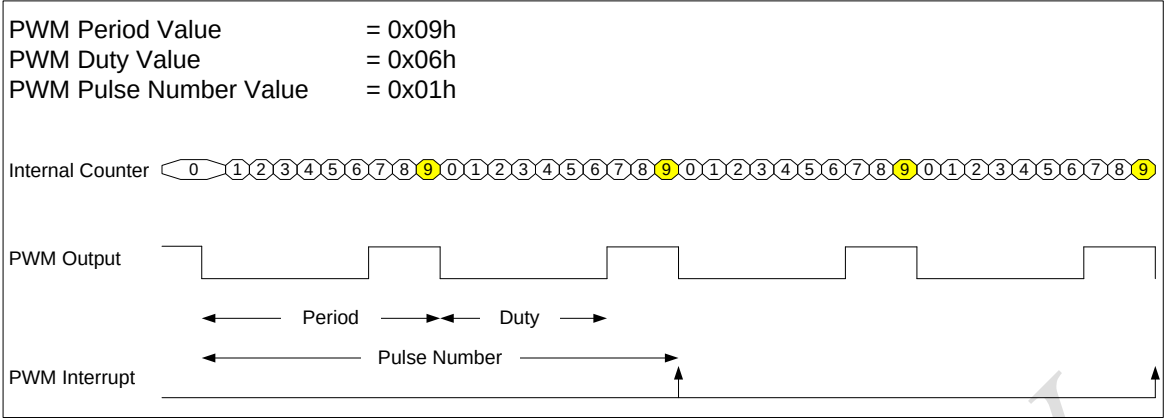


Figure 17-3 PWM Operation

17.2.4 Capture

Capture 기능은 Pre-scale에서 설정한 Clock을 기준으로 하여 외부 입력을 측정한다.

외부입력은 Low/High Pulse, Only Low Pulse, Only High Pulse, Falling to Falling Period, Rising to Rising Period 의 5가지 형태의 펄스 주기를 측정할 수 있다.

Capture mode로 Timer를 Enable할 때는 첫 번째로 Capture하는 값은 신호가 변하는 중간의 값이기 때문에 무시하여야 한다.

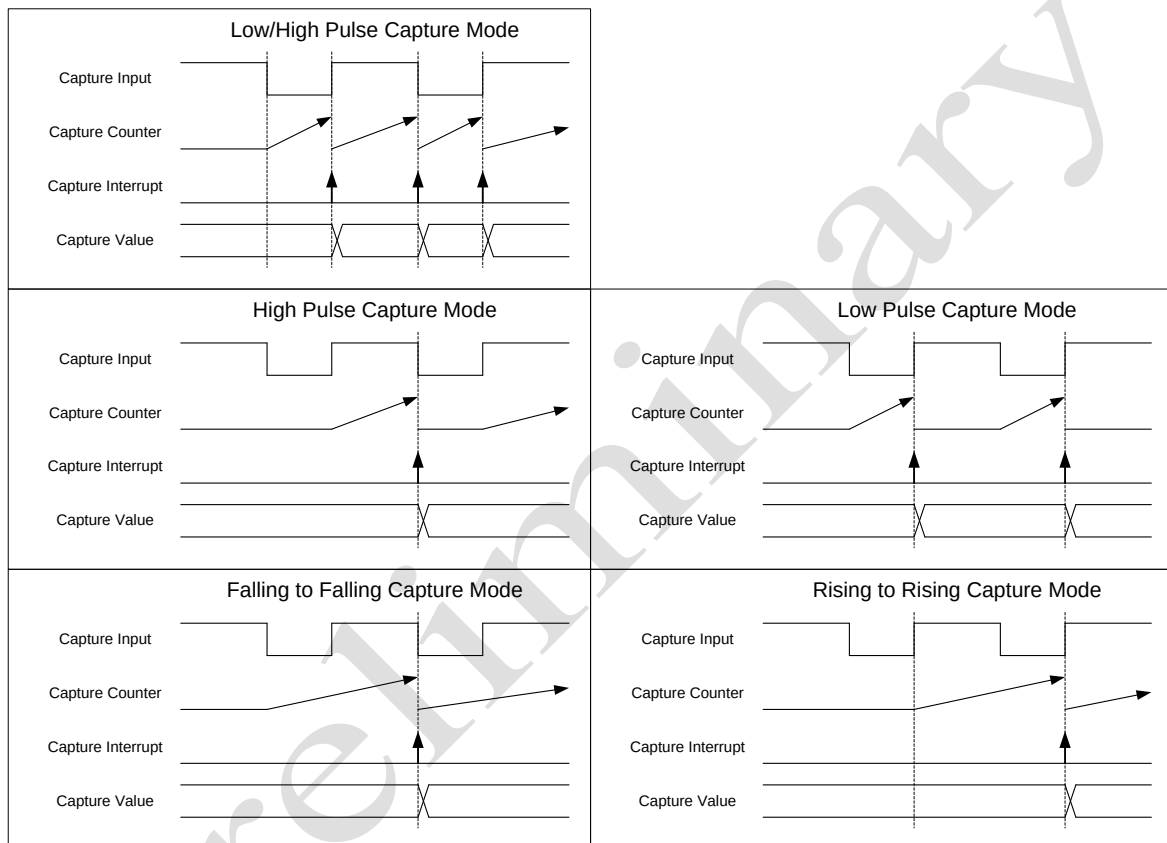


Figure 17-4 Capture Mode Operation

Capture 주기는 다음과 같이 측정된다.

$$\text{Capture Signal Width Time} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre-scaler Factor}} \times (OCA + 1) [\text{sec}]$$

Capture Time Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- Capture Value : 9

$$\Rightarrow 1/12\text{MHz} \times 1024 \times 10 = 0.853\text{msec}$$

Capture 모드로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCTRL : Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.

- TMxCTRL's TMOD : Capture 모드로 설정한다.

- TMxCTRL's CAPMOD : Capture Pulse 형태를 결정한다.

- TMxCTRL's PFSEL : Capture에서 사용할 Clock을 결정한다.

- TMxCTRL's TMEN : Capture를 Enable 한다.

Capture는 다음 순서로 설정하여 동작시킨다.

- TPxCTRL 설정

- TMxCTRL 설정

- 필요에 따라 TPxCTRL's CNTCLR 설정

- TMxDUT를 읽어서 Capture 주기 확인

- TMxCTRL's OVST를 읽어서 Overflow 유무 확인

17.3 Register Description

17.3.1 Timer Pre-scale Control Registers (TPxCTRL)

Address : 0x8002_0400 / 0x8002_0420 / 0x8002_0440 / 0x8002_0460

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	–
1	R/W	CNTCLR : Pre-scale Counter and Timer Counter Reset When this bit is “1”, the Timer Pre-scale and Counter will be reset.	0
0	R/W	CLKSEL : Pre-scale Clock Selection 0 : System clock 1 : CAPx	0

*** CAPx는 Timer 채널 별로 할당되어 있다.

17.3.2 Timer Control Registers (TMxCTRL)

Address : 0x8002_0404 / 0x8002_0424 / 0x8002_0444 / 0x8002_0464

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	TMOD : Timer/Counter Mode 00 : Timer 01 : PWM 1x : Capture	00
13	R	Reserved	-
12	R	OVST : Capture Overflow Status bit Read시 Overflow status bit가 clear된다.	0
11	R	Reserved	0
10 : 8	R/W	CAPMOD : Capture Mode Selection 00x : Low/High Pulse Capture mode 010 : Low Pulse Capture mode 011 : High Pulse Capture mode 10x : Failing to Failing Period Capture mode 11x : Rising to Rising Period Capture mode	000
7	R	Reserved	-
6	R/W	PWMO : PWM Output One Period Generation 0 : Disable 1 : Enable	0
5	R/W	PWML : PWM Output Start Level 0 : Start Level is Low 1 : Start Level is High	0
4	R/W	TMOUT : Timer Wave Output Generation 0 : Disable 1 : Enable	0
3 : 1	R/W	PFSEL : Pre-scale Factor Selection 000 : 1/2 001 : 1/8 010 : 1/32 011 : 1/128 100 : 1/512 101 : 1/2048 110 : 1/8192 111 : 1/32768	111
0	R/W	TMEN : Timer/Counter or PWM Enable 0 : Disable 1 : Enable	0

*** PWM Output One Period Generation : PWM 모드로 동작할 때, 주기를 설정한 개수만큼 발생시키는 bit이다. 펄스가 발생한 이후에는 자동으로 PWM은 Disable된다.

*** Timer Wave Output Generation : Timer 모드에서 한 주기마다 toggle되는 파형의 출력여부를 결정한다.

17.3.3 Timer Counter / PWM Period Registers (TMxCNT)

Address : 0x8002_0408 / 0x8002_0428 / 0x8002_0448 / 0x8002_0468

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	–
15 : 0	R/W	(Timer mode) – Write : Timer Counter Value – Read : Current Up-counter Value (PWM mode) – Read/Write : PWM Period Value	0xFFFF

17.3.4 Capture Counter Registers / PWM Duty Registers (TMxDUT)

Address : 0x8002_040C / 0x8002_042C / 0x8002_044C / 0x8002_046C

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	–
15 : 0	R/W	(Capture mode) – Read : Result value of counting at the sampling period (PWM mode) – Read/Write : PWM Duty Value	0xFFFF

*** PWM Duty : First Halt Duty of PWM Pulse

17.3.5 PWM Pulse Count Registers (TMxPUL)

Address : 0x8002_0410 / 0x8002_0430 / 0x8002_0450 / 0x8002_0470

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	–
15 : 0	R/W	(PWM mode) – Read/Write : PWM Pulse Number Value	0xFFFF

18 SPI (SERIAL PERIPHERAL INTERFACE)

*adStar*에 내장된 SPI는 동기 직렬 버스를 통해 외부의 장치나 다른 CPU와 데이터 교환을 한다. 이 SPI는 모토로라 M68HC11, M68HC05와 MC68HC16 계열의 SPI와 호환을 이루어, Full duplex 3-wire 전송이나 Half duplex 2-wire를 수행할 수 있다.

고속 SPI 전송을 위해 8Bytes의 FIFO를 내장하여 Mbps 속도의 전송에서도 CPU에 부담을 주지 않고 수행할 수 있다.

*adStar*의 SPI는 Master Mode와 Slave Mode를 모두 지원한다.

18.1 Features

- Full duplex mode. Three-wired synchronous Transfer
- Master or Slave Operation
- Programmable clock polarity and phase
- End of transmission interrupt flag
- Write collision flag protection
- Master-master mode fault protection capability
- 8Bytes FIFO

18.2 Block Diagram

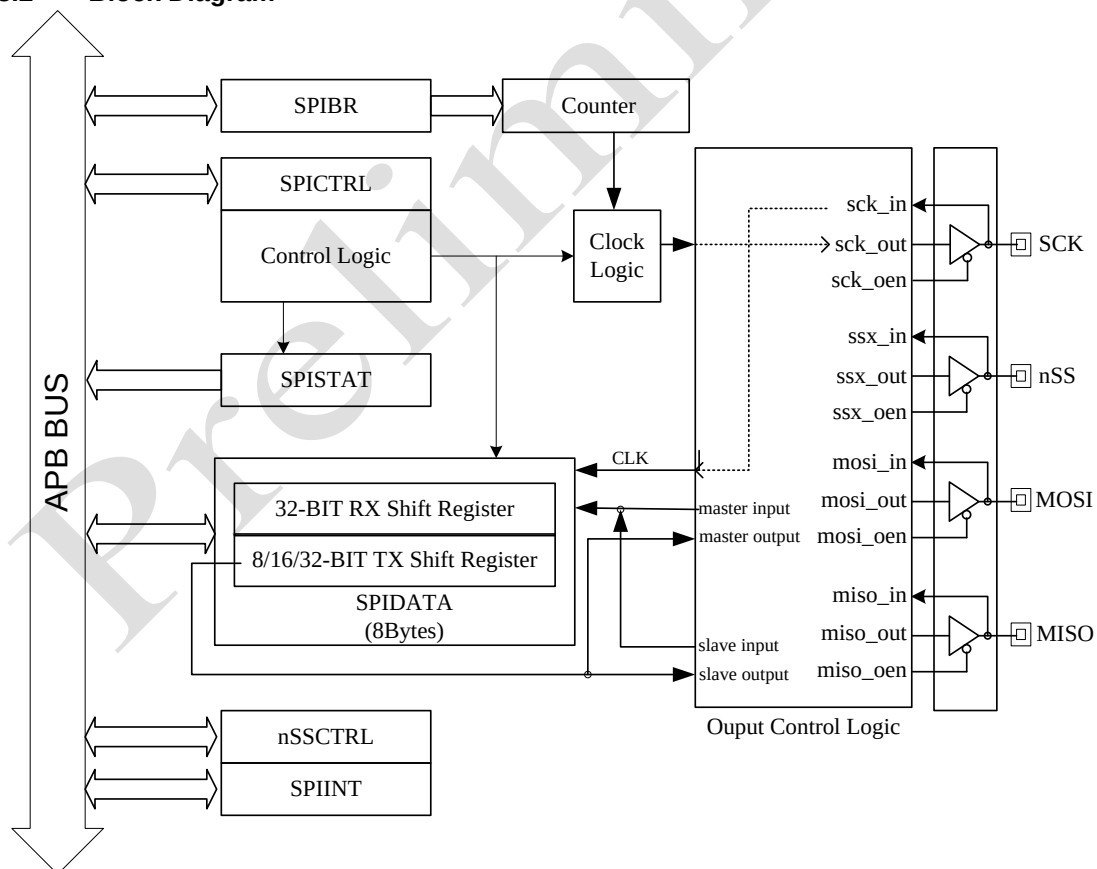


Figure 18-1 SPI Block Diagram

18.3 Function Description

클럭 제어 회로에서 클럭의 극성 선택과 두 개의 클럭 프로토콜의 선택을 통해서 대부분의 동기 직렬 주변 장치와의 호환이 이루어 진다. SPI가 Master로 설정되면 소프트웨어적으로 256개의 다양한 시리얼 클럭을 만들 수 있다.

SPI는 데이터 전송 동작과 데이터 수신 동작이 동시에 이루어 진다. 두 시리얼 데이터 라인에서 정보의 샘플링(sampling)과 쉬프팅(shifting)은 시리얼 클럭 라인에 의해 동기된다. Slave SPI 디바이스의 개별적인 선택은 Slave 선택 라인을 통해 할 수 있다. 선택되지 않은 Slave 디바이스는 SPI 버스의 동작에 영향을 주지 않는다. Master SPI 디바이스에서는 Slave 선택 라인은 다중 Master 버스 충돌을 나타내는데 사용될 수 있다.

에러검출 회로는 프로세스끼리의 연결을 위해 사용된다. 전송 동작 중에 시리얼 쉬프터 레지스터에 데이터를 쓰게 되면 쓰기 충돌이 발생한다. 다중 Master 모드 실패 검출은 한 개 이상의 CPU가 동시에 버스 Master가 되려고 시도할 때 출력 드라이버를 disable 시킨다.

18.3.1 SPI Pins

SPI에는 MISO, MOSI, SCK, nSS, 네 개의 양방향 핀이 있다. SPI 컨트롤 레지스터의 WOMP 비트가 각각의 핀의 출력 동작에 대해 Open Drain 출력 이나 CMOS 출력을 결정하게 된다.

SPI 컨트롤 레지스터의 MSTR 비트에 의해 Master 또는 Slave 동작이 결정되고 이에 따라 핀의 동작이 결정된다.

Table 18-1 SPI Pin Functions

Pin Name	Mode	Function
Master in, slave out(MISO)	Master	Provides serial data input to the SPI
	Slave	Provides serial data output from the SPI
Master out, slave in (MOSI)	Master	Provides serial output from the SPI
	Slave	Provides serial input to the SPI
serial clock(SCK)	Master	Provides clock output from the SPI
	Slave	Provides clock input to the SPI
Slave select(nSS)	Master	Output : Selects slave devices
	Slave	Input : chip select for SPI

18.3.2 SPI Operating Modes

SPI는 Master나 Slave 모드에서 동작한다. Master 모드는 CPU가 데이터 전송을 주관할 경우에 사용된다. Slave 모드는 외부 디바이스에 의해 CPU에 시리얼 전송이 이루어지는 경우에 사용된다. 컨트롤 레지스터의 MSTR 비트에 의해 Master나 Slave 동작이 선택된다.

Master Mode

SPICTRL의 MSTR 비트를 설정하면 Master 모드 동작이 선택된다. Master 모드에서는 시리얼 전송을 초기화 할 수 있고 외부에서의 초기화된 전송에 응답하지 않는다.

SPI를 Master 모드에서 사용하려면 다음 과정을 거쳐야 한다.

Master 모드에서는 MISO 핀이 시리얼 데이터 입력으로 사용되고 MOSI 핀은 시리얼 데이터 출력으로 사용된다. 특정한 응용 분야에 따라 하나 또는 둘 다 필요할 수 있다.

SPICTRL 레지스터에 BAUD, CPHA, CPOL, SIZE, MSBF, WOMP의 값을 할당한다. Master 동작을 위해 MSTR 비트 설정한다. SPI를 enable하도록 SPIEN 비트를 설정한다.

Slave 디바이스를 enable 한다.

전송을 시작하기 위해 적당한 데이터를 SPIDATA 레지스터에 쓰기를 한다.

SPI는 전송이 끝나면 SPISTAT 레지스터의 SPIF 플래그를 H/W적으로 설정한다. SPIF가 인가 되면 인터럽트 요청이 발생된다. SPIF가 설정되어 있는 상태에서 SPISTAT 레지스터를 읽고 SPIDATA 레지스터에 쓰기 나 읽기 동작이 일어나면 SPIF 플래그는 자동적으로 클리어 된다.

데이터 전송은 내부에서 만든 시리얼 클럭(SCK)에 동기된다. SPICTRL 레지스터의 CPHA 와 CPOL 비트들은 클럭의 위상과 극성을 제어한다. CPU가 MOSI 핀에서 데이터를 보내는 SCK edge와 MISO 핀을 통해 들어오는 데이터의 latch하는 SCK edge는 CPHA와 CPOL에 의해 결정된다.

Slave Mode

SPICTRL 레지스터의 MSTR 비트를 “0”으로 설정하면 Slave 모드로 동작한다. Slave 모드에서는, SPI는 시리얼 전송을 초기화 할 수 없다. 전송은 외부 버스 Master에 의해 초기화 된다. Slave 모드는 특히 다중Master SPI 버스에서 사용된다. 주어진 시간에 단 하나의 디바이스만이 버스Master가 될 수 있기 때문이다.

Slave 모드에서는 시리얼 데이터 출력을 위해 MISO 핀이 사용되고, 시리얼 데이터 입력을 위해 MOSI 핀이 사용된다. 특정한 응용분야에 따라서 둘 다 또는 하나의 핀만 필요하다. SCK는 입력 시리얼 클럭이다. nSS가 인가되면 Slave로 선택된다.

데이터 전송을 위해 데이터 레지스터에 쓰기를 한다. Slave 모드에서는 SCK, MOSI, and nSS는 입력이고 MISO는 출력이 된다.

CPHA, CPOL, SIZE, MSBF, WOMP 의 설정을 위해 컨트롤 레지스터에 값을 쓴다. MSTR 비트 클리어 함으로써 Slave 동작을 선택한다. SPIEN를 설정하여 SPI를 enable시킨다. Slave 모드의 디바이스에서는 BAUD의 값은 SPI 동작에 영향을 미치지 않는다.

SPIEN가 설정되고 MSTR이 클리어 되면, nSS핀 입력의 “Low” 상태가 Slave 모드 동작을 초기화 한다. nSS 핀 은 오로지 입력으로만 사용된다.

데이터의 바이트나 워드 전송 후에 SPI는 SPIF 플래그를 설정한다. 컨트롤 레지스터의 SPIE 비트가 설정되어 있으면, SPIF가 인가되면 인터럽트요청이 발생한다.

전송은 외부에서 발생된 SCK에 동기 된다. CPHA와 CPOL은 Slave CPU가 MOSI 핀을 통해 들어오는 데이터를 래치하거나 MISO 핀을 통해 나가는 데이터의 클럭의 Edge를 결정한다.

18.3.3 SCK Phase and Polarity Control

컨트롤 레지스터의 두 개의 비트가 SCK의 위상과 극성을 결정한다. 클럭 극성(CPOL) 비트는 클럭의 극성 (High or Low)을 선택한다. 클럭 위상 비트 CPHA는 전송 타이밍에 영향을 주는 두 가지 전송 형태 중 하나를 선택한다. 클럭의 위상과 극성은 Master와 Slave 모두 동일하여야 한다. 어떤 경우에는 전송 사이에 위상과 극성을 바꾸어 Master 디바이스가 Slave 디바이스와 다른 조건으로 데이터를 주고 받을 수도 있다. SPI의 이러한 유연성은 거의 모든 동기 시리얼 주변장치와의 직접적인 연결을 가능하게 한다.

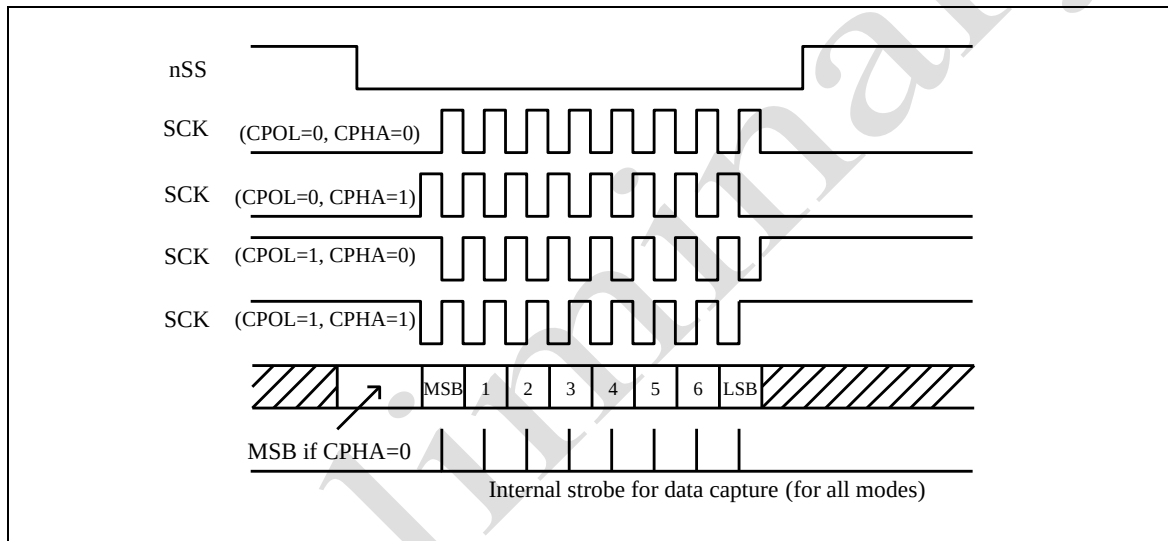


Figure 18-2 SCK Phase and Polarity

18.3.4 Data Transfer Timing

CPHA='0'이고 MSB 시작인 모드에서 1Byte 데이터 전송 타이밍도를 보여준다. SCK의 두 개의 형태의 파형을 나타나 있다. 하나는 CPOL인 '0'인 경우이고 다른 하나는 CPOL이 '1'인 경우이다. 이 타이밍도는 Master와 Slave가 SCK, MISO와 MOSI핀으로 직접 연결되어 있으므로 Master 타이밍도 또는 Slave 타이밍도로 볼 수 있다. MISO 신호는 Slave에서의 출력이고 MOSI 신호는 Master의 출력 신호이다. nSS신호는 Slave로의 칩 선택 신호이다.

Master일 때 SPDR에 데이터를 쓰면 전송이 초기화 된다. Slave는 nSS가 falling edge 일 때 전송을 초기화 한다. SCK 신호는 첫 번째 SCK cycle의 반주기까지 inactive 상태로 남아있다. 전송 완료로 나타내는 SPIF비트는 8번째 SCK cycle의 끝에서 set된다. CPHA='0'일 때는 nSS가 low였다가 1바이트 전송 후 짧은 시간 내에 Inactive (High)된다. Slave는 nSS가 low일 때 data register에 값을 write 하면 write collision error가 발생한다.

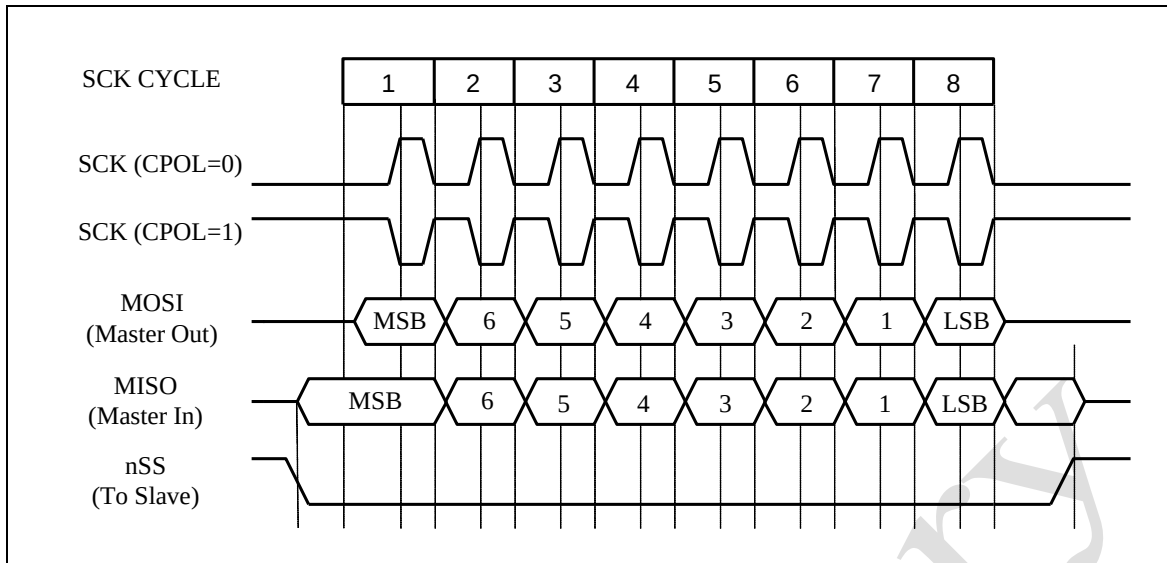


Figure 18-3 Transfer Timing when CPHA = '0'

CPHA='1'인 경우의 전송 타이밍도이다. SCK는 마지막 8번째 cycle의 반주기에서 inactive 된다. SPIF 비트는 8번째 SCK cycle의 중단에서 set된다. 8번째 SCK cycle의 중간주기에서 마지막 edge가 생기기 때문에 Slave는 8번째 SCK cycle의 중간에서 마지막 데이터를 sample 한 후에 수신 완료한다. nSS는 1Byte 전송 마치고 어느 정도 시간 동안 충분히 low를 유지한다. 따라서 CPU가 전송 상태를 Polling하여 연속으로 전송하는 경우에는 계속 low 상태를 유지하게 된다.

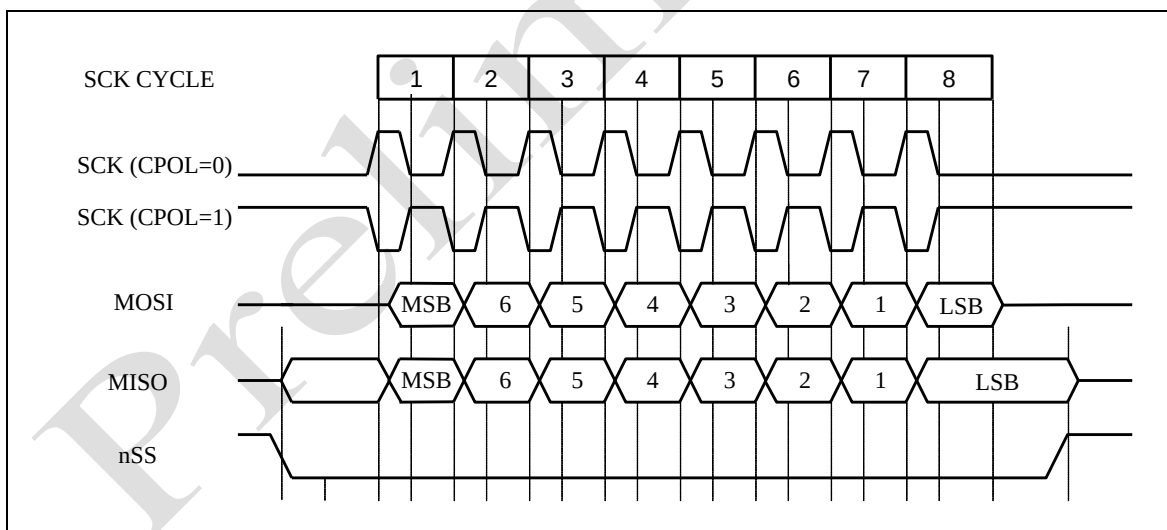


Figure 18-4 Transfer Timing when CPHA = '1'

18.3.5 SPI Serial Clock Baud Rate

SPI Baud rate는 SPBR 레지스터에 1에서 255까지의 값을 저장하여 설정할 수 있다.

Slave Mode에서의 외부 SPI Master가 제공하는 SCK를 받아들이기 때문에 SPIBRR 레지스터의 값의 설정에 영향을 받지 않는다. 그러나 Slave Mode에서 동작할 수 있는 최대 속도는 System Clock 에 영향을 받는다.

$$SCK \text{ Baud Rate} = \frac{f_{PCLK}}{2 \times (SPIBR + 1)}$$

or

$$SPIBR = \frac{f_{PCLK}}{2 \times SCK \text{ Baud Rate}} - 1$$

18.3.6 Open-Drain Output for Wired-OR

Multiple SPI Master가 아니면 SPI 버스 출력이 Open-Drain을 지원할 필요는 없다. Open-Drain 출력이 필요할 경우 SPICTRL 레지스터의 WOMP 비트를 설정하여 Open-Drain 출력을 제공하도록 할 수 있다. Open-Drain으로 설정할 경우 각각의 출력 라인에 반드시 pull-up 저항을 달아야 한다.

18.3.7 Transfer Size and Direction

SPICTRL 레지스터의 SPISIZE 비트는 전송크기 8/16/32비트를 선택한다. SPICTRL 레지스터의 MSBF비트는 데이터 전송의 시작을 MSB(MSBF=1)나 LSB부터 하도록 한다.

18.3.8 Write Collision

전송 진행 중에 SPIDATA 레지스터에 쓰기를 시도하면 쓰기충돌이 발생한다.

18.3.9 MODE Fault

SPI system 이 Master로 설정되고, nSS signal input line이 assert 되었을 때, mode fault error 가 발생하면, SPISTAT 의 MODF bit이 set 된다. Master device 만 MODF를 발생시킬 수 있으며, 다른 SPI device가 master가 되려고 할 때 발생한다.

18.3.10 Interrupt

SPIF Interrupt

FIFO에 저장된 데이터와 TX Shift 레지스터가 모두 비워지면 발생하고, SPI 전송이 완료되었음을 의미한다. SPI 전송이 완료되었음을 확인할 수 있는 Interrupt 이다.

MODF Interrupt

Mode fault 가 일어나면 발생한다. Mode fault란 여러 개의 Master가 존재하는 경우 둘 이상의 Master가 데이터를 전송하는 경우를 말한다.

nSS Interrupt

nSS port 신호를 감지하여 변화가 생기면 발생한다.

TX_FIFO_FULL, TX_FIFO_EMPTY, RX_FIFO_FULL, RX_FIFO_EMPTY

- TX_FIFO_FULL: 8Byte의 내부 FIFO 가 모두 채워졌음을 의미한다. 이 상태에서 TX FIFO에 데이터를 더 채우게 되면, 잘못된 데이터 전송이 이루어진다.
- TX_FIFO_EMPTY: TX FIFO에 채워졌던 데이터가 모두 전송되어 되었음을 의미한다. 그러나 아직 TX Shift 레지스터가 비워지지 않았기 때문에 SPI 전송이 완료된 것은 아니다.
- RX_FIFO_FULL: RX_FIFO가 모두 채워졌음을 의미한다.
- RX_FIFO_EMPTY: RX_FIFO가 모두 비워졌음을 의미한다.

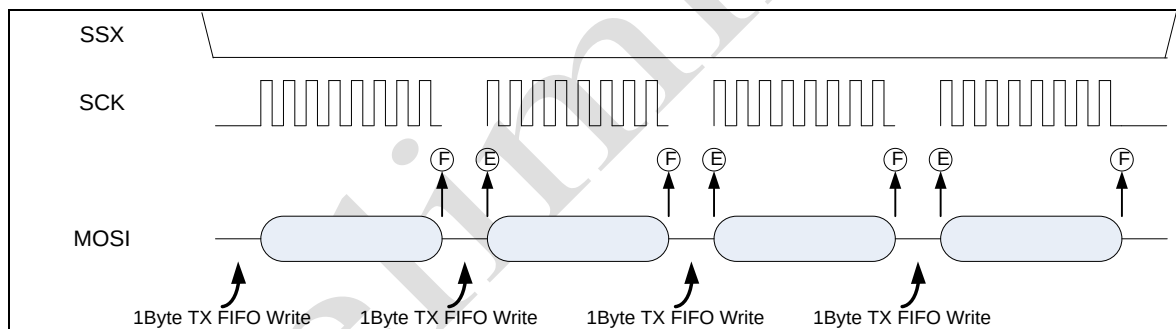


Figure 18-5 1-Byte Transfer vs. Status and Interrupt

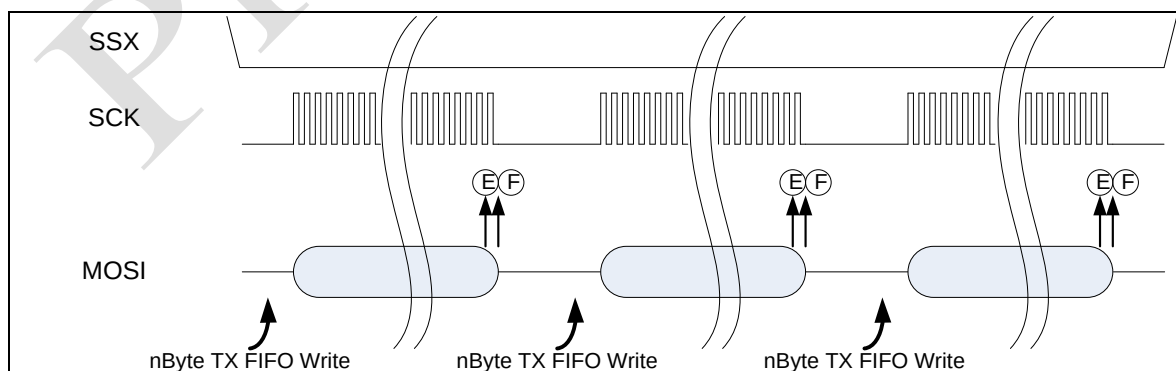


Figure 18-6 n-Bytes Transfer vs. Status and Interrupt

18.4 Register Description

18.4.1 SPI Control Register (SPICTRL)

Address : 0xA002_1000 / 0xA002_1400

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7	R/W	SPIEN : SPI Enable 0 : SPI is disabled. 1 : SPI is enabled	0
6	R/W	WOMP : Wired-OR Mode for SPI Pins 0 : Outputs have normal CMOS drivers. 1 : Open-drain drivers	0
5	R/W	MSTR : Master/Slave Mode Select 0 : Slave operation 1 : Master operation	0
4	R/W	CPOL : Clock Polarity 0 : The inactive state value of SCK is logic level zero 1 : The inactive state value of SCK is logic level one.	0
3	R/W	CPHA : Clock Phase 0 : Data captured on the leading edge of SCK and changed on the trailing edge of SCK. 1 : Data is changed on the leading edge of SCK and captured on the trailing edge of SCK.	0
2	R/W	MSBF : Most Significant Bit First 0 : Serial data transfer starts with LSB. 1 : Serial data transfer starts with MSB.	0
1 : 0	R/W	SPISIZE : Transfer Data Size 00 : 8-bit data transfer. 01 : 16-bit data transfer. 10 : 32-bit data transfer.	0

18.4.2 SPI Baud Rate Register (SPIBR)

Address : 0xA002_1004 / 0xA002_1404

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	–
7 : 0	R/W	Serial Clock Baud Rate $SCK = \frac{f_{PCLK}}{2 \times (SPIBR + 1)}$ Master Mode SCK ≤ System Clock / 2 Slave Mode SCK ≤ System Clock / 4	0xFF

18.4.3 SPI Status Register (SPISTAT)

Address : 0xA002_1008 / 0xA002_1408

Bit	R/W	Description	Default Value
15 : 8	R	Reserved	–
7	R	SPIF : SPI Finished Flag 0 : SPI is not finished. 1 : SPI is finished.	0
6	R	WCOL : Write Collision 0 : No attempt to write to the SPDR happened during the serial transfer. 1 : Write collision occurred.	0
5	R	MODF : Mode Fault Flag 0 : Normal operation 1 : Another SPI node requested to become the network SPI master while the SPI was enabled in master mode	0
4	R	nSS : Slave Select Flag 0 : Current Value of nSS port is low 1 : Current Value of nSS port is high	0
3	R	STXF : TX FIFO Full Status bit 0 : FIFO_TX is not full 1 : FIFO_TX is full	0
2	R	STXE : TX FIFO Empty Status bit 0 : FIFO_TX is not empty 1 : FIFO_TX is empty	0
1	R	SRXF : RX FIFO Full Status bit 0 : FIFO_RX is not full 1 : FIFO_RX is full	0
0	R	SRXE : RX FIFO Empty Status bit 0 : FIFO_RX is not empty 1 : FIFO_RX is empty	0

18.4.4 SPI Data Register (SPIDATA)

Address : 0xA002_100C / 0xA002_140C

Bit	R/W	Description	Default Value
31 : 0	R/W	SPI Data At 32-bit transfer mode – MSB of Data is SPDR[31] At 16-bit transfer mode – MSB of Data is SPDR[15] At 8-bit transfer mode – MSB of Data is SPDR[7] LSB of Data (received or transmit) is SPDR[0] in any transfer mode	0x0000_0000

18.4.5 SPI nSS Control Register (nSSCTRL)

Address : 0xA002_1010 / 0xA002_1410

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	–
0	RW	nSSCON : nSS Output Level	1

18.4.6 SPI Interrupt Mask Register (SPIINT)

Address : 0xA002_1014 / 0xA002_1414

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7	RW	SPIFE : SPIF Interrupt en/disable SPIF Interrupt occurs when transfer has completed. 0 : SPIF interrupt is disabled 1 : SPIF is enabled	0
6	RW	MODFE : MODFI Interrupt en/disable MODFI Interrupt occurs when two more master use data line. 0 : MODFI interrupt is disabled 1 : MODFI is enabled	0
5	R	Reserved	0
4	RW	nSSEN : nSS Interrupt en/disable nSS Interrupt occurs when nSS signal has changed. 0 : nSS Interrupt is disabled 1 : nSS Interrupt is enabled	0
3	RW	STXFE : FIFO_TX_FULL Interrupt en/disable FIFO_TX_FULL Interrupt occurs when FIFO_TX is full 0 : FIFO_TX_FULL Interrupt is disabled 1 : FIFO_TX_FULL Interrupt is enabled	0
2	RW	STXEE : FIFO_TX_EMPTY Interrupt en/disable FIFO_TX_EMPTY Interrupt occurs when FIFO_TX is empty 0 : FIFO_TX_EMPTY Interrupt is disabled 1 : FIFO_TX_EMPTY Interrupt is enabled	0
1	RW	SRXFE : FIFO_RX_FULL Interrupt en/disable FIFO_RX_FULL Interrupt occurs when FIFO_RX is full 0 : FIFO_RX_FULL Interrupt is disabled 1 : FIFO_RX_FULL Interrupt is enabled	0
0	RW	SRXEE : FIFO_RX_EMPTY Interrupt en/disable FIFO_RX_EMPTY Interrupt occurs when FIFO_RX is empty 0 : FIFO_RX_EMPTY Interrupt is disabled 1 : FIFO_RX_EMPTY Interrupt is enabled	0

19 TWI (TWO WIRED INTERFACE)

범용 TWI 버스와 인터페이스를 위해 TWI 제어기를 내장한다. TWI는 SCL과 SDA 신호를 가진다.

19.1 Features

- Master transmitter mode
- Master receive mode
- Slave transmitter mode
- Slave receive mode
- Software programmable clock frequency
- Software programmable acknowledge bit
- Interrupt driven data-transfers
- Start/Stop/Repeated Start/Acknowledge generation
- Multi master operation

19.2 Block Diagram

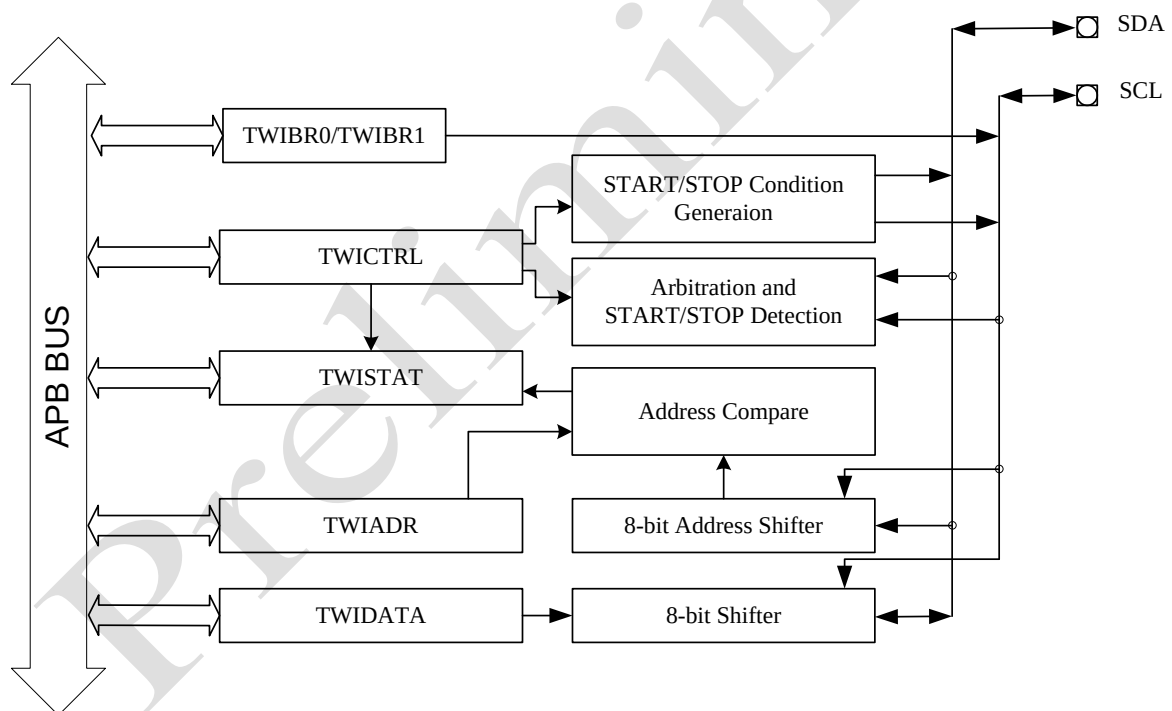


Figure 19-1 TWI Block Diagram

19.3 Function Description

19.3.1 DATA TRANSFER FORMAT

SDA 라인에는 모든 데이터 길이는 8비트다. 매 전송마다 전송될 수 있는 바이트 수는 제한되어 있지 않다. Start condition 다음의 첫 바이트는 주소 필드이다. TWI-bus 가 Master로 모드로 동작 할 때 Master에 의해 주소 필드가 전송된다. 모든 바이트는 다음에는 ACK 비트가 따라온다. 항상 데이터와 주소의 MSB 비트부터 전송이 시작된다.

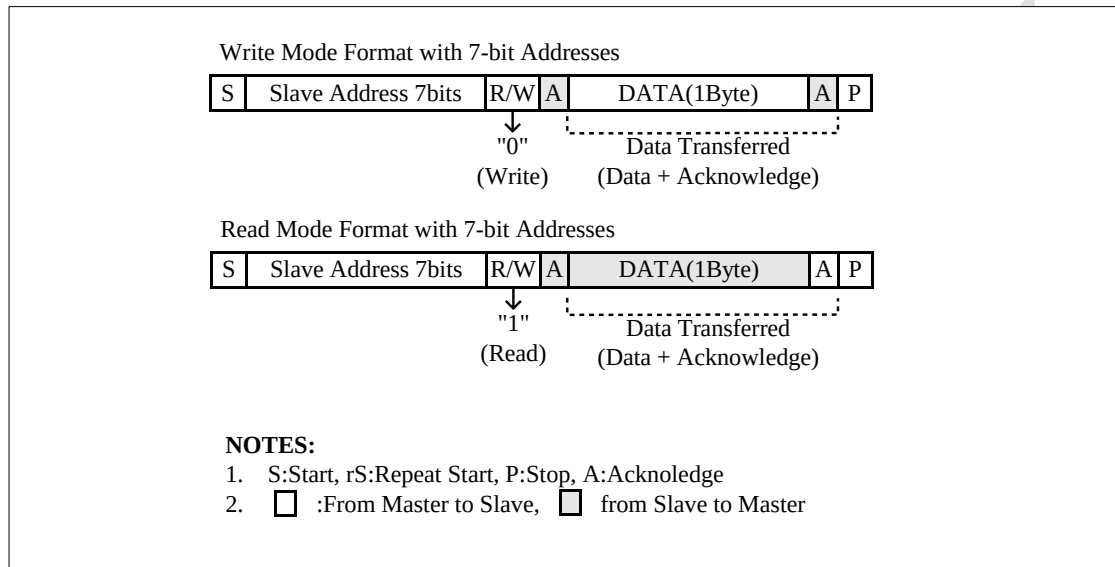


Figure 19-2 TWI-Bus Interface Data Format

19.3.2 START AND STOP CONDITION

Start condition은 1 Byte 의 data를 전송 할 수 있다. 그리고, Stop condition은 data 전송을 종료한다. Start condition은 SCL 이 high 일 때 SDA line이 high-to-low로 transition 한다. Stop condition은 SCL 이 high 일 때 SDA line 이 low-to-high로 transition 한다. Start condition 이 발생하면, TWI bus 는 busy가 된다. Stop condition이 발생한 후, TWI bus는 자유롭게 된다.

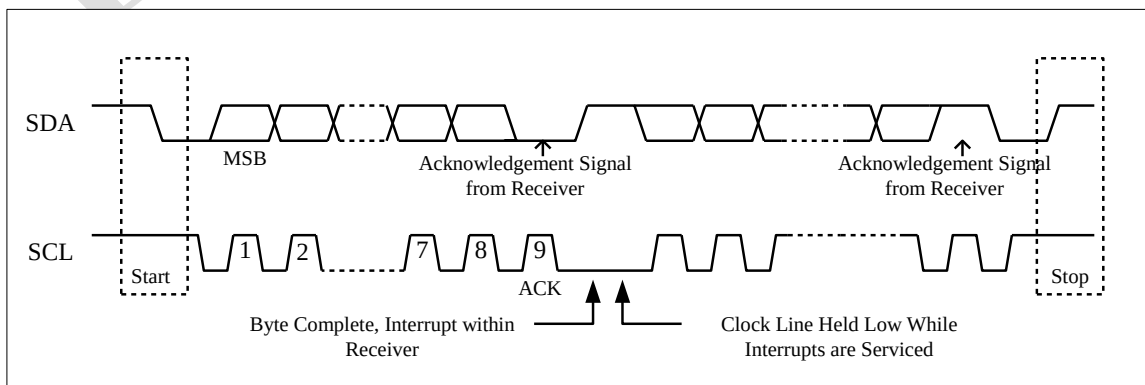


Figure 19-3 Data Transfer on the TWI-Bus

19.3.3 ACK SIGNAL TRANSMISSION

한 바이트 전송을 완전히 끝내기 위해서는 수신단은 송신단에 ACK 비트를 보내야 한다. ACK 펄스는 SCL 라인의 9 번째 클럭에서 발생해야 한다. 그래서 한 바이트 데이터를 전송을 위해 모두 9개의 클럭이 필요하다. Master는 ACK 비트 전송을 위한 클럭 펄스를 생성해야 한다.

송신단은 ACK 클럭 펄스를 입력 받을 때 SDA 라인을 “High”로 만들기 위해 SDA 라인을 놓아줘야 한다. 또한 수신기는 ACK 펄스 때 SDA 라인을 “Low”로 유지하여 SCL의 아홉 번째의 “High” 구간에서 SDA를 “Low”로 만든다.

ACK 비트는 소프트웨어적으로 control register의 TXACK 비트를 설정하여 ACK나 NOACK로 선택할 수 있다.

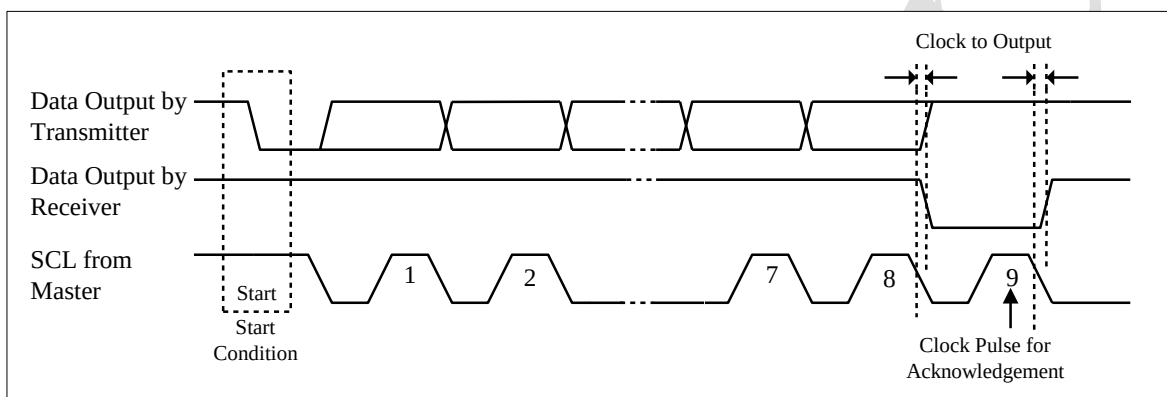


Figure 19-4 Acknowledgement of TWI

19.3.4 READ-WRITE OPERATION

송신 동작 모드에서 데이터 전송 후에 TWI-bus 인터페이스는 데이터 쉬프트 레지스터에 데이터가 준비될 때까지 기다려야 한다. 데이터 쓰여질 때까지 SCL 라인은 Low로 유지될 것이다. 새로운 데이터가 데이터 쉬프트 레지스터에 쓰여지고 나서 SCL은 release 된다.

Interrupt를 사용할 경우, TWI는 현재 데이터 전송 후 interrupt를 요청한다. CPU는 interrupt 요청을 받은 뒤에 새로운 데이터를 버퍼에 쓴다.

수신 동작 모드에서 데이터를 수신한 후에, TWI bus는 data를 읽어 갈 때까지 기다린다. 수신된 데이터가 읽어 갈 때까지 SCL을 LOW로 유지 된다. 새로운 data가 읽혀지고 난 다음에 SCL은 release 된다.

Interrupt를 사용할 경우, TWI는 데이터를 수신한 후 interrupt를 발생하고, interrupt request를 받은 CPU는 data를 읽는다.

19.3.5 BUS ARBITRATION PROCEDURES

여러 개의 master가 bus를 동시에 제어 하는 것을 방지한다. SDA line에 high level을 내보낸 master가 또 다른 master가 내보낸 low level의 SDA line을 인식하면, 현재 TWI bus를 자신이 아닌 다른 master가 제어한다고 인식하고, 데이터 전송을 더 이상 진행하지 않도록 한다.

Device1과 Device2과 동시에 master mode 로 동작하는 경우에 SCL 라인에서 발생하는 클럭의 모양을 보면 다음과 같이 동기화가 이루어진다.

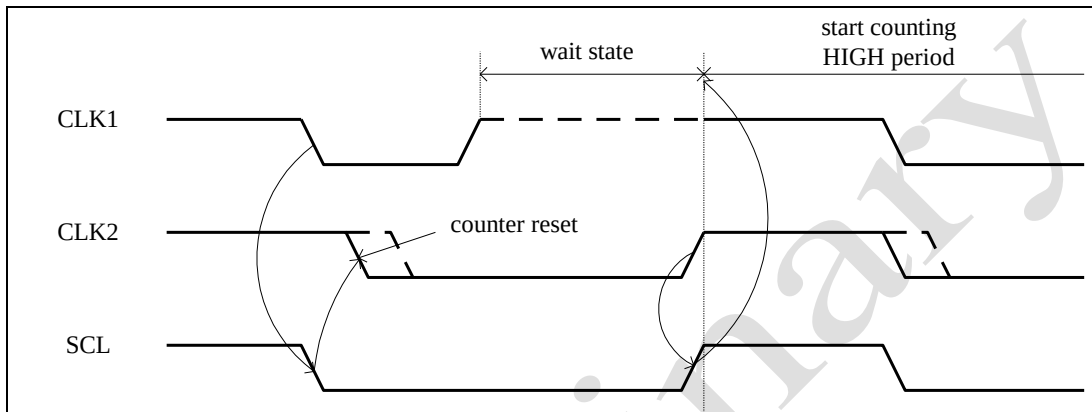


Figure 19-5 Bus arbitration 1 of TWI

위 상황에서 SDA 라인에 나타나는 data 값에 따라 Device1, Device2중 하나가 우선권을 갖는 과정은 다음과 같다.

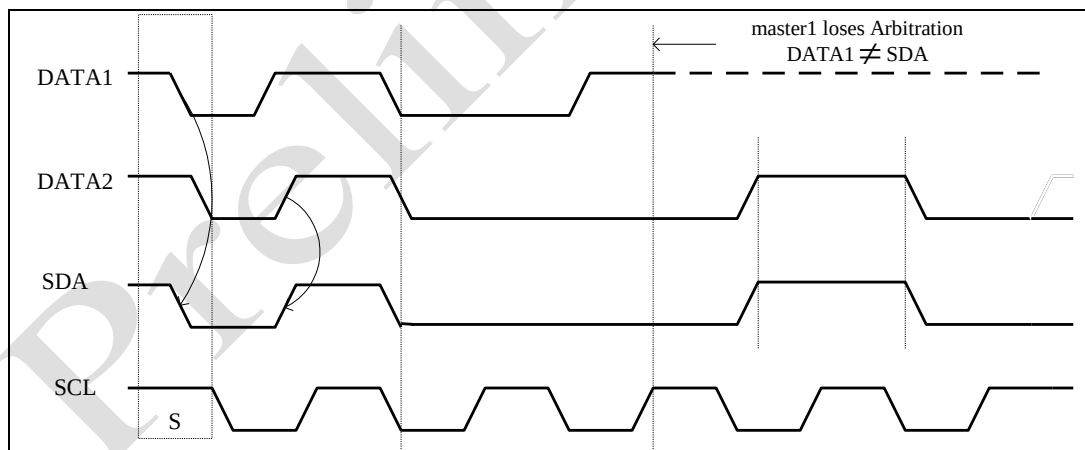


Figure 19-6 Bus arbitration 2

19.3.6 ABORT CONDITIONS

Arbitration이 발생하지 않은 경우

1. TWICTRL 레지스터의 MSTR 비트를 클리어시키면 stop 조건이 발생한다.
2. NO ACK 발생하여 stop 조건이 발생한다. 즉 ACK 구간에서 SDA 신호가 “Low”가 아니면 발생한다.

Arbitration이 발생한 경우

Arbitration 발생에 의해 제어권을 잃은 경우 MSTR 비트는 클리어되지만 이에 의한 Stop condition은 발생하지 않는다. 현재 진행 중인 SCL 클럭은 한 바이트 전송 끝까지 진행되고 데이터 출력인 SDA는 High 상태가 된다.

19.3.7 Operational Flow Diagrams

TWI initialization

TWI는 먼저 초기화가 이루어져야 한다.

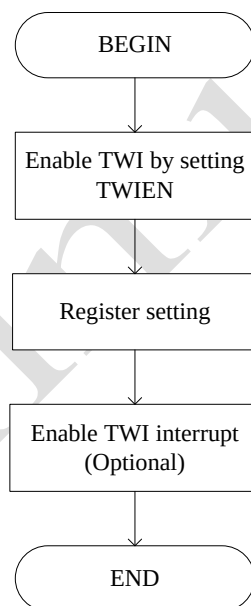


Figure 19-7 TWI Initialization Flow Char

Master Transmit / Receive

TWI의 데이터 송신과 데이터 수신에 대한 Flow chart이다. 송신 시와 수신 시에 있어서 가장 큰 차이점은 수신 시에는 마지막 데이터를 수신하기 전에 ACK 비트를 NOACK로 설정하는 단계가 더 있다는 점이다. 이 것은 master가 slave에게 마지막 수신 데이터임을 알리기 위한 것이다. 또한, 실제 데이터를 수신하기 위한 SCL 클럭을 생성하기 위해 TWIDATA 레지스터의 dummy read 단계가 필요하다

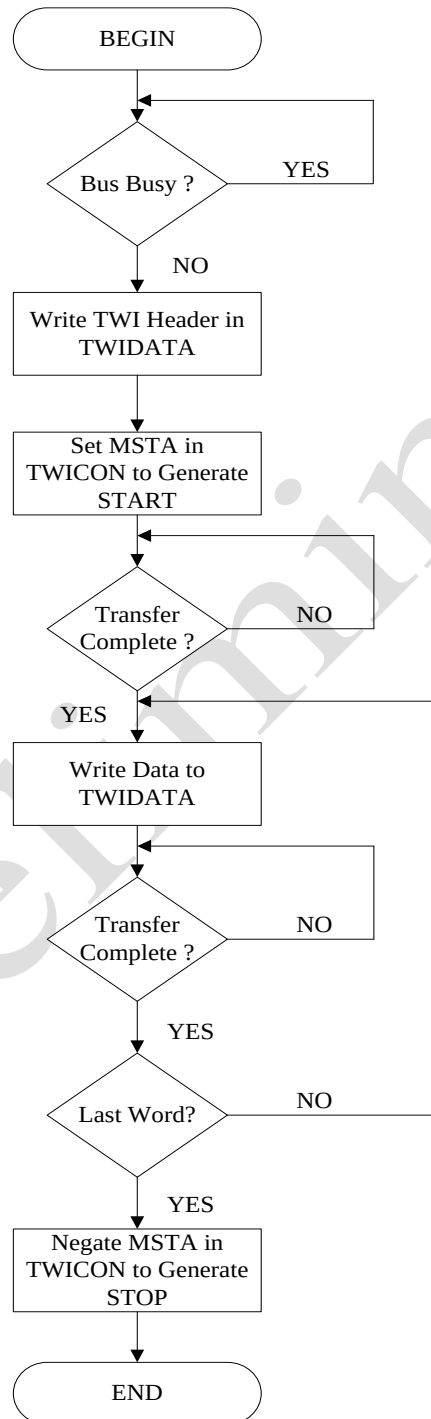


Figure 19-8 Master Transmit Flow Char

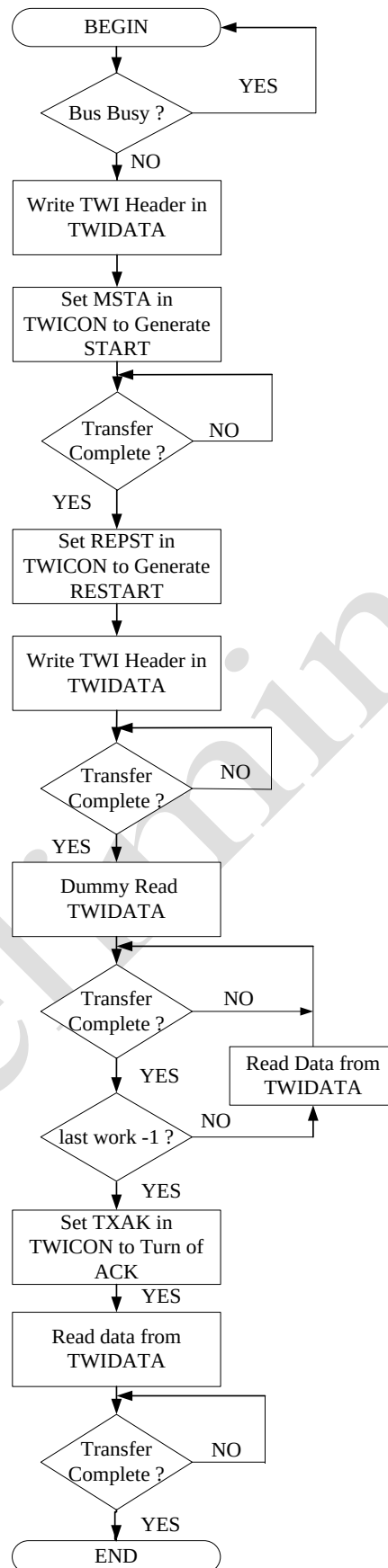


Figure 19-9 Master Receive Flow Char

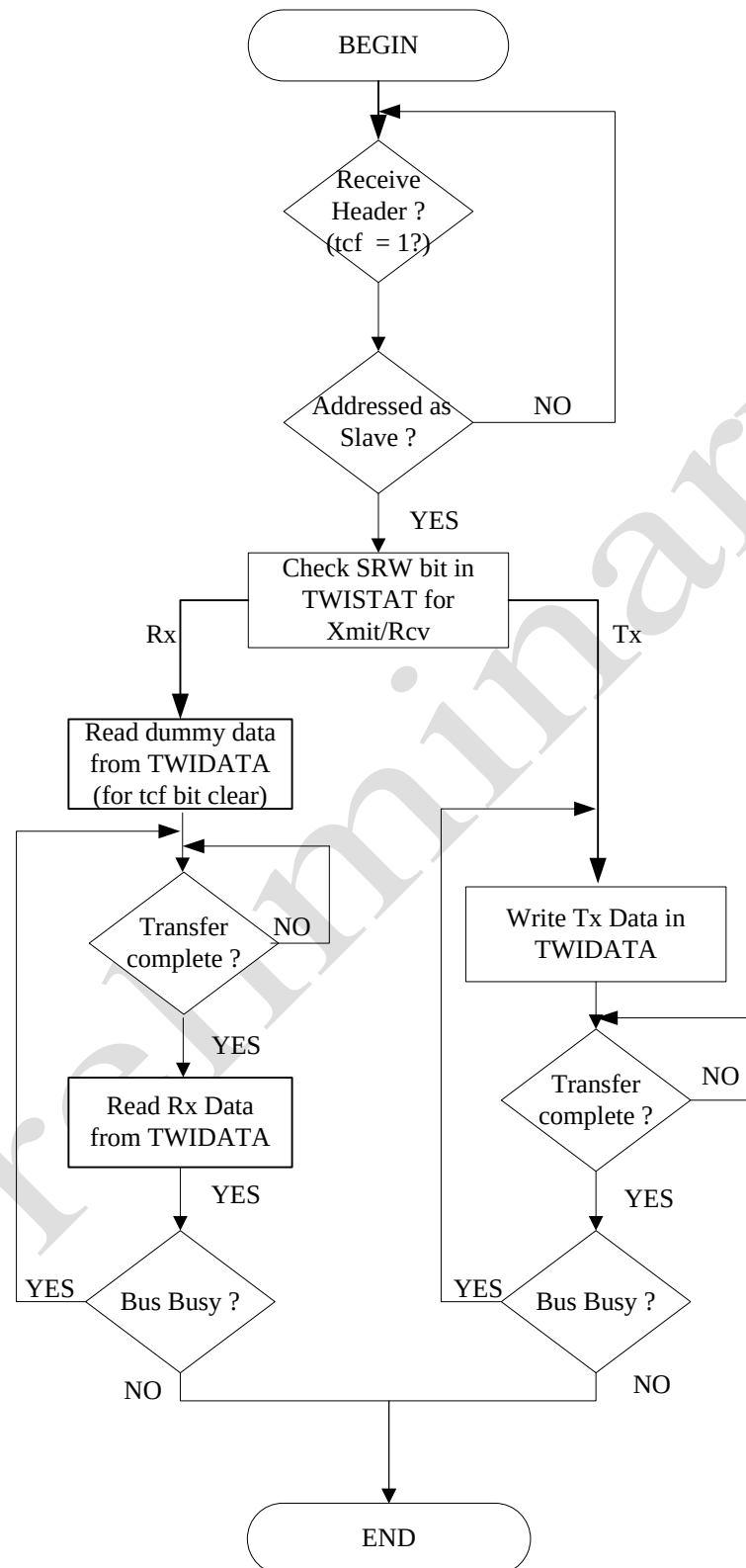
Slave Mode (Polling mode)

Figure 19-10 Slave Mode Flow Chart (Polling)

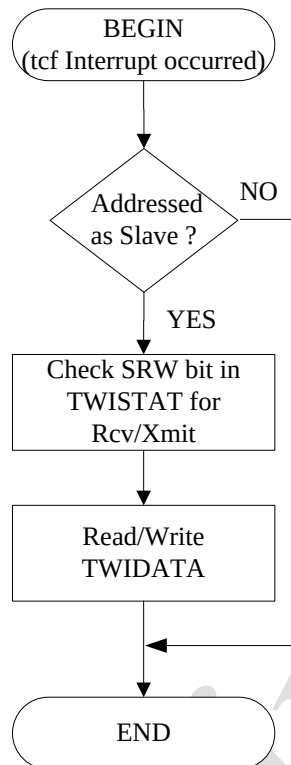
Slave Mode (Interrupt mode)

Figure 19-11 Slave Mode Flow Chart (Interrupt)

19.4 Register Description

19.4.1 TWI Control Register (TWICTRL)

Address : 0x8002_1800

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	–
7	RW	TWIEN : TWI Controller Enable. TWI 송수신을 위해서 다른 register의 setting에 앞서 먼저 이 bit를 set시킨다. 0: Disable 1: Enable	0
6	R	Reserved.	–
5	RW	TWIMOD : Master/Slave Mode Select. 0에서 1로 바뀌면 Master mode가 선택되면서 START condition이 발생한다. clear되면 STOP condition이 발생하고, Slave mode로 전환한다. clear되더라도 제어 권한을 잃은 상태라면, STOP condition은 발생하지 않는다. 0: STOP condition을 발생시킨다. 1: START condition을 발생시킨다.	0
4	RW	TWITR : Transmit/Receive Mode Select. Master Mode에서의 전송 동작을 결정한다. 0: TWI Master 수신 1: TWI Master 송신	0
3	RW	TWIAK : Transmit Acknowledge Enable. 이 비트는 ACK 구간 동안에 SDA line의 값을 결정한다. Master Receive Mode일 때 마지막 바이트 전송일 때 NO ACK는 데이터 전송이 마지막임을 나타낸다. 마지막 전송 후 NO ACK이면, STOP condition을 발생시킨다. 0: ACK bit = “0” – ACK (acknowledge) 1: ACK bit = “1” – NO ACK (no acknowledge)	0
2	RW	REPST : Repeated Start. 이 bit를 1로 write 하면, TWI controller 가 Master 일 때 Repeated START condition을 발생시킨다. Repeated START condition이 발생하면 clear된다. 0: N/A 1: Repeated START condition을 발생시킨다.	0
1	R/W	TCIE : Transfer complete Interrupt enable bit 1-byte단위의 데이터 전송이 완료되었을 때, 인터럽트 발생 여부를 결정한다. 0: Disable 1: Enable	0
0	R/W	LSTIE : Lost arbitration Interrupt enable bit Master로 동작 시, 전송 권한을 잃었을 경우, 인터럽트 발생 여부를 결정한다. 0: Disable 1: Enable	0

19.4.2 TWI Status Register (TWISTAT)

Address : 0x8002_1804

Bit	R/W	Description	Default Value
31 : 10	R	Reserved.	–
9	RW	TXEMPTY : TX Buffer Empty. 송신 버퍼의 상태를 나타낸다. 0일 때, 원하는 값으로 Write할 수 있다. 0: 송신 버퍼에 보낼 데이터가 있음 1: 송신 버퍼가 비었음	1
8	RW	RXFULL : RX Buffer Full. 수신 버퍼의 상태를 나타낸다. 1일 때, 원하는 값으로 Write할 수 있다. 0: 수신 버퍼가 비었음 1: 수신 버퍼에 읽어갈 데이터가 있음	0
7	R	TWIDT : Data Transferring Bit. 한 바이트 전송 될 때마다 set되고, TWIDATA 레지스터를 read나 write할 때 clear된다. 또한, 이 bit에 1을 write하면 clear된다. 0: 바이트 전송 중 1: 한 바이트 전송 완료	0
6	R	TWIAS : Addressed as Slave Bit. 자신의 address와 전송 받은 address가 일치할 때 TWI controller는 slave로서 동작하게 된다. TWICON 레지스터가 write되거나, STOP condition 발생 시 clear 된다. 0: Address가 일치하지 않음 1: Address가 일치함	0
5	R	TWIBUSY : Bus Busy Bit. TWI bus 상태를 의미한다. START condition에 의해 set 되고, STOP condition에 의해 clear된다. 이 비트에 0을 write하여도 clear된다. 0: Bus idle 상태 1: Bus busy 상태	0
4	RW	TWILOST : Lost Arbitration Bit. TWI controller가 master mode일 때, bus의 제어 권한을 잃었을 경우 set된다. 소프트웨어적으로 clear해주어야 한다. 1을 write하면 clear된다. 0: Lost arbitration이 발생하지 않았음. 1: Lost arbitration이 발생하였음.	0
3	R	TWISRW : Slave Read/Write Bit. TWI controller가 slave mode일 때 송수신 동작을 나타낸다. 0: Slave 수신 모드 1: Slave 송신 모드	0
2	R	Reserved.	–
1	RW	RSF : Repeated start flag Repeated START condition이 발생하였는지 확인하는 flag bit이다. Repeated START condition이 발생하면 set되며, STOP condition이 발생하거나, set된 상태에서 이 bit에 1을 write하면 clear된다.	0

		0: Repeated START condition이 발생하지 않았거나 STOP condition이 발생하였음. 1: Repeated START condition이 발생하였음.	
0	R	TWIRXAK : Received Acknowledge Bit. ACK 구간에 들어온 SDA line의 값을 의미 한다. 0: Acknowledge 수신 1: No Acknowledge 수신	1

19.4.3 TWI Address Register(TWIADR)

Address : 0x8002_1808

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	RW	(At only slave mode) 7-bit slave address. TWI controller의 device address를 나타낸다. [7:1] = Slave Address [0] = Not mapped	0x00

19.4.4 TWI Data Register (TWIDATA)

Address : 0x8002_180C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	RW	TWI data : TWI 데이터를 나타낸다. Write - 송신 데이터 혹은 접근할 device의 주소. Read - 수신 데이터	0x00

19.4.5 TWI Baud-Rate 0 Register (TWIBR0)

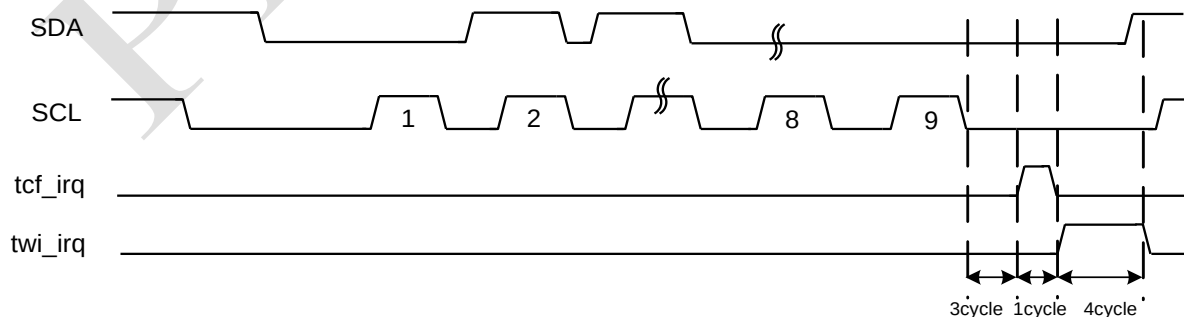
Address : 0x8002_1810

Bit	R/W	Description	Default Value
31 : 4	R	Reserved.	-
7 : 0	RW	Baud-rate 0 Value. $TWIBR0 \geq 3$	0x0F

* TCF interrupt,

tcf_irq interrupt 신호는 데이터 전송의 끝에 발생하는 신호 이다(1-byte).

이 신호는 SCL 라인의 9 번 toggle 후 에 나타난다.(TCIE(Confirm Transfer complete bit)).



19.4.6 TWI Baud-Rate 1 Register (TWIBR1)

Address : 0x8002_1814

Bit	R/W	Description	Default Value
31 : 9	R	Reserved.	-
8 : 0	RW	Baud-rate 1 Value.. $TWIBR1 \geq 0$	0xFF

$$TWIBR0 = f_{PCLK} \times 700 \text{ ns} + 3$$

$$SCL = \frac{f_{PCLK}}{(2TWIBR1 + TWIBR0 + 7)}$$

$$TWIBR1 = \frac{f_{PCLK}}{2SCL} - \frac{TWIBR0 + 7}{2}$$

*SCL = TWI transmission rate

ex) 만약 APB clock이 50MHz 이고, TWI transmission rate이 400Kbps이라면 계산 식은 다음과 같다.

$$(f_{PCLK} = 50\text{MHz}, SCL = 400\text{Kbps})$$

$$TWIBR0 = 50\text{MHz} \times 700\text{ns} + 3 = 50 \times 10^6 \times 700 \times 10^{-9} + 3 = 38$$

$$SCL = \frac{f_{PCLK}}{(2TWIBR1 + TWIBR0 + 7)} \Rightarrow 400\text{Kbps} = \frac{50\text{MHz}}{(2TWIBR1 + 38 + 7)} \Rightarrow 400 \times 10^3 = \frac{50 \times 10^6}{(2TWIBR1 + 45)}$$

$$TWIBR1 = \frac{\frac{50 \times 10^3}{400\text{Kbps}} - (TWIBR0 + 5)}{2}$$

- 700ns: rise time, fall (fast mode, max) for the synchronization
- 3cycle: low, high duty for the synchronization of ratio

<Baud-rate Register Setting Reference Table>

f_{PCLK}	TWIBR0	TWIBR1				
		400Kbps	300Kbps	200Kbps	100Kbps	50Kbps
60Mhz	45(0x2D)	50(0x32)	75(0x4B)	125(0x7D)	275(0x113)	-
50Mhz	38(0x26)	41(0x29)	62(0x3E)	104(0x68)	228(0xE4)	-
48Mhz	37(0x25)	39(0x27)	59(0x3B)	99(0x63)	219(0xDB)	459(0x1CB)
33Mhz	26(0x1A)	26(0x1A)	40(0x28)	67(0x43)	150(0x96)	315(0x13B)
24Mhz	20(0x14)	18(0x12)	28(0x1C)	48(0x30)	108(0x6C)	228(0xE4)
12Mhz	12(0x0C)	7(0x07)	12(0x0C)	22(0x16)	52(0x34)	112(0x70)
6Mhz	7(0x07)	2(0x02)	4(0x4)	9(0x9)	24(0x18)	54(0x36)
11.2896Mhz	11(0x0B)	6(0x06)	11(0xB)	20(0x14)	48(0x30)	105(0x69)
5.6448Mhz	7(0x07)	1(0x01)	3(0x3)	8(0x8)	22(0x16)	50(0x32)

* 위 표의 값은 약간의 오차가 있을 수 있음.

TWI baud rate 설정은 data setup time, hold time을 확보 하기 위해서 scl의 LOW 구간은 scl의 HIGH구간 이상의 값을 설정 해야 한다.

EX)

50 Mhz, 50kbps 에서 scl의 LOW은 TWIBR0 (38) + TWIBR1 (479) 이다.

이 때, scl 의 LOW 구간은 517(0x205)가 아닌 17(0x11)이 된다.

(TWIBR0 + TWIBR1 은 500이 넘어서는 안 된다.)

이 같은 경우, data setup time, hold time에 대하여 확보 할 수 없기 때문에 정상적인 동작이 이루어 지지 않는다.

data setup time, hold time을 확보하기 위해서는 최소 TWIBR0 설정 이상의 LOW구간이 필요하기 때문이다.

20 UART

adStar의 UART는 RS-232C 인터페이스의 기능을 보유한 일반적인 PC 및 I/O device와 직렬 비동기 통신을 위한 다양한 제어기능을 가진 5 채널 UART(Universal Asynchronous Receiver/ Transmitter) Controller 가 내장되어 있다.

20.1 Features

- Compatible with standard 16450/16550 UARTs
- Fully programmable serial-interface protocols
 - 5,6,7,8-bit characters
 - Even, odd or no-parity, stick parity generation and detection
 - 1, 1.5, 2 stop bit generation
 - Baud rate generator
- Line break generation and detection
- False start bit detection
- Prioritized transmit, receive and line status control interrupts
- Independent 16 characters transmit and receive 16Bytes FIFOs
- 5 Ch. UARTs

20.2 Block Diagram

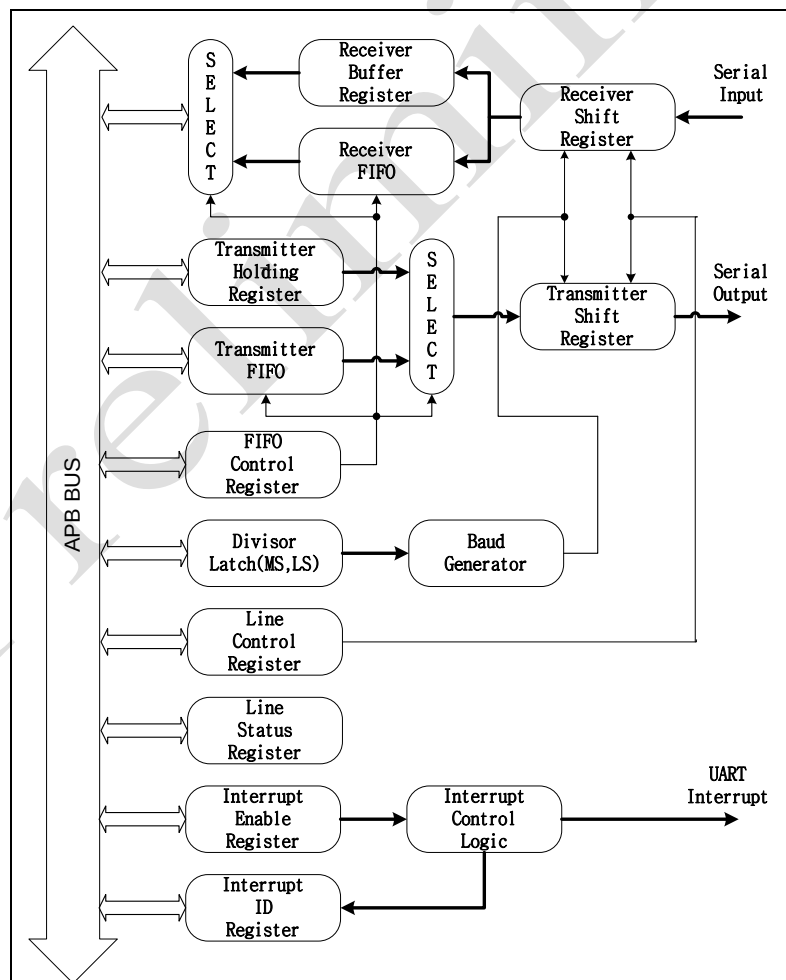


Figure 20-1 UART Block Diagram

20.3 Function Description

20.3.1 Serial Data Format

adStar의 UART에서는 ULCRn[4:0] 비트의 레지스터 설정으로 UART 통신 Serial Data Format에 대한 변경이 가능하다. 다음 표는 ULCRn[4:0] bit의 Register 설정으로 변경 가능한 데이터 포맷에 대한 설명이다.

ULCRn[4:0]	Description
00010 No Parity / 1 Stop bit / 7 Data bit	
00011 No Parity / 1 Stop bit / 8 Data bit	
00110 No Parity / 2 Stop bit / 7 Data bit	
00111 No Parity / 2 Stop bit / 8 Data bit	
11010 Even Parity / 1 Stop bit / 7 Data bit	
11011 Even Parity / 1 Stop bit / 8 Data bit	

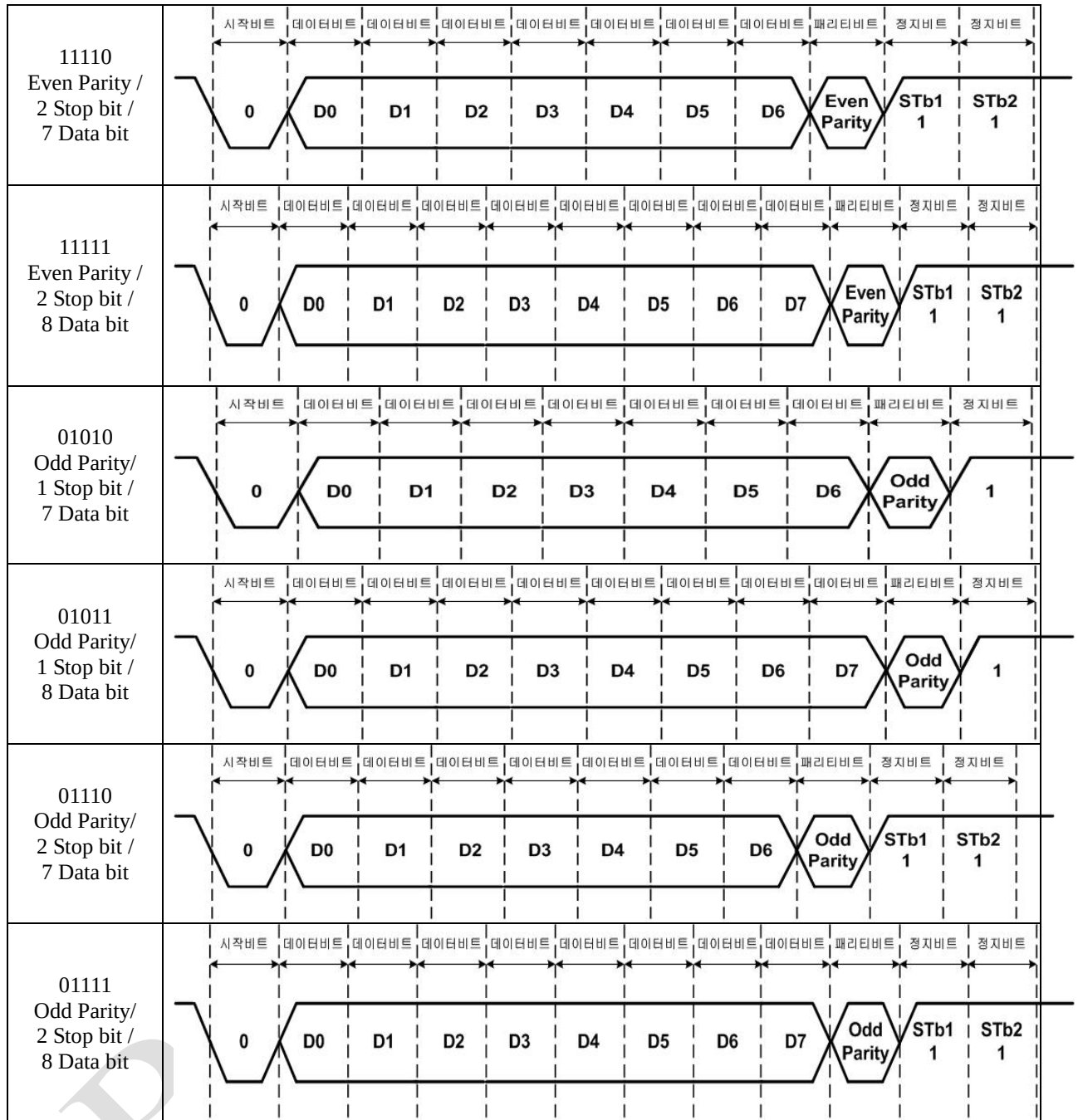


Figure 20-2 UART LCR Register Setting and Serial Data Format

20.3.2 UART Baud Rate

TX/RX Baud Rate은 아래 식으로 계산된다.

$$UART \ Baud \ Rate = \frac{f_{PCLK}}{16 \times UDL}$$

UART Divisor Latch Value (UDL) = UDL[7:0] << 8 + UDLL[7:0]

Table 20-1 UART Baud Rate

f_{PCLK} (MHz)		1.024	2.048	5.6448	11.2896	24.0	48.0
2400 bps	UDL	27	53	147	294	625	1250
	ERR(%)	1.23	0.63	0.00	0.00	0.00	0.00
4800 bps	UDL	-	27	74	147	313	625
	ERR(%)	-	1.23	0.68	0.00	0.16	0.00
9600 bps	UDL	-	-	37	74	156	313
	ERR(%)	-	-	0.68	0.68	0.16	0.16
14400 bps	UDL	-	9	25	49	104	208
	ERR(%)	-	1.23	2.00	0.00	0.16	0.16
19200 bps	UDL	-	-	18	37	78	156
	ERR(%)	-	-	2.08	0.68	0.16	0.16
38400 bps	UDL	-	-	9	18	39	78
	ERR(%)	-	-	2.08	2.08	0.16	0.16
57600 bps	UDL	-	-	6	12	26	52
	ERR(%)	-	-	2.08	2.08	0.16	0.16
115200 bps	UDL	-	-	3	6	13	26
	ERR(%)	-	-	2.08	2.08	0.16	0.16

*** ERR 이 2.2% 이상에서는 UART 동작의 안정성을 보장 받을 수 없다.

20.4 Register Summery

Table 20-2 UART Register Summery

Bit No.	DLAB = 0 0x00	DLAB = 0 0x00	DLAB = 0 0x04	DLAB = 0 0x08	DLAB = X 0x08	DLAB = X 0x0C	DLAB = X 0x14	DLAB = 1 0x00	DLAB = 1 0x04
	Receiver Buffer Register	Transmitter Holding Register	Interrupt Enable Register	Interrupt Ident. Register	FIFO Control Register	Line Control Register	Line Status Register	Divisor Latch (LSB)	Divisor Latch (MSB)
	RBR	THR	IER	IIR	FCR	LCR	LSR	DLL	DLM
	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W
0	Data Bit 0	Data Bit 0	Enable Received Data Available Interrupt	“0” if Interrupt Pending	FIFO Enable	Word Length Select Bit 0	Data Ready	Bit 0	Bit 0
1	Data Bit 1	Data Bit 1	Enable Transmitter Holding Register Empty Interrupt	Interrupt ID Bit 0	RCVR FIFO Reset	Word Length Select Bit 1	Overrun Error	Bit 1	Bit 1
2	Data Bit 2	Data Bit 2	Enable Receiver Line Status Interrupt	Interrupt ID Bit 1	XMIT FIFO Reset	Number of Stop Bits	Parity Error	Bit 2	Bit 2
3	Data Bit 3	Data Bit 3	0	Interrupt ID Bit 2	0	Parity Enable	Framing Error	Bit 3	Bit 3
4	Data Bit 4	Data Bit 4	0	0	Reserved	Even Parity Select	Break Interrupt	Bit 4	Bit 4
5	Data Bit 5	Data Bit 5	0	0	Reserved	Stick Parity	Transmitter Holding Register	Bit 5	Bit 5
6	Data Bit 6	Data Bit 6	0	FIFOs Enabled	RCVR Trigger(LS B)	Set Break	Transmitter Empty	Bit 6	Bit 6
7	Data Bit 7	Data Bit 7	0	FIFOs Enabled	RCVR Trigger(MS B)	Divisor Latch Access Bit (DLAB)	Error in RCVR FIFO	Bit 7	Bit 7
* DLAB = LCR[7](Divisor Latch Access Bit) * FIFO Control Register : - DLAB = 0 : Register Write - DLAB = 1 : Register Read * Address 0x10(0x30), 0x18(0x38), 0x1C(0x3C)는 16550 UART 표준과의 호환성을 위해 Reserved 되었다.									

20.5 Register Description

20.5.1 UART Channel Receiver Buffer Registers (UxRB)

Address : 0x8002_0800 / 0x8002_0820 / 0x8002_0840 / 0x8002_0860 / 0x8002_0880

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	R	Receive Buffer Data	-

*** DLAB가 “0” 일 때 Access 가능하다.

20.5.2 UART Channel Transmitter Holding Registers (UxTH)

Address : 0x8002_0800 / 0x8002_0820 / 0x8002_0840 / 0x8002_0860 / 0x8002_0880

Bit	R/W	Description	Default Value
31: 8	W	Reserved.	-
7 : 0	W	Transmit Holding Data	-

*** DLAB가 “0” 일 때 Access 가능하다.

20.5.3 UART Channel Interrupt Enable Registers (UxIE)

Address : 0x8002_0804 / 0x8002_0824 / 0x8002_0844 / 0x8002_0864 / 0x8002_0884

Bit	R/W	Description	Default Value
31: 3	R	Reserved.	-
2	RW	RLSIEN : Receiver Line Status Interrupt Enable bit 0 : Disable 1 : Enable	0
1	RW	THEIEN : Transmitter Holding Empty Interrupt Enable bit 0 : Disable 1 : Enable	0
0	RW	RDAIEN : Received Data Available Interrupt Enable bit 0 : Disable 1 : Enable	0

*** DLAB가 “0” 일 때 Access 가능하다.

20.5.4 UART Channel Interrupt Identification Register (UxII)

Address : 0x8002_0808 / 0x8002_0828 / 0x8002_0848 / 0x8002_0868 / 0x8002_0888

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 6	R	FIFOST : FIFOs Enabled Status bit. 00 : not in FIFO mode 11 : FIFO mode	00
5 : 4	R	Reserved	0
3 : 0	R	INTID : UART Interrupt ID (Note, UART Interrupt Control Function)	0001

*** DLAB가 “0” 일 때만 Read Mode로 Access 가능하다.

Table 20-3 UART Interrupt Control Function

Interrupt Identification Register				Priority Level	Interrupt Type	Interrupt Source	Interrupt Reset Condition
Bit 3	Bit 2	Bit 1	Bit 0				
0	0	0	1	-	None	None	-
0	1	1	0	Highest	Receiver Line Status	Overrun Error or Parity Error Framing Error or Break Interrupt	Reading the Line Status Register
0	1	0	0	Second	Received Data Available	Receiver Data Available or Trigger Level Reached	Reading the Receiver Buffer Register or the FIFO Drops Below the Trigger Level
1	1	0	0	Second	Character Timeout Indication	No Characters have been removed from or input to the RCVR FIFO during the last 4 Char. times, and there is at least 1 Char. in it during this Time	Reading the Receiver Buffer Register
0	0	1	0	Third	Transmitter Holding Register Empty	Transmitter Holding Register Empty	Reading the IIR Register (if source of interrupt) or Writing into the Transmitter Holding Register

20.5.5 UART Channel FIFO Control Register (UxFC)

Address : 0x8002_0808 / 0x8002_0828 / 0x8002_0848 / 0x8002_0868 / 0x8002_0888

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 6	RW	RFTL : Receiver FIFO Trigger Level 00 : 1 Byte 01 : 4 Byte 10 : 8 Byte 11 : 14 Byte	00
5 : 3	R	Reserved	-
2	RW	XFR : XMIT FIFO Reset XFR가 “1” 일 때, XMIT FIFO 내의 모든 데이터는 Reset 된다. 그러나 Shift Register 내의 데이터는 Reset 되지 않는다.	0
1	RW	RFR : RCVR FIFO Reset RFR가 “1” 일 때, RCVR FIFO 내의 모든 데이터는 Reset 된다, 그러나 Shift Register 내의 데이터는 Reset 되지 않는다.	0
0	RW	FIFOEN : FIFO Enable Bit 0 : 16450 UART Mode 1 : Enables FIFO	0

*** DLAB가 “0” 일 때는 Write Mode 이고, DLAB가 “1” 일 때는 Read Mode 이다.

20.5.6 UART Channel Line Control Register (UxLC)

Address : 0x8002_080C / 0x8002_082C / 0x8002_084C / 0x8002_086C / 0x8002_088C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	RW	DLAB : Divisor Latch Access Bit DLAB이 “1” 일 때, Divisor Latch Registers의 Read/Write와 FIFO Control Register의 Read가 가능하다.	0
6	RW	SB : Set Break SB가 “1” 일 때, Serial Data Output에 Logic “0”이 출력된다. SB는 내부 Transmitter Logic에는 영향을 미치지 않으며, 단지 Serial Output에만 영향을 미친다.	0
5	RW	SP : Stick Parity 0 : Disables Stick Parity 1 : PEN, EPS, SP가 “1”일 때, Parity Bit “0” PEN, SP가 “1”이고, EPS가 “0” 일 때, Parity Bit “1”	0
4	RW	EPS : Even Parity Select 0 : Select Odd Parity 1 : Select Even Parity	0
3	RW	PEN : Parity Enable Bit 0 : Disables Parity 1 : Enables Parity	0
2	RW	STB : Number of Stop Bit 0 : 1 Stop bit 1 : 2 Stop bits(만약, WLS Bit에서 5 Bits/Character를 선택했다면, 1.5 Stop bits 을 갖는다.)	0
1 : 0	RW	WLS : Word Length Select 00 : 5 Bits/Character 01 : 6 Bits/Character 10 : 7 Bits/Character 11 : 8 Bits/Character	00

20.5.7 UART Channel Line Status Register (UxLS)

Address : 0x8002_0814 / 0x8002_0834 / 0x8002_0854 / 0x8002_0874 / 0x8002_0894

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	R	EIRF : Error in RCVR FIFO FIFO 모드가 아닌 경우 EIRF는 항상 “0”이다. FIFO 모드에서 EIRF는 RCVR FIFO 내에서 OE, PE, FE, BI 중 어느 하나라도 “1”이 설정되면, “1”이 된다. EIRF는 만약 FIFO 내에 연속적인 에러가 없다면, LSR 레지스터를 읽었을 때 Clear(“0”)된다.	0
6	R	TEMP : Transmitter Empty FIFO 모드가 아닌 경우 TEMP는 Transmitter Holding Register (THR)와 Transmitter Shift Register(TSR)이 모두 Empty일 때 “1”이 된다. THR 또는 TSR에 데이터가 있으면 Clear된다. FIFO 모드에서는, TEMP는 Transmitter FIFO와 TSR이 모두 Empty일 때 “1”이 된다.	1
5	R	THRE : Transmitter Holding Register Empty FIFO 모드가 아닌 경우 THRE는 THR의 데이터가 TSR로 전송 되어 Empty가 되었을 때 “1”이 되며, THR에 전송을 위한 새로운 데이터를 쓸 수 있다. FIFO 모드에서는 Transmit FIFO가 Empty일 때 THRE가 “1”이 되며, 적어도 하나의 Byte라도	1

		Transmit FIFO에 써지면 Clear된다. 만약 THRE interrupt(ETHREI) 가 “1”이고 THRE가 “1”이라면 Interrupt가 발생한다.	
4	R	BINT : Break Interrupt : 수신되는 입력 데이터가 Full-word 전송 시간 동안 “0”일 때 BI는 “1”이 된다. Full-word 전송 시간은 Start, Data, Parity 그리고 Stop 비트 전송을 위한 전체 시간을 의미한다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용되며, BI가 발생했을 때 FIFO에는 “0”이 써진다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
3	R	FERR : Framing Error FE는 수신되는 입력 데이터가 유효한 Stop 비트를 가지지 않았을 때 “1”이 된다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용된다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
2	R	PERR : Parity Error PE는 수신되는 입력 데이터가 LCR 레지스터에 의해 선택된 Parity 비트와 같지 않을 때 “1”이 된다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용된다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
1	R	OERR : Overrun Error OE는, FIFO 모드가 아닌 경우, RBR 내의 데이터를 읽어가기 전에 새로운 데이터가 써진 경우 “1”이 된다. FIFO 모드에서는 FIFO가 Full 상태에서 Receiver Shift Register(RSR)에 새로운 Full-word가 들어왔을 때 “1”이 된다. 이 경우 RSR은 새로운 데이터로 계속 갱신이 되지만, FIFO로 전송은 되지 않는다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
0	R	DRDY : Data Ready DR은 수신된 데이터가 RBR 또는 FIFO에 써졌을 때 “1”이 된다. RBR 또는 FIFO 내의 모든 데이터가 CPU에 의해 읽혀졌을 때 Clear된다.	0

20.5.8 UART Channel Divisor Latch LSB Register (UxDLL)

Address : 0x8002_0800 / 0x8002_0820 / 0x8002_0840 / 0x8002_0860 / 0x8002_0880

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	RW	Divisor Latch Least Significant Byte	0x00

*** DLAB가 “1” 일 때 Access 가능하다.

20.5.9 UART Channel Divisor Latch MSB Register (UxDLM)

Address : 0x8002_0804 / 0x8002_0824 / 0x8002_0844 / 0x8002_0864 / 0x8002_0884

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	RW	Divisor Latch Most Significant Byte	0x00

*** DLAB가 “1” 일 때 Access 가능하다.

20.5.10 UART IrDA Mode Register (UxIRM)

Address : 0x8002_0888

Bit	R/W	Description	Default Value
31: 6	R	Reserved.	-
5	RW	IrDA Rx Polarity Inversion	0
4	RW	IrDA Rx Decoding Enable 0 : Not decoding 1 : decoding the IR Frame	0
3 : 2	R	Reserved	00
1	RW	IrDA Tx Polarity Inversion	0
0	RW	IrDA Tx Encoding Enable 0 : not encoding 1 : encoding the UART frame	0

21 USB HOST CONTROLLER

adStar의 USB 1.1 Host Controller 는 OpenHCI(ver 1.0a)를 지원한다.

21.1 Features

- OpenHCI1.0 compatible
- USB 1.1 compatible

21.2 Operational Registers

Address	Registers
A0000000	HcRevision
A0000004	HcControl
A0000008	HcCommandStatus
A000000C	HcInterruptStatus
A0000010	HcInterruptEnable
A0000014	HcInterruptDisable
A0000018	HcHCCA
A000001C	HcPeriodCurrentED
A0000020	HcControlHeadED
A0000024	HcControlCurrentED
A0000028	HcBulkHeadED
A000002C	HcBulkCurrentED
A0000030	HcDoneHead
A0000034	HcFmInterval
A0000038	HcFmRemaining
A000003C	HcFmNumber
A0000040	HcPeriodicStart
A0000044	HcLSThreshold
A0000048	HcRhDescriptorA
A000004C	HcRhDescriptorB
A0000050	HcRhStatus
A0000054	Reserved.
A0000058	HcRhPortStatus[1]

Table 21-1 USB Host Registers List

22 SOUND MIXER

22.1 Features

- 4-CH. Player, 1-CH Recorder
- Re-Sampler
- Gain Controller
- 32-Depth Buffer for each channel
- 4-CH. Out (2-CH I2S, 2-CH Digital Modulator)

22.2 Block Diagram

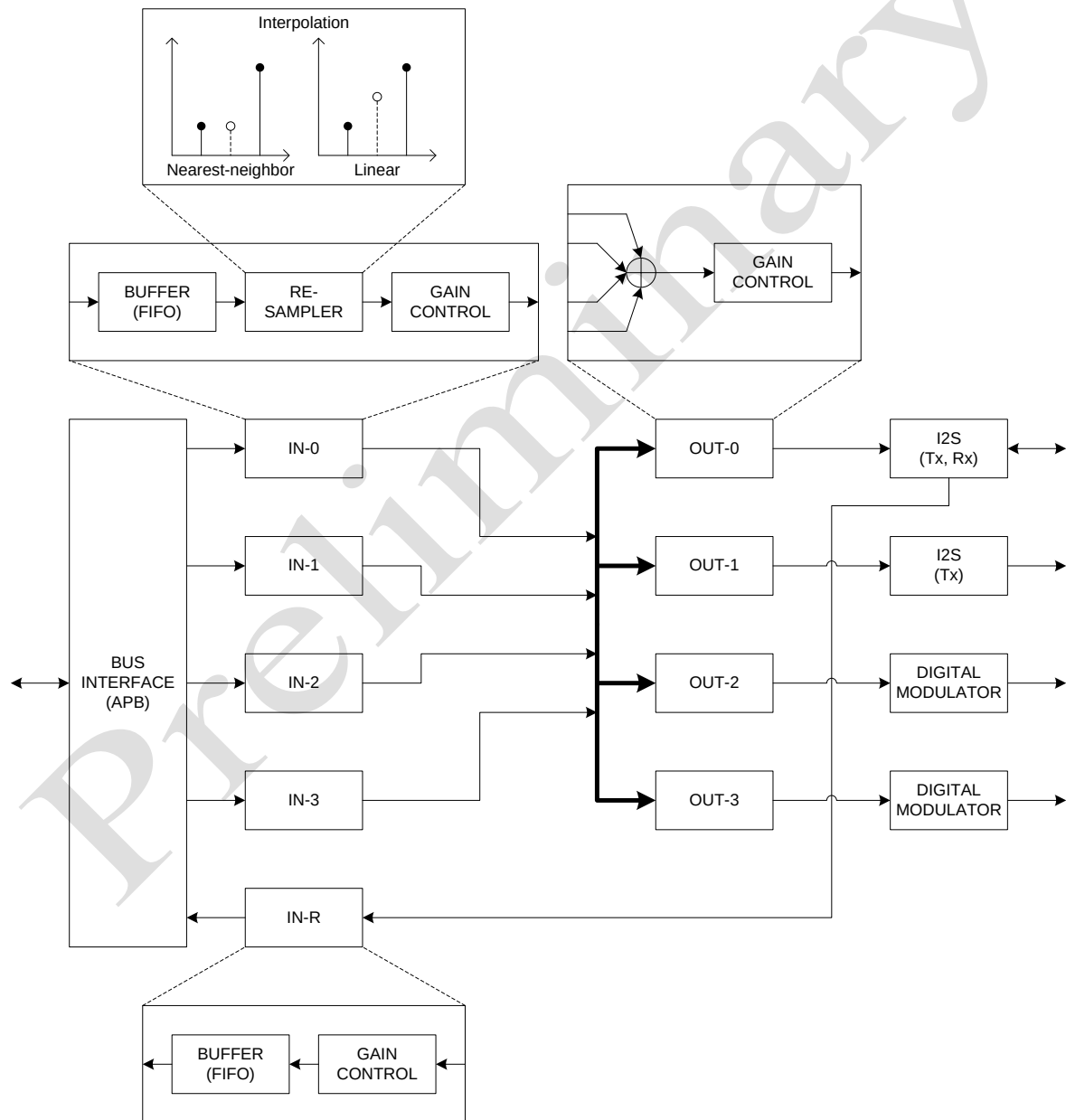


Figure 22-1 Mixer Block Diagram

22.3 Low Pass Filter for Digital Modulator

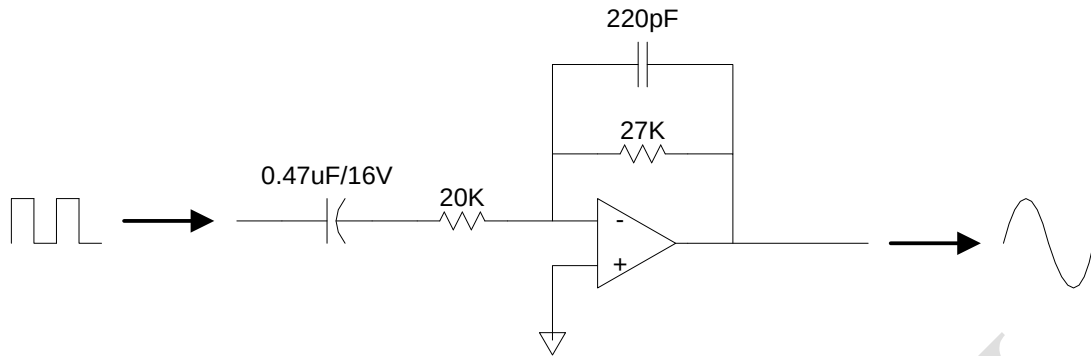


Figure 22-2 Low pass filter for digital modulator

22.4 I2S Frequency Control

I2S 제어기를 동작하기 위해서는 SCLK, LRCK, MCLK 주파수를 설정하여야 한다. 아래 표는 MCLK과 LRCK의 관계를 나타낸다. 예를 들어 44.1kHz를 위해 Master frequency를 256fs를 설정하면 11.2896MHz의 MCLK을 필요하게 된다. 이에 해당하는 MCLK는 Pre-Scaler을 통해 설정한다.

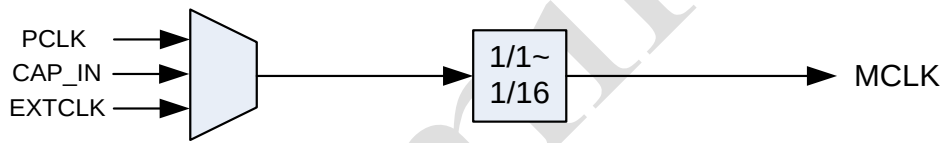


Figure 22-3 I2S Pre-Scaler

Table 22-1 I2S Sampling Frequency(LRCK) and MCLK Clock

LRCK (fs)	8.000 KHz	11.025 KHz	16.000 KHz	32.000 KHz	44.100 KHz	48.000 KHz	96.000 KHz
MCLK (MHz)	256fs						
	2.048	2.8224	4.096	8.1920	11.2896	12.2880	24.5760
	384fs						
	3.072	4.2336	6.144	12.2880	16.9344	18.4320	36.8640
	512fs						
	4.096	5.6448	8.192	16.3840	22.5792	24.5760	49.1520

또한, SCLK 설정은 다음과 같다.

Table 22-2 I2S sampling frequency and serial bit clock

Serial bit per channel	8bit	16bit
CODEC Clock(MCLK)	Serial clock frequency(SCLK)	
256fs	16fs, 32fs, 64fs	32fs, 64fs
384fs	16fs, 32fs, 48fs, 64fs	32fs, 48fs, 64fs
512fs	16fs, 32fs, 64fs	32fs, 64fs

22.5 Register Description

22.5.1 Mixer Control Register (MIXER_CON)

Address: 0xA002_1C00, 0xA002_1C10, 0xA002_1C20, 0xA002_1C30 (IN-0 ~ IN-3)

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	–
28	R/W	Method of interpolation 0: Nearest-neighbor 1: Linear	0x0
27 : 25	R	Reserved	–
24 : 16	R/W	Step for re-sampling $N = ((InFs * 256) / OutFs) - 1$, (N=0~511)	0xFF
15 : 10	R	Reserved	–
9 : 8	R/W	Out selection 00: Out-0 01: Out-1 10: Out-2 11: Out-3	0x0
7 : 4	R/W	Mode 0000: Unsigned stereo 8-bit PCM 0001: Unsigned mono 8-bit PCM 0010: Signed stereo 8-bit PCM 0011: Signed mono 8-bit PCM 0100: Unsigned stereo 16-bit PCM 0101: Unsigned mono 16-bit PCM 0110: Signed stereo 16-bit PCM 0111: Signed mono 16-bit PCM 1xxx: Reserved	0x0
3	R/W	DMA request 0: Disable 1: Enable	0x0
2	R/W	Interrupt 0: Disable 1: Enable	0x0
1	R/W	L/R swap 0: Disable 1: Enable	0x0
0	R/W	Active 0: Disable 1: Enable	0x0

Address: 0xA002_1C70 (IN-R)

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	–
3	R/W	DMA request 0: Disable 1: Enable	0x0
2	R/W	Interrupt 0: Disable 1: Enable	0x0
1	R/W	Reserved	–
0	R/W	Active 0: Disable 1: Enable	0x0

Address: 0xA002_1C80, 0xA002_1C90, 0xA002_1CA0, 0xA002_1CB0 (OUT-0 ~ OUT-3)

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	–
0	R/W	Active 0: Disable 1: Enable	0x0

22.5.2 Mixer Volume Register (MIXER_VOL)

Address: 0xA002_1C04, 0xA002_1C14, 0xA002_1C24, 0xA002_1C34, 0xA002_1C74,
0xA002_1C84, 0xA002_1C94, 0xA002_1CA4, 0xA002_1CB4
(IN-0 ~ IN-3, IN-R, OUT-0 ~ OUT-3)

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	–
15 : 8	R/W	Right gain ($\pm 0.5\text{dB}$) 0xFF(0dB) ~ 0x80(-63.5dB), 0x7F~0x0($-\infty\text{dB}$)	0xFF
7 : 0	R/W	Left gain ($\pm 0.5\text{dB}$) 0xFF(0dB) ~ 0x80(-63.5dB), 0x7F~0x0($-\infty\text{dB}$)	0xFF

22.5.3 Mixer Buffer Status Register (MIXER_BST)

Address: 0xA002_1C08, 0xA002_1C18, 0xA002_1C28, 0xA002_1C38, 0xA002_1C78
(IN-0 ~ IN-3, IN-R)

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	–
5 : 0	R	Buffer count value 0(Empty) ~ 32(Full)	0x0

22.5.4 Mixer Data Register (MIXER_DAT)

Address: 0xA002_1C0C, 0xA002_1C1C, 0xA002_1C2C, 0xA002_1C3C, 0xA002_1C7C
(IN-0 ~ IN-3, IN-R)

Bit	R/W	Description	Default Value
31 : 0	R/W	PCM data	–

22.5.5 Mixer Out Register (MIXER_OUT)

Address: 0xA002_1C8C, 0xA002_1C9C (OUT-0, OUT1)

Bit	R/W	Description	Default Value
31 : 6	R/W	Reserved	–
5	R/W	Left of LRCK signal 0: High 1: Low	0x0
4	R/W	Format 0: I2S-bus 1: MSB(Left)-justified	0x0
3 : 2	R/W	MCLK frequency 00: 256fs 01: 384fs 10: 512fs 11: Reserved	0x0
1 : 0	R/W	SCLK frequency 00: 16fs 01: 32fs 10: 48fs 11: 64fs	0x0

Address: 0xA002_1CAC, 0xA002_1CBC (OUT-2, OUT3)

Bit	R/W	Description	Default Value
31 : 10	R/W	Reserved	–
9 : 8	R/W	Step for over-sampling 00: x1 01: x2 10: x4 11: x8	0x0
7 : 4	R/W	Sine wave generation (For test) 0000: Disable otherwise: Enable	0x0
3 : 2	R/W	PWM modulation 00: Class-AD single side modulation 01: Class-AD double side modulation 10: Class-BD single side modulation 11: Class-BD double side modulation	0x0
1 : 0	R/W	Noise transfer function 00: Disable 01: 4 th -order FIR filter 10: 5 th -order FIR filter 11: 5 th -order optimal FIR filter	0x0

22.5.6 Mixer Interrupt Status Register (MIX_IST)

Address: 0xA002_1CC0

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	–
7	R	IN-R interrupt	0x0
6 : 4	R	Reserved	–
3	R	IN-3 interrupt	0x0
2	R	IN-2 interrupt	0x0
1	R	IN-1 interrupt	0x0
0	R	IN-0 interrupt	0x0

23 ADC CONTROLLER

*adStar*는 1MSPS 10-bit SAR ADC를 내장한다. 권장 동작 frequency는 12Mhz이다. Conversion cycle은 ADC input clock으로 13cycle이다.

23.1 Features

- Various SOC source select
- Continuous Mode support
- 4-depth FIFO
- DMA Mode (in FIFO Mode)
- 4 channel input

23.2 Register Description

23.2.1 ADC Control Register (ADCCTRL)

Address : 0xA002_3800

Bit	R/W	Description	Default Value
15 : 12	R	Reserved	-
11	R/W	Periodic Mode Selection 0: Normal Operation Mode (1 pulse SOC Generation) 1: Periodic Mode (Continuous SOC Generation)	0
10	R/W	DMA Last Transfer FIFO Mode이고, DMA Mode일 때, 이 bit를 1로 set하면, DMA Last Request를 수행. Request가 발생하면 clear	0
9	R/W	DMA Mode Enable FIFO Mode일 경우, 이 bit를 1로 set하면, FIFO가 full이 될 때마다 DMA 전송을 요청. DMA Last Request가 발생하면 clear	0
8	R/W	FIFO Mode 1: Using FIFO 0: NOT using FIFO	0
7	R	Reserved	-
6 : 5	R/W	ADC Channel Selection 000: ADCIN0 001: ADCIN1 010: ADCIN2 011: ADCIN3	00
4 : 2	R/W	ADC Source clock selection 000: APB Clock / 2 001: APB Clock / 4 010: APB Clock / 8 011: APB Clock / 16 100: APB Clock / 32 101: APB Clock / 64 110: APB Clock / 128 111: APB Clock / 256 * Sampling 주기는 ADC Source clock의 주기의 12배가 된다.	00
1	R/W	ADC Start Conversion(STC) 1로 설정하면 SOC 발생. ADC Clock으로 한 주기가 지나면 clear	0
0	R/W	ADC Enable 0: ADC Disable 1: ADC Enable	0

23.2.2 ADC Data Register (ADCDATA)

Address: 0xA002_3804

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 0	R/W	10-bit ADC data	0x000

23.2.3 ADC FIFO Register (ADC_FIFO)

Address: 0xA002_3808

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	–
9 : 0	R/W	In case of ADC FIFO Mode 10-bit ADC FIFO Data	0

23.2.4 ADC Status Register (ADCSTAT)

Address : 0xA002_380C

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	–
6	R	FIFO Overflow 1이면 FIFO가 Overflow되었다는 의미이며, Overflow 상태에서 새로운 데이터가 들어오면, 오래된 데이터부터 삭제되고, 새로운 데이터가 FIFO에 쌓이게 된다.	0
5	R	FIFO Full 1: FIFO is Full 0: FIFO is not Full	0
4	R	FIFO Empty 1: FIFO is Empty 0: FIFO is not empty	1
3 : 1	R	FIFO Level (0~4)	0
0	R	ADC Data Ready 1: ADC Data is valid 0: ADC Data is not ready	0

24 PWM (PULSE WIDTH MODULATION)

PWM은 4개의 채널이 동일한 Period내에서 다양한 형태의 PWM 파형을 생성한다. 한 채널에 두 개의 complementary 출력을 구성할 수 있다.

24.1 Features

- Complementary or independent outputs
- Dead time control by H/W
- Manual override
- Fault pins support

24.2 Function Description

24.2.1 Edge Aligned PWM mode

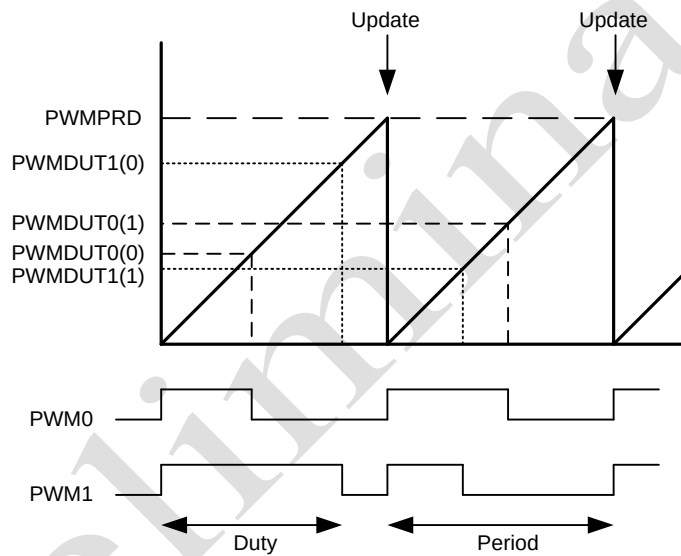


Figure 24-1 Edge Aligned PWM

24.2.2 Single Event PWM mode

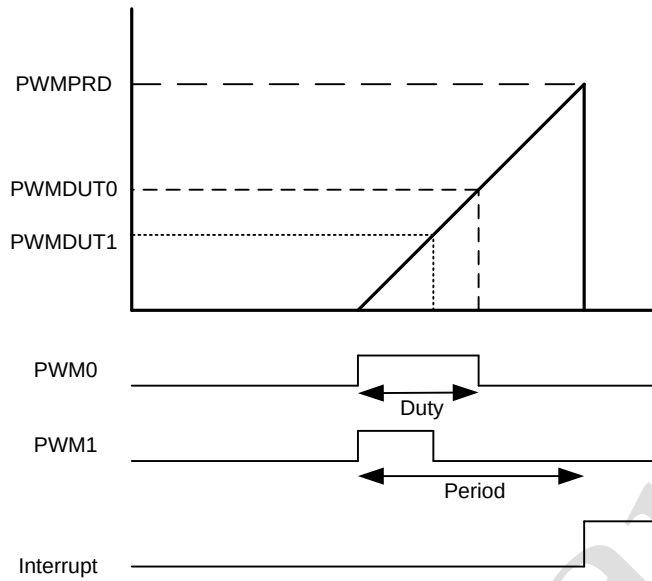


Figure 24-2 Single Event PWM

24.2.3 Center Aligned PWM mode

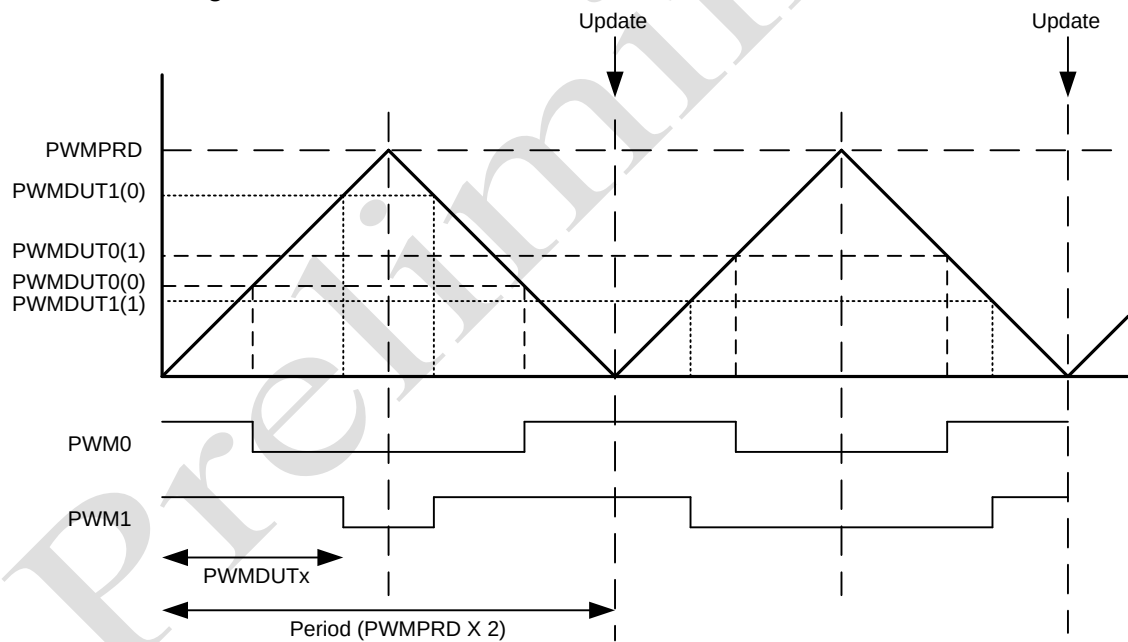


Figure 24-3 Center Aligned PWM

24.2.4 Center Aligned PWM with Double Update mode

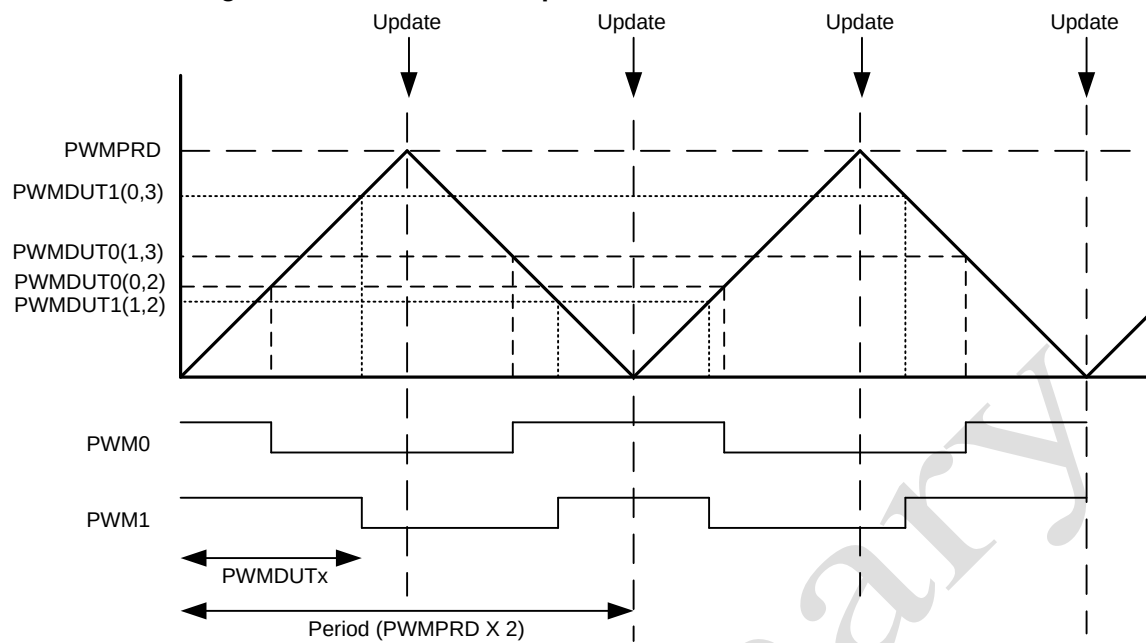


Figure 24-4 Center Aligned PWM with Double Update

24.2.5 Dead Time Control

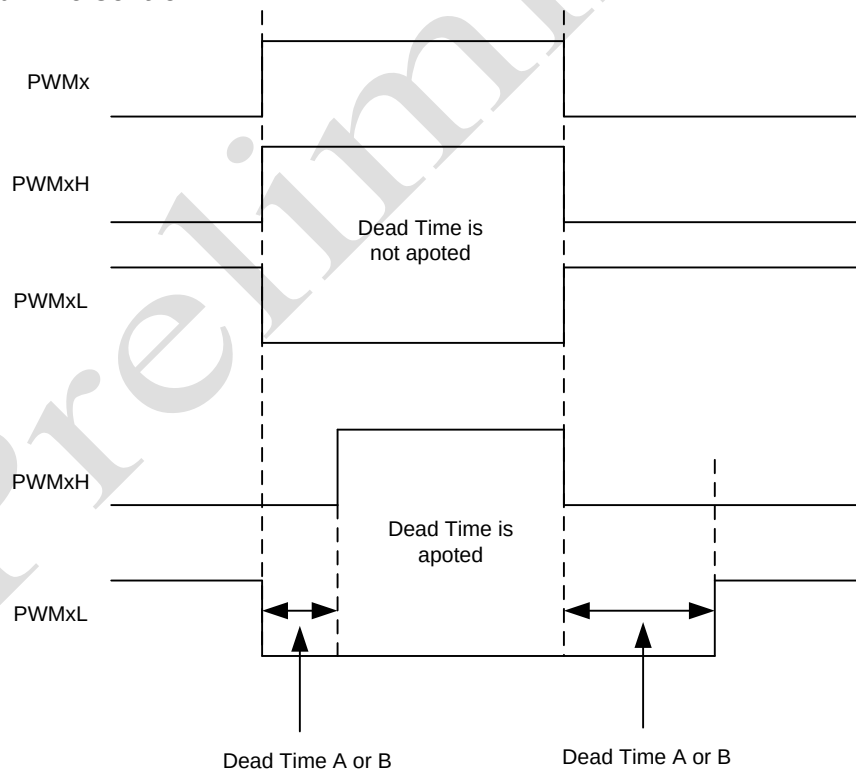


Figure 24-5 Dead Time Insertion Diagram

24.3 Register Description

24.3.1 PWM Mode Register (PWMMOD)

Address : 0x8002_2C00

Bit	R/W	Description	Default Value
15 : 8	R	Reserved	–
7	R/W	PWM Counter enable 1: PWM Enable 0: PWM Disable	0
6	R/W	Counter reset 1: All counter reset 0: Counter reset release	0
5 : 4	R/W	Operation Mode 00: Edge aligned mode 01: Single event mode 10: Center aligned mode 11: Center aligned mode with double update	00
3	R/W	Interrupt Mode 0: One pulse 1: Level	0
2 : 0	R/W	Clock Select 000: APB Clock 001: APB Clock / 2 010: APB Clock / 4 011: APB Clock / 8 100: APB Clock / 16 101: APB Clock / 32 110: APB Clock / 64 111: APB Clock / 128	111

24.3.2 PWM Counter Register (PWMCNT)

Address: 0x8002_2C04

Bit	R/W	Description	Default Value
16	R	PWM Direction	0
15 : 0	R	PWM Count value	0000h

24.3.3 PWM Period Register (PWMPRD)

Address: 0x8002_2C08

Bit	R/W	Description	Default Value
31 : 16	R	Current PWM Period adopted	–
15 : 0	R/W	PWM Period to adapt	0

24.3.4 PWM Control Register (PWMCON)

Address : 0x8002_2C10

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	–
14	R/W	Period, Dead Time Update Mode 0: After one period 1: After setting immediately	0
13 : 12	R	Reserved	–
11 : 8	R/W	PWM0~3 Output Mode 0: Complementary Output 1: Independent Output	0
7 : 0	R	Reserved	–

24.3.5 Dead Time Control 0 Register (DTCON0)

Address : 0x8002_2C18

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	–
15 : 14	R/W	Dead Time B Counter Pre-scale select 00: APB Clock 01: APB Clock / 2 10: APB Clock / 4 11: APB Clock / 8	0
13 : 8	R/W	Dead Time B Value	0
7 : 6	R/W	Dead Time A Counter Pre-scale select 00: APB Clock 01: APB Clock / 2 10: APB Clock / 4 11: APB Clock / 8	0
5 : 0	R/W	Dead Time A Value	0

24.3.6 Dead Time Control 1 Register (DTCON1)

Address : 0x8002_2C1C

Bit	R/W	Description	Default Value
7	R/W	Dead Time Select bit for PWM3 Signal Going Active 0: Dead Time A 1: Dead Time B	0
6	R/W	Dead Time Select bit for PWM3 Signal Going Inactive 0: Dead Time A 1: Dead Time B	0
5	R/W	Dead Time Select bit for PWM2 Signal Going Active 0: Dead Time A 1: Dead Time B	0
4	R/W	Dead Time Select bit for PWM2 Signal Going Inactive 0: Dead Time A 1: Dead Time B	0
3	R/W	Dead Time Select bit for PWM1 Signal Going Active 0: Dead Time A 1: Dead Time B	0
2	R/W	Dead Time Select bit for PWM1 Signal Going Inactive 0: Dead Time A 1: Dead Time B	0
1	R/W	Dead Time Select bit for PWM0 Signal Going Active 0: Dead Time A 1: Dead Time B	0
0	R/W	Dead Time Select bit for PWM0 Signal Going Inactive 0: Dead Time A 1: Dead Time B	0

24.3.7 Fault A / B Control Register (FLTACON / FLTBCON)

Address : 0x8002_2C20 / 0x8002_2C24

Bit	R/W	Description	Default Value
15	R/W	Fault A / B Override Value for PWM 3 High 0: Inactive (Low) 1: Active (High)	0
14	R/W	Fault A / B Override Value for PWM 3 Low 0: Inactive (Low) 1: Active (High)	0
13	R/W	Fault A / B Override Value for PWM 2 High 0: Inactive (Low) 1: Active (High)	0
12	R/W	Fault A / B Override Value for PWM 2 Low 0: Inactive (Low) 1: Active (High)	0
11	R/W	Fault A / B Override Value for PWM 1 High 0: Inactive (Low) 1: Active (High)	0
10	R/W	Fault A / B Override Value for PWM 1 Low 0: Inactive (Low) 1: Active (High)	0
9	R/W	Fault A / B Override Value for PWM 0 High 0: Inactive (Low) 1: Active (High)	0
8	R/W	Fault A / B Override Value for PWM 0 Low 0: Inactive (Low) 1: Active (High)	0
7	R/W	Fault A / B mode 0: Latched Mode 1: Cycle-by-cycle Mode	0
6 : 4	R	Reserved	–
3 : 0	R/W	Fault A / B Enable 0: Fault disable for PWM[n] 1: Fault enable for PWM[n]	0000

24.3.8 Override Control Register (OVDCON)

Address : 0x8002_2C28

Bit	R/W	Description	Default Value
15	R/W	PWM 3 High Override Control 0: Output controlled by POUT3H 1: Output controlled by PWM generator	1
14	R/W	PWM 3 Low Override Control 0: Output controlled by POUT3L 1: Output controlled by PWM generator	1
13	R/W	PWM 2 High Override Control 0: Output controlled by POUT2H 1: Output controlled by PWM generator	1
12	R/W	PWM 2 Low Override Control 0: Output controlled by POUT2L 1: Output controlled by PWM generator	1
11	R/W	PWM 1 High Override Control 0: Output controlled by POUT1H 1: Output controlled by PWM generator	1
10	R/W	PWM 1 Low Override Control 0: Output controlled by POUT1L 1: Output controlled by PWM generator	1
9	R/W	PWM 0 High Override Control 0: Output controlled by POUT0H 1: Output controlled by PWM generator	1
8	R/W	PWM 0 Low Override Control 0: Output controlled by POUT0L 1: Output controlled by PWM generator	1
7	R/W	POUT3H: PWM 3 High Output Value 0: Inactive (Low) 1: Active (High)	0
6	R/W	POUT3L: PWM 3 Low Output Value 0: Inactive (Low) 1: Active (High)	0
5	R/W	POUT2H: PWM 2 High Output Value 0: Inactive (Low) 1: Active (High)	0
4	R/W	POUT2L: PWM 2 Low Output Value 0: Inactive (Low) 1: Active (High)	0
3	R/W	POUT1H: PWM 1 High Output Value 0: Inactive (Low) 1: Active (High)	0
2	R/W	POUT1L: PWM 1 Low Output Value 0: Inactive (Low) 1: Active (High)	0
1	R/W	POUT0H: PWM 0 High Output Value 0: Inactive (Low) 1: Active (High)	0
0	R/W	POUT0L: PWM 0 Low Output Value 0: Inactive (Low) 1: Active (High)	0

24.3.9 PWM Duty Register (PWMDUT0~3)

Address: 0x8002_2C2C / 0x8002_2C30 / 0x8002_2C34 / 0x8002_2C38

Bit	R/W	Description	Default Value
15 : 0	R/W	PWM Duty	0000h

24.3.10 PWM Interrupt Status Register (IRQSTAT)

Address: 0x8002_2C3C

Bit	R/W	Description	Default Value
8	R/W	Fault B Flag Fault B 가 발생하면 set. Set된 후 0을 write하면 clear	0
7 : 5	R	Reserved	-
4	R/W	Fault A Flag Fault A 가 발생하면 set. Set된 후 0을 write하면 clear	0
3 : 1	R	Reserved	-
0	R/W	PWM Interrupt Flag 한 주기마다 발생. set되고 0을 write하면 clear	0

25 ELECTRICAL CHARACTERISTIC

25.1 DC Electrical Characteristic

The ESD of VeriSilicon CSMC 0.18 μ m 1.8/3.3V I/O Cell Library meets HBM-2KV and MM-200V.

The following table summarizes the electrical design specifications of DC specifications:

Table 25-1 I/O DC Electrical Characteristic

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
High level output voltage	V _{OH}	I _{OH} = -2, -4, -8, -16, -24mA	2.4			V
Low level output voltage	V _{OL}	I _{OL} = 2, 4, 8, 16, 24mA			0.4	V
High level input voltage	V _{IH}	LVTTL/CMOS interface	2.0		IOVDD + 0.5	V
Low level Input voltage	V _{IL}	LVTTL/CMOS interface			0.8	V
Switch threshold	V _{th}	CMOS interface	1.2	1.3	1.4	V
		Schmitt-falling-trigger	0.8	0.9	1.0	V
		Schmitt-rising-trigger	1.45	1.55	1.65	V
Hysteresis		Schmitt-trigger interface	0.55	0.65	0.7	V
Input pull-up resistance	R _{PU}	V _{IN} = 0	34	41	64	k Ω
Input pull-down resistance	R _{PD}	V _{IN} = VDDH	33	44	79	k Ω
Input current	I _I	Vdd = MAX, 0V $\leq$ V _{in} $\leq$ 3.6V	-10		10	μ A
Input current with pull down		V _{in} = Vdd	40		160	μ A
Input current with pull up		V _{in} = 0	-160		40	μ A

25.2 Operating Conditions

The following table gives the recommended operating conditions for the integrated circuit (IC) chips using this library:

Table 25-2 I/O Recommended Operating Conditions

Operating Conditoins	Min	Typ	Max
Core DC Supply (CoreVDD)	1.62V	1.8V	1.98V
I/O DC Supply Voltage (IOVDD)	3.0V	3.3V	3.6V

25.3 LDO Electrical Specification

Table 25-3 LDO Electrical Specifications
VDD33=3.3V, COUT=1uF, TA=25°C unless otherwise noted

Parameters	Symbol	Test Condition	Min	Typ	Max	Units
Quiescent Current	Iq	Iout = 0 PD = 0		35		uA
Shutdown Current	Isd	PD = VDD33			1	uA
Input Voltage	VDD33		VDD18+ Vdrp		3.6	V
Output Voltage	VDD18	Iout = 0	1.8-3%		1.8+ 3%	V
Output Ripple		Iout = 10~100mA		40		mV
Wake up Time				10		us
Band Gap Output	VBG			1.2		V
External Capacitor				1		uF
Line Regulation		VDD33=2.8~3.8V Iout=10mA		0.16		%
		VDD33=2.8~3.8V Iout=100mA		0.63		
Dropout Voltage	Vdrp	Iout=100mA		290		mV
Ripple Rejection	PSRR	Iout=10mA Without bypass Cap (1kHz)		60		db
		Iout=100mA Without bypass Cap (1kHz)		40		
		Iout=100mA With bypass Cap (1kHz)		69		
Output Current	Iout			100		mA
PD Logic input High	ViH		1.2			V
PD Logic input Low	ViL				0.6	V
VDD18 Temperature Coefficient	TC	25~150°C		-80		ppm

25.4 POR Electrical Specification

Table 25-4 POR Specification (Unless otherwise specified, $T_{opr}=25^{\circ}\text{C}$, $V_{DD}=1.8\text{V}$)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
VDD	Supply voltage		1.6	1.8	2	V
Is	Supply current	VDD=1.8V		3	5	uA
Vtd	Minimum power up trigger level		1			V
Vtdr	Maximum power drop trigger level				0.9	V
Tr	Rising time of VDD		10u		10m	s
Tf	Falling time of VDD to $V_{TH}-100\text{mV}$ (0.9V)		5			us
Td	Reset delay time after VTH trigger	Tr=80us		20		us
VOH	POR output high voltage	No load		VDD		V
		Isource=30uA, VDD≥1V		0.8*VDD		V
		Isource=100uA, VDD≥1.8V		0.8*VDD		V
VOL	POR output low voltage	No load		GND		V

25.5 PLL Electrical Specification

Table 25-5 PLL DC Characteristics (Unless otherwise specified, $T_{opr}=25^{\circ}\text{C}$, $V_{DD}=1.8\text{V}$)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
AVDD	Supply Voltage		1.6	1.8	2	V
DVDD	Digital Supply Voltage		1.6	1.8	2	V
Is	Supply Current	normal		5		mA
VIH	Input High Voltage		DVDD-0.3			V
VIL	Input Low Voltage				DGND+ 0.3	V

Table 25-6 PLL Input Frequency (Unless otherwise specified, $T_{opr}=25^{\circ}\text{C}$, $V_{DD}=1.8\text{V}$)

Symbol	Parameter	Min	Typ	Max	Unit
Fin	Input Frequency	1		16	Mhz

25.6 ADC Electrical Specification

Table 25-7 ADC Recommended operating conditions

Symbol	Parameter	Min	Typ	Max	Unit
AVDD	Analog Supply Voltage	3	3.3	3.6	V
DVDD	Digital Supply Voltage	1.6	1.8	2	V
IR	Input Voltage	0		AVDD	

Table 25-8 ADC DC Characteristics (Unless otherwise specified, T_{opr}=25°C, VDD=1.8V)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
VIH	Input High Voltage		1.5			V
VIL	Input Low Voltage				0.8	V
PWR	Power Consumption (AVG)	Normal		0.9		mA
		Power Down		1		uA

Table 25-9 Analog Characteristics

Symbol	Parameter	Condition	Min	Typ	Max	Unit
INL	Integral Non-Linearity			±1		LSB
DNL	Differential Non-Linearity			±0.7		LSB
SNDR	Signal-To-Noise Rate	Nyquist-sampling		58		dB

25.7 Power Consumption

Table 25-10 Power Consumption from different conditions

Condition	Freq.	Typ.
CPU running from flash LCD displaying and Sound playing from NAND Flash file system	101Mhz	512.7mW
	108Mhz	525.3mW
CPU running from flash	96Mhz	341mW

26 PACKAGE DIMENSION

Unit: mm

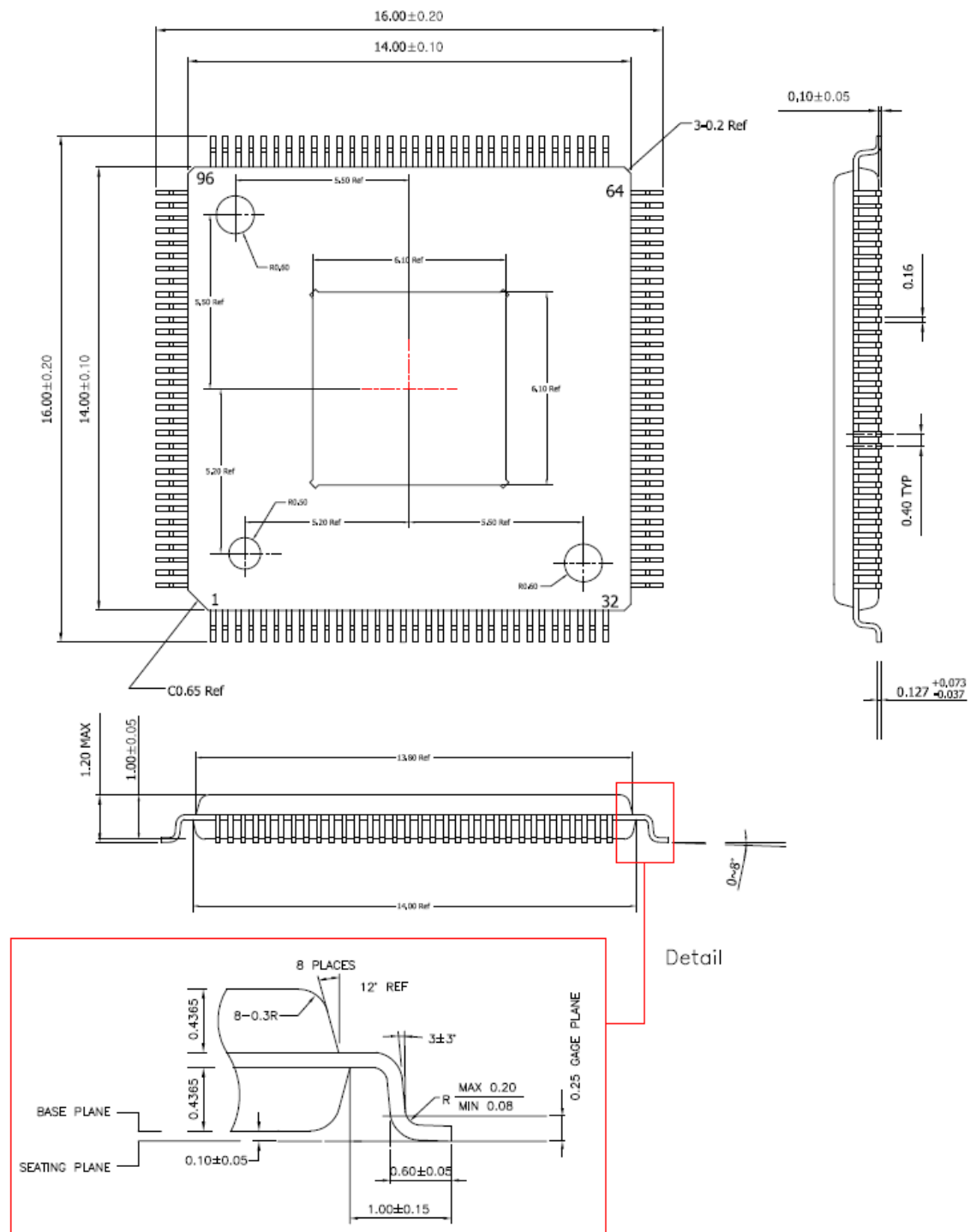


Figure 26-1 Package Dimension