



Preliminary Data Book

EAGLE

Ver 1.6
October 5, 2011

Advanced Digital Chips, Inc.

History

2007.07.19, Ver 0.1	CRT Clock Source Select Register Modify PLL Clock Mask Bit Register Add GDMA Request Status, Control Register Modify
2007.07.31, Ver 0.2	Graphic Engine Control Register Modify
2007.08.24, Ver 0.3	Added CRTC, Graphic Engine Control Register Description Removed Local Memory Data[31:16] of PinMux (Modified Pin Information / Description, PinMux) Modified Sound Channel On/Off Register (Set/Clear)
2007.08.28, Ver 0.4	Modified Key Scan Control Register, UART Description
2007.08.31, Ver 0.5	Added USB Host
2007.09.10, Ver 0.6	Modified H.264 Feature Modified I2S with ADPCM Control, Mode Register Modified Figure TWI Slave Flow Chart(Interrupt Mode) Added Figure Package Dimension Modified Sound Register name & Default value. Modified JPEG Command Control Register. Modified DMA Request Status & Synchronization Register.
2007.09.11, Ver 0.7	Modified Memory Map, Register Offset Address of MJPEG Decoder Added Default Value of PLL Added Register Summary Added Register Short Name Modified Contents
2007.10.19, Ver 0.8	Added BGA Package Dimension, Ball Number
2007.11.09, Ver 0.9	Modified Sound Mixer, I2S, GPIO, PinMux Modified Pin Information
2007.11.15, Ver 1.0	Modified SPI Status Register, Interrupt Priority Description, Timer Register Short name
2007.11.19, Ver 1.1	Modified Data Bus Width only 32 bit support of Memory Bank 5 ~ 6(SDRAM) Modified SPI Description
2007.11.29, Ver 1.2	Modified CABGA Package Ball number
2007.12.11, Ver 1.2	Added GPIO Mapping
2008.05.28, Ver 1.2	Fixed PWM Wave output level initial value Removed RTC interrupt period setting Register bits.
2008-06-03, Ver 1.2	Fixed USBLBFN, USBHBFN, USBLBOWC, USBHBOWC Register (R/W -> R)
2008-09-18, Ver 1.2	Added TWI Baud-rate Register Setting Reference Table

EAGLE**High Performance Multi-media Processor
Data Book**

© 2007 Advanced Digital Chips, Inc.

All right reserved. No part of this document may be reproduced in any form without written permission from Advanced Digital Chips, Inc.

Advanced Digital Chips, Inc. reserves the right to change in its products or product specification to improve function or design at any time, without notice.

Office8F, KookMin 1 Bldg., 1009-5, Daechi-Dong,
Gangnam-Gu, Seoul, 135-280, Korea

CONTENTS

1	DESCRIPTIONS AND FEATURES	14
1.1	GENERAL DESCRIPTION.....	14
1.2	FEATURES	14
2	BLOCK DIAGRAM & PIN DESCRIPTION	17
2.1	BLOCK DIAGRAM	17
2.2	PACKAGE DIMENSION	18
2.3	PIN INFORMATION	20
2.4	PIN DESCRIPTION	25
3	REGISTER DESCRIPTIONS.....	34
3.1	SYSTEM.....	45
3.1.1	System ID Register (SYSID).....	45
3.1.2	Configuration Register (CFG).....	45
3.1.3	USB Host/Device Select Register (USBSEL).....	45
3.2	PIN MUX	46
3.2.1	Pin Mux Control Register 0 (PINMUX0)	46
3.2.2	Pin Mux Control Register 1 (PINMUX1)	47
3.2.3	Pin Mux Control Register 2 (PINMUX2)	47
3.2.4	Pin Mux Control Register 3 (PINMUX3)	48
3.2.5	Pin Mux Control Register 4 (PINMUX4)	49
3.2.6	Pin Mux Control Register 5 (PINMUX5)	50
3.2.7	Pin Mux Control Register 6 (PINMUX6)	51
3.2.8	Pin Mux Control Register 7 (PINMUX7)	51
3.3	LOCAL & TEXTURE MEMORY CONTROL REGISTERS.....	52
3.3.1	Local Memory Bank Control Register (MEMCONn)	52
3.3.2	Local SDRAM Clock Delay & Refresh Control (MEMCLKCON)	56
3.3.3	Frame Memory Area Start Address (FMASA).....	57
3.3.4	1 MHz Frequency Generation Register (1MFREQGEN).....	57
3.3.5	Texture Memory Control Register (TMEMCON).....	58
3.3.6	Texture SDRAM Clock Delay & Refresh Control (TMEMCLKCON).....	58
3.3.7	Texture Memory Area Start Address (TMASA)	59
3.4	GENERAL DMA.....	60
3.4.1	GDMA Interrupt Status Register (GDMASTAT)	66
3.4.2	GDMA Interrupt Mask Register (GDMAIM).....	66
3.4.3	GDMA Enable Status Register (GDMAESTAT).....	66
3.4.4	GDMA Request Status & Synchronization Register (GDMARSS).....	67
3.4.5	GDMA Configuration Register (GDMACFG).....	68
3.4.6	GDMA Last Request Register (GDMALR)	68
3.4.7	GDMA Control Register (GDMACONn).....	69
3.4.8	GDMA Source Address Register (GDMAStn)	70
3.4.9	GDMA Destination Address Register (GDMAStn)	70
3.4.10	GDMA Transfer Count Register (GDMAStn).....	70
3.4.11	GDMA Descriptor Table Address Register (GDMAStn)	70
3.5	INTERRUPT CONTROLLER	71
3.5.1	External Interrupt Source Select & Interrupt Mode Register (INTMOD)	72
3.5.2	Interrupt Vector Register (INTVEC).....	73
3.5.3	Interrupt Vector Clear Register (INTVECCLR)	73
3.5.4	Interrupt Enable Register (INTEN)	74
3.5.5	Interrupt Status Register (INTSTAT)	75
3.5.6	Interrupt Priority Programmable Register (INPPRn).....	76
3.5.7	Interrupt Trigger Mode Register (IRQTRMD)	77
3.5.8	Interrupt Output Masking Register (INTMSK)	78
3.5.9	MCU Core Handshake Register (INTHSMCU).....	78
3.6	NAND FLASH CONTROLLER.....	79
3.6.1	NAND Flash Memory Control Register (NFMCON)	82

3.6.2	NAND Flash Memory Command Set Register (NFMCMD).....	83
3.6.3	NAND Flash Memory Address Register (NFMADDR)	83
3.6.4	NAND Flash Memory Data Register (NFMDATA).....	83
3.6.5	NAND Flash Memory DMA Data Register (NFMDMA)	84
3.6.6	NAND Flash Memory Direct Read Destination Address Register (NFMDIR)	84
3.6.7	NAND Flash Memory Operation Status Register (NFMSTAT).....	84
3.6.8	NAND Flash Memory Low / High Start Address Register (NFMLSM / NFMHSM).....	84
3.6.9	NAND Flash Memory ECC(Error Correction Code) Register (NFMECC).....	85
3.6.10	NAND Flash Memory ECC Code for LSN data (NFMECCL)	85
3.6.11	NAND Flash Memory Configuration Register (NFMCFG)	85
3.7	CRT CONTROLLER	86
3.7.1	CRT Base Address Register(CRTBA).....	87
3.7.2	CRT Horizontal Total Register(CRHT).....	87
3.7.3	CRT Horizontal Sync. Start / End Register(CRTHS)	87
3.7.4	CRT Horizontal Active Start / End Register(CRTHA).....	88
3.7.5	CRT Vertical Total Register(CRTVT)	88
3.7.6	CRT Vertical Sync. Start / End Register(CRTVS)	88
3.7.7	CRT Vertical Active Start / End Register(CRTVA)	88
3.7.8	CRT Display Current X / Y Position Register(CRTXY).....	89
3.7.9	CRT Status Register(CRTSTAT).....	89
3.7.10	CRT Control Register(CRTCON).....	90
3.7.11	CRT Overlay & DAC Control Register(CRTOEDAC).....	92
3.7.12	CRT Color Key Register(CRTCKR).....	92
3.7.13	CRT Color Key Register2(CRTCKR2).....	92
3.7.14	CRT Frame Sync Count Register(CRTFSCR).....	92
3.7.15	CRT VESA Power Management Control Register(CRTPM).....	92
3.8	GRAPHIC CONTROLLER.....	100
3.8.1	Packet Write Pointer Register (GRAPWP)	100
3.8.2	Packet Read Pointer Register (GRAPRP).....	100
3.8.3	Rendering Control Register (GRARCON).....	100
3.8.4	Current Display Bank Register (GRACDB).....	101
3.8.5	Flip Command Count Register (GRAFCC).....	101
3.8.6	Non-Texture Memory Mode Register (GRANONTEXTURE).....	101
3.9	H.264 DECODER	103
3.9.1	Features	103
3.9.2	Block Diagram	103
3.9.3	Decoding Operation Related Registers.....	103
3.9.3.1	Decoder Enable Register (H264DON).....	103
3.9.3.2	Decoder Mode Register (H264DECMODE).....	104
3.9.3.3	Decoder Endian Register (H264ENDIAN)	104
3.9.3.4	Error Detection Register (H264ERRON).....	104
3.9.3.5	Bit-stream Buffer Start Address Register (H264BSA).....	104
3.9.3.6	Bit-stream Buffer End Address Register (H264BEA).....	105
3.9.3.7	Bit-stream Buffer Read Address Register (H264BRA).....	105
3.9.3.8	Bit-stream Buffer New Read Address Register (H264BRAW).....	105
3.9.4	Decoded Image Related Registers.....	105
3.9.4.1	Y0 Frame Buffer Start Address Register (H264Y0SA)	105
3.9.4.2	Y1 Frame Buffer Start Address Register (H264Y1SA)	105
3.9.4.3	Y2 Frame Buffer Start Address Register (H264Y2SA)	105
3.9.4.4	C0 Frame Buffer Start Address Register (H264C0SA).....	106
3.9.4.5	C1 Frame Buffer Start Address Register (H264C1SA).....	106
3.9.4.6	C2 Frame Buffer Start Address Register (H264C2SA).....	106
3.9.4.7	Horizontal Size of Decoded Image 0 Register (H264F0MXS)	106
3.9.4.8	Vertical Size of Decoded Image 0 Register (H264F0MYS)	106
3.9.4.9	Horizontal Size of Decoded Image 1 Register (H264F1MXS)	107
3.9.4.10	Vertical Size of Decoded Image 1 Register (H264F1MYS)	107
3.9.4.11	Horizontal Size of Decoded Image 2 Register (H264F2MXS)	107
3.9.4.12	Vertical Size of Decoded Image 2 Register (H264F2MYS)	107
3.9.4.13	Horizontal Size of Scaler Output Register (H264XOUTP).....	107
3.9.4.14	Vertical Size of Scaler Output Register (H264YOUTP).....	108
3.9.4.15	Decoder Frame Buffer Pointer Register (H264FP)	108
3.9.4.16	Scaler Frame Buffer Pointer Register (H264SP).....	108
3.9.4.17	Scaler Enable Register (H264SON)	108
3.9.4.18	Scaler Endian Register (H264SWAP).....	108
3.9.5	Decoding Interrupt Related Registers.....	109

3.9.5.1	Interrupt Enable Register (H264INT).....	109
3.9.5.2	Interrupt Flag Register (H264FLAG).....	109
3.9.5.3	Interrupt Half Address Register (H264IHA)	109
3.9.5.4	Interrupt End Address Register (H264IEA)	109
3.9.6	Decoded Image Data Path.....	109
3.9.7	H/W Simulation Method	110
3.10	PLL & POWER MANAGER	111
3.10.1	System Clock Source Select Register (SPLLCKSEL).....	111
3.10.2	System PLL Control Register (SPLLCON)	111
3.10.3	System PLL Program Register (SPLLPMN).....	112
3.10.4	CRT Clock Source Select Register (CPLLCKSEL).....	113
3.10.5	CRT PLL Control Register (CPLLCON)	113
3.10.6	CRT PLL Program Register (CPLLPMN).....	113
3.10.7	USB Clock Source Select Register (UPLLCKSEL).....	114
3.10.8	USB PLL Control Register (UPLLCON).....	114
3.10.9	USB PLL Program Register (UPLLPMN).....	114
3.10.10	H264/MJPEG Clock Enable bit Register (HMCLKEN)	114
3.11	SD CARD CONTROLLER	115
3.11.1	Features.....	115
3.11.2	Block Diagram.....	115
3.11.3	SD Bus Protocol	115
3.11.3.1	No Response and No Data Operations	116
3.11.3.2	Data Read Operation	116
3.11.3.3	Data Write Operation	116
3.11.4.1	SDC Control Register (SDCCON).....	117
3.11.4.2	SDC Status Register (SDCSTAT).....	118
3.11.4.3	SDC Clock Divide Register (SDCCD).....	119
3.11.4.4	SDC Response Time Out Register (SDCRTO)	119
3.11.4.5	SDC Read Data Time Out Register (SDCRDTO).....	119
3.11.4.6	SDC Block Length Register (SDCBL).....	120
3.11.4.7	SDC Number of Block Register (SDCNOB)	120
3.11.4.8	SDC Interrupt Enable Register (SDCIE).....	120
3.11.4.9	SDC Command Control Register (SDCCMDCON).....	121
3.11.4.10	SDC Command Argument Register (SDCCMDA).....	121
3.11.4.11	SDC Response FIFO Access Register (SDCRFA)	121
3.11.4.12	SDC Data FIFO Access Register (SDCDFA).....	121
3.12	SOUND MIXER.....	122
3.12.1	Features.....	122
3.12.2	Block Diagram.....	122
3.12.3	Channel Register Map	123
3.12.3.1	Sound Data Channel n Control Register (SNDCONn).....	123
3.12.3.2	Sound Data Channel n Start Address Set Register (SNDADRn).....	124
3.12.3.3	Sound Data Channel n Size Set Register (SNDSTZn)	124
3.12.3.4	Sound Data Channel On / Status Register (SNDCHON).....	124
3.12.3.5	Sound Data Channel Interrupt Status Register (SNDIRQSTAT).....	125
3.12.4	Status and Playback Set Register Map	125
3.12.4.1	Sound Mixer Playback Set Register (SNDPLAY)	125
3.12.5	Test Mode Register Map	126
3.12.5.1	Sound Data Channel n FIFO Buffer Register (SNDLBUFn).....	126
3.12.5.2	Sound Data Channel n FIFO Level Status Register (SNDLEVn)	126
3.12.6	Audio Serial Interface Format.....	126
3.12.6.1	MSB (Left)-justified format	126
3.12.6.2	Codec clock and Serial bit clock frequency	127
3.12.6.3	Volume and Balance Control	127
3.13	CRT GUN.....	128
3.13.1	Description	128
3.13.2	Features.....	128
3.13.3	Block Diagram.....	128
3.13.4	CRT GUN Control Register (GUNCON).....	129
3.13.5	CRT GUN 0/1 X Position Register (GUNXP0 \ GUNXP1)	129
3.13.6	CRT GUN 0/1 Y Position Register (GUNYP0 \ GUNYP1).....	129
3.13.7	CRT GUN Interrupt Status Register (GUNIRQSTAT).....	129
3.13.8	CRT GUN Group Interrupt Handling.....	130
3.14	VIDEO ENCODER	131
3.14.1	Multi-Standard.....	131

3.14.2	Features	131
3.14.3	General Description.....	132
3.14.4	Encoder Control Register Lists	137
3.14.5	Enc_Mode Register (ENCMODE)	137
3.14.6	Enc_Hue Adjust Register (ENCHUE).....	138
3.14.7	Enc_VPC Register (ENCVPC).....	138
3.14.8	Enc_HPC Register (ENCHPC).....	138
3.14.9	Enc_Test Register (ENCTEST)	139
3.14.10	Enc_Brightness Register (ENCBRIGHT).....	139
3.14.11	Enc_Contrast Register (ENCCONTRAST).....	139
3.14.12	Enc_Saturation Register (ENCSATURATION).....	139
3.15	CSC IMAGE CAPTURER.....	141
3.15.1	Description.....	141
3.15.2	Features	141
3.15.3	Block Diagram	141
3.15.4	Operational Descriptions.....	142
3.15.5	Engine Control Register (CSCICCON).....	142
3.15.6	Pixel Gain Control Register (CSCICPGCON).....	144
3.15.7	X Coordinate Down Scaling Control Register (CSCICXDSCON).....	144
3.15.8	Y Coordinate Down Scaling Control Register (CSCICYDSCON)	145
3.15.9	Rendering X Start Point Register (CSCICXSP)	145
3.15.10	Rendering Y Start Point Register (CSCICYSP).....	145
3.16	OSD CONTROLLER	146
3.16.1	Features	146
3.16.2	Block Diagram	146
3.16.3	OSD Control Register (OSDCON).....	147
3.16.4	OSD Transparent Color Register (OSDTC).....	147
3.16.5	Alpha Blending Control Register (OSDACON)	147
3.16.6	OSD Alpha Blending Color Register 0 (OSDAC0)	148
3.16.7	OSD Alpha Blending Color Register 1 (OSDAC1)	148
3.16.8	OSD Alpha Blending Color Register 2 (OSDAC2).....	148
3.16.9	OSD Alpha Blending Color Register 3 (OSDAC3).....	148
3.16.10	OSD Frame Memory Start Address Register (OSDFMSA).....	148
3.16.11	Palette RAM Data Register (OSDPRD)	149
3.16.12	First OSD window start position Register (OSDWS0).....	149
3.16.13	First OSD window size Register (OSDWS0).....	149
3.16.14	Second OSD window start position Register (OSDWSP1).....	150
3.16.15	Second OSD window size Register (OSDWS1)	150
3.17	JPEG IMAGE CAPTURER	151
3.17.1	Description.....	151
3.17.2	Features	151
3.17.3	Block Diagram	151
3.17.4	Operational Descriptions.....	152
3.17.5	Engine Control Register (JICCON)	152
3.17.6	Pixel Gain Control Register (JICPGCON)	153
3.17.7	Rendering X Start Point Register (JICXSP).....	154
3.17.8	Rendering Y Start Point Register (JICYSP)	154
3.17.9	Rendering Base Start Address Register (JICBSA)	154
3.17.10	Rendering Status Register (JICSTAT).....	154
3.17.11	Rendering Y Offset Address Register (JICYOFFA).....	155
3.18	USB HOST CONTROLLER.....	156
3.18.1	Host Controller Features	156
3.18.2	Host Controller Operational Registers	156
3.19	YC IMAGE CAPTURER.....	157
3.19.1	Description.....	157
3.19.2	Features	157
3.19.3	Block Diagram	157
3.19.4	Operational Descriptions.....	158
3.19.5	Engine Control Register (YCICCON)	158
3.19.6	Y Buffer 0 Start Address Register (YCICYB0SA)	159
3.19.7	Y Buffer 1 Start Address Register (YCICYB1SA)	159
3.19.8	Y Buffer 2 Start Address Register (YCICYB2SA)	160

3.19.9	C Buffer 0 Start Address Register (YCICCB0SA).....	160
3.19.10	C Buffer 1 Start Address Register (YCICCB1SA).....	160
3.19.11	C Buffer 2 Start Address Register (YCICCB2SA).....	160
3.19.12	Input Source Image X Size Register (YCICISXS).....	160
3.19.13	Input Source Image Y Size Register (YCICISYS).....	160
3.19.14	Output Image X Size Register (YCICOXS)	161
3.19.15	Output Image Y Size Register (YCICOYS).....	161
3.20	UART	162
3.20.1	UART Channel 0~3 Receiver Buffer Register (URB0 ~ URB3)	166
3.20.2	UART Channel 0~3 Transmitter Holding Register (UTH0 ~ UTH3).....	166
3.20.3	UART Channel 0~3 Interrupt Enable Register (UIE0 ~ UIE3).....	167
3.20.4	UART Channel 0~3 Interrupt Identification Register (UII0 ~ UII3).....	167
3.20.5	UART Channel 0~3 FIFO Control Register (UFCON0 ~ UFCON3)	168
3.20.6	UART Channel 0~3 Line Control Register (ULCON0 ~ ULCON3).....	168
3.20.7	UART Channel 0~3 Line Status Register (ULSTAT0 ~ ULSTAT3).....	169
3.20.8	UART Channel 0~3 Divisor Latch LSB Register (UDLL0 ~ UDLL3).....	169
3.20.9	UART Channel 0~3 Divisor Latch MSB Register (UDLM0 ~ UDLM3)	170
3.20.10	Operation Sequence Flow.....	170
3.21	KEY SCAN	171
3.21.1	Description	171
3.21.2	Features.....	171
3.21.3	Block Diagram.....	171
3.21.4	Operational Descriptions	171
3.21.5	Key Scan Control Register (KSCON)	172
3.21.6	Key Scan Counter Register (KSCNT)	172
3.21.7	Key Scan Data Register 1 (KSD1).....	172
3.21.8	Key Scan Data Register 2 (KSD2).....	173
3.22	I2S WITH ADPCM	174
3.22.1	Features.....	174
3.22.2	Block Diagram.....	174
3.22.3	Register Map.....	175
3.22.3.1	I2S Control Register (I2SCON)	175
3.22.3.2	I2S Mode Register (I2SMOD)	176
3.22.3.3	I2S Pre-scaler Register (I2SPS).....	176
3.22.3.4	I2S Status Register (I2SSTAT)	177
3.22.3.5	I2S Data Register (I2SDATA)	177
3.22.4	Example for Register Set	178
3.22.4.1	To Start I2S operation.....	178
3.22.4.2	To End I2S operation.....	178
3.22.5	Audio Serial Interface Format.....	178
3.22.5.1	I2S-bus format.....	178
3.22.5.2	MSB(Left)-justified format	178
3.22.6	Sampling Frequency and Master Clock.....	179
3.22.6.1	CODEC Clock.....	179
3.22.6.2	Serial bit clock frequency	179
3.23	USB DEVICE	180
3.23.1	Features.....	180
3.23.2	USB Register Summary.....	180
3.23.3	USB Control Registers.....	182
3.23.3.1	USB Function Address Register (USBFA)	182
3.23.3.2	USB Power Management Register (USBPM)	182
3.23.3.3	Endpoint Interrupt Register (USBEP1).....	183
3.23.3.4	USB Interrupt Register (USBINT).....	184
3.23.3.5	Endpoint Interrupt Enable Register (USBEP1EN).....	184
3.23.3.6	USB Interrupt Enable Register (USBINTEN).....	184
3.23.3.7	USB Low Byte Frame Number Register (USBLBFN).....	184
3.23.3.8	USB High Byte Frame Number Register (USBHBFN)	184
3.23.3.9	USB Index Register (USBIND)	185
3.23.3.10	USB MAXP Register (USBMP).....	185
3.23.3.11	USB EP0 Control Register (USBEP0CON)	185
3.23.3.12	USB IN Control 1 Register (USBICON1)	186
3.23.3.13	USB IN Control 2 Register (USBICON2)	187
3.23.3.14	USB OUT Control Register 1 (USBOCON1).....	187
3.23.3.15	USB OUT Control Register 2 (USBOCON2).....	188
3.23.3.16	USB Low Byte Out Write Count Register (USLBOWC).....	188

3.23.3.17	USB High Byte Out Write Count Register (USBHBOWC)	188
3.23.3.18	EP0 FIFO Data Register (USBEP0D)	188
3.23.3.19	EP1 FIFO Data Register (USBEP1D)	188
3.23.3.20	EP2 FIFO Data Register (USBEP2D)	189
3.23.3.21	EP3 FIFO Data Register (USBEP3D)	189
3.23.3.22	EP4 FIFO Data Register (USBEP4D)	189
3.24	WATCH DOG TIMER.....	190
3.24.1	Watch Dog Timer Control Register (WDCON).....	190
3.24.2	Watch Dog Timer Count Register (WDCNT).....	190
3.25	TIMER / PWM / CAPTURE	191
3.25.1	Introduction.....	191
3.25.2	10bit Pre-scale	191
3.25.3	Timer/Counter.....	191
3.25.4	PWM.....	191
3.25.5	Capture Mode.....	192
3.25.6	Timer Registers	193
3.25.6.1	Timer Clock Selection Register (TCSR0 / TCSR1 / TCSR2 / TCSR3)	193
3.25.6.2	Timer Control Register (TCON0 / TCON1 / TCON2 / TCON3).....	193
3.25.6.3	Timer Counter / Output Period Register (TCNT0 / TCNT1 / TCNT2 / TCNT3).....	194
3.25.6.4	Capture Counter / PWM Duty Compare Register (TDUT0 / TDUT1 / TDUT2 / TDUT3)	194
3.25.6.5	Output Pulse Count Register (TPUL0 / TPUL1 / TPUL2 / TPUL3).....	194
3.25.7	Interrupts.....	194
3.26	GPIO	195
3.26.1	Features	195
3.26.2	Register Map	195
3.26.2.1	Port Direction Register (PxDIR)	195
3.26.2.2	Port Direction Output Mode Register (PxOUT).....	195
3.26.2.3	Port Direction Input Mode Register (PxIN)	195
3.26.2.4	Port Output Data Level Register (PxOLEV).....	196
3.26.2.5	Port Output Data High Level Setting Register (PxOH).....	196
3.26.2.6	Port Output Data Low Level Setting Register (PxOL).....	196
3.26.2.7	Port Input Data Level Register (PxILEV).....	196
3.26.3	Mapping	197
3.27	REAL TIME CLOCK.....	198
3.27.1	RTC Control Register (RTCCON).....	198
3.27.2	SEC Register (RTCSEC)	198
3.27.3	MIN Register (RTCMIN).....	198
3.27.4	HOUR Register (RTCHOUR)	198
3.27.5	DAY Register (RTCDAY)	199
3.27.6	WEEK Register (RTCWEEK).....	199
3.27.7	MONTH Register (RTCMON).....	199
3.27.8	YEAR Register (RTCYEAR)	199
3.28	TWI CONTROLLER.....	200
3.28.1	Features	200
3.28.2	TWI Controller Block Diagram.....	200
3.28.3	DATA TRANSFER FORMAT	201
3.28.4	START AND STOP CONDITION.....	201
3.28.5	ACK SIGNAL TRANSMISSION	202
3.28.6	READ-WRITE OPERATION.....	202
3.28.7	BUS ARBITRATION PROCEDURES	203
3.28.8	ABORT CONDITION.....	203
3.28.9	Operational Flow Diagrams	204
3.28.9.1	TWI initialization	204
3.28.9.2	TWI Transmit/Receive Flow chart.....	205
3.28.10	TWI Registers	209
3.28.10.1	TWI Control Register (TWICON).....	209
3.28.10.2	TWI Status Register (TWISTAT).....	210
3.28.10.3	TWI Address Register (TWIADDR)	211
3.28.10.4	TWI Data Register (TWIDATA).....	211
3.28.10.5	TWI Baud-rate 0 Register (TWIBR0)	211
3.28.10.6	TWI Baud-rate 1 Register (TWIBR1).....	211
3.29	SPI(SERIAL PERIPHERAL INTERFACE).....	213
3.29.1	Features	213
3.29.2	SPI Block Diagram	213
3.29.3	SPI Pins.....	213

3.29.4	<i>SPI Operating Modes</i>	214
3.29.4.1	<i>Master Mode</i>	214
3.29.4.2	<i>Slave Mode</i>	215
3.29.5	<i>SCK Phase and Polarity Control</i>	215
3.29.6	<i>Data Transfer Timing</i>	215
3.29.7	<i>SPI Register Description</i>	216
3.29.7.1	SPI Control Register (SPICON).....	216
3.29.7.2	SPI Baud Rate Register (SPIBR)	217
3.29.7.3	SPI Status Register (SPISTAT).....	217
3.29.7.4	SPI Data Register (SPID)	218
3.29.7.5	SPI SSX Control Register (SPISCON).....	218
3.29.7.6	SPI Interrupt Mask Register (SPIIM)	219
3.29.7.7	SPI Transfer Mode Register (SPITM).....	219
3.29.7.8	SPI Clock Select Register (SPICS)	220
3.29.7.9	SPI Response Character Register (SPIRC).....	220
3.30	<i>JPEG DECODER</i>	221
3.30.1	<i>JPEG DECODER MCU WIDTH Register (JDMWIDTH)</i>	224
3.30.2	<i>JPEG DECODER MCU HEIGHT Register (JDMHEIGHT)</i>	224
3.30.3	<i>JPEG DECODER Quantization Scale Control Register (JDQSC)</i>	224
3.30.4	<i>JPEG DECODER Command Control Register (JDCOMCON)</i>	224
3.30.5	<i>JPEG DECODER Y DC NODE Table (JDYDCNT)</i>	225
3.30.6	<i>JPEG DECODER Y DC LEAF Table (JDYDCLT)</i>	225
3.30.7	<i>JPEG DECODER Y AC NODE Table (JDYACNT)</i>	225
3.30.8	<i>JPEG DECODER Y AC LEAF Table (JDYACLT)</i>	225
3.30.9	<i>JPEG DECODER UV DC NODE Table (JDUVDCNT)</i>	225
3.30.10	<i>JPEG DECODER UV DC LEAF Table (JDUVDCLT)</i>	225
3.30.11	<i>JPEG DECODER UV AC NODE Table (JDUVACNT)</i>	225
3.30.12	<i>JPEG DECODER UV AC LEAF Table (JDUVACLT)</i>	226
3.30.13	<i>JPEG DECODER STATUS Register (JDSTAT)</i>	226
3.30.14	<i>JPEG DECODER IRQ STATUS Register (JDIRQSTAT)</i>	226
3.30.15	<i>JPEG DECODER Data FIFO Status Register (JDDFSTAT)</i>	226
3.30.16	<i>JPEG DECODER Enable Register (JDENA)</i>	226
3.30.17	<i>JPEG DECODER FIFO Clear Register (JDFCLR)</i>	227
3.30.18	<i>JPEG DECODER FIFO Control Register (JDFCON)</i>	227
3.30.19	<i>JPEG DECODER WAITE CONTROL Register (JDWCON)</i>	227
3.30.20	<i>JPEG DECODER SOFTWARE RESET Register (JDSRST)</i>	227
3.30.21	<i>JPEG DECODER INPUT DATA FIFO Register (JDIDF)</i>	227
3.31	<i>INTERNAL MEMORY CONTROLLER</i>	228
3.31.1	<i>Features</i>	228
3.31.2	<i>Block diagram</i>	228
3.31.3	<i>Memory Map</i>	228
3.32	<i>AE32000C SYSTEM CO-PROCESSOR</i>	229
3.32.1	<i>General description</i>	229
3.32.2	<i>System Coprocessor Register</i>	230
3.32.2.1	Status Register(Read Only)	230
3.32.2.2	Master Command Register	231
3.32.2.3	Supervisor/OSI Stack Pointer Register.....	232
3.32.2.4	User Stack Pointer Register.....	232
3.32.2.5	Vector Base Register	232
3.32.2.6	Cache Invalidation Register	232
3.32.2.7	Memory Bank Register	232
3.32.2.8	Sub-bank Index/Configuration Register	233
3.32.2.9	TLB Index Register.....	233
3.32.2.10	TLB Virtual Address Register	234
3.32.2.11	TLB Physical Address Register	234
3.32.2.12	Sub-bank Address Register : Indexed by SCP %R8	234
3.32.2.13	General Access Point Data Register.....	235
3.32.2.14	General Access Point Index Register.....	235
3.32.2.15	OSI RS-232C Transmit Data Register	235
3.32.2.16	OSI RS-232C Receive Data Register.....	235
3.32.2.17	OSI Index Register.....	235
3.32.2.18	OSI Data Register	236
3.32.2.19	OSI RS-232C Status Register	236
3.32.2.20	OSI RS-232C Control Register.....	236
3.32.2.21	OSI Channel Valid Register.....	237

3.33	JTAG OF EAGLE	238
3.33.1	Features	238
3.33.2	Block diagram	238
3.33.3	Description.....	238
3.33.3.1	JTAG Instruction.....	238
3.33.3.2	Tap Controller	239
3.33.3.3	Boundary scan register	240
4	ELECTRICAL CHARACTERISTICS.....	244

Preliminary

Figures

그림 2-1 TOP BLOCK DIAGRAM.....	17
그림 2-2 LQFP PACKAGE DIMENSION	18
그림 2-3 CABGA PACKAGE DIMENSION.....	19
그림 3-1 ROM/SRAM/IO TIMING DIAGRAM	53
그림 3-2 STRUCTURE OF DMA CONTROLLER.....	60
그림 3-3 STRUCTURE OF DMA DESCRIPTOR	62
그림 3-4 EXAMPLE OF DMA DESCRIPTOR FLOW	63
그림 3-5 STRUCTURE OF INTERRUPT CONTROLLER	71
그림 3-6 INTERRUPT TRIGGER MODE DESCRIPTION	72
그림 3-7 NAND FLASH CONTROLLER BLOCK DIAGRAM	79
그림 3-8 TRANSMISSION THROUGH INTERNAL MEMORY(SRAM) OF NAND FLASH CONTROLLER	80
그림 3-9 READ/WRITE TIMING DIAGRAM OF NAND FLASH MEMORY BY NAND FLASH CONTROLLER	81
그림 3-10 AUTO BOOT MODE DIAGRAM.....	81
그림 3-11 CRT CONTROLLER BLOCK DIAGRAM	95
그림 3-12 CRT FIFO CONTROL BLOCK – RGB 16 BIT(5:6:5) FORMAT OPERATION	96
그림 3-13 CRTC HORIZONTAL, VERTICAL SYNC / ACTIVE SIGNAL TIMING.....	98
그림 3-14 H.264 DECODER BLOCK DIAGRAM	103
그림 3-15 DECODED IMAGE DATA PATH	110
그림 3-16 SDC BLOCK DIAGRAM.....	115
그림 3-17 SOUND MIXER BLOCK DIAGRAM	122
그림 3-18 MSB(LEFT)-JUSTIFIED FORMAT	126
그림 3-19 CRT GUN BLOCK DIAGRAM	128
그림 3-20 CRT GUN INTERRUPT HANDLING	130
그림 3-21 VIDEO ENCODER BLOCK DIAGRAM.....	132
그림 3-22 VIDEO ENCODER RELATIONSHIP BETWEEN ENCODER TIMING SIGNALS AND DATA (NTSC)	133
그림 3-23 VIDEO ENCODER RELATIONSHIP BETWEEN ENC_VAV AND ENC_HAV	133
그림 3-24 IN MASTER MODE OF VIDEO ENCODER, RELATIONSHIP BETWEEN ENC_VAV & ENC_VPC REG.	134
그림 3-25 VIDEO ENCODER NTSC SYSTEM CVBS TIMING & COLOR BURST PHASE	135
그림 3-26 VIDEO ENCODER PAL SYSTEM CVBS TIMING & COLOR BURST PHASE.....	135
그림 3-27 CSC IMAGE CAPTURER BLOCK DIAGRAM.....	141
그림 3-28 FRAME BUFFER SWITCHING & PIPE LINE OPERATION.....	143
그림 3-29 FRAME BUFFER ASSIGNMENT.....	143
그림 3-30 OSD BLOCK DIAGRAM.....	146
그림 3-31 EXAMPLE OSD WINDOW SET	149
그림 3-32 JPEG IMAGE CAPTURER BLOCK DIAGRAM	151
그림 3-33 JPEG ICE FRAME BUFFER SWITCHING & PIPE LINE OPERATION	153
그림 3-34 YC IMAGE CAPTURE ENGINE BLOCK DIAGRAM.....	157
그림 3-35 YC IMAGE CAPTURER BUFFER AND SCALER BUFFER SWITCHING & PIPE LINE OPERATION	158
그림 3-36 YC IMAGE CAPTURE Y / C BUFFER ASSIGNMENT	159
그림 3-37 UART BLOCK DIAGRAM.....	162
그림 3-38 UART Rx/Tx INTERRUPT AND DATA FLOW	163
그림 3-39 KEY SCAN BLOCK DIAGRAM.....	171
그림 3-40 5x5 KEY MATRIX.....	173
그림 3-41 KEY SCAN TIME DIAGRAM.....	173
그림 3-42 I2S WITH ADPCM BLOCK DIAGRAM	174
그림 3-43 I2S-BUS AND MSB(LEFT)-JUSTIFIED FORMAT	178
그림 3-44 PRE-SCALE BLOCK DIAGRAM.....	191
그림 3-45 PWM PULSE OUTPUT	192
그림 3-46 CAPTURE MODE TIMING DIAGRAM.....	192
그림 3-47 TWI CONTROLLER BLOCK DIAGRAM.....	200
그림 3-48 TWI-BUS INTERFACE DATA FORMAT	201

그림 3-49 DATA TRANSFER ON THE TWI-BUS	201
그림 3-50 ACK. SIGNAL TRANSMISSION.....	202
그림 3-51 BUS ARBITRATION PROCEDURES 1	203
그림 3-52 BUS ARBITRATION PROCEDURES 2	203
그림 3-53 TWI INITIALIZATION FLOW	204
그림 3-54 TWI MASTER TRANSMIT FLOW	205
그림 3-55 TWI MASTER RECEIVE FLOW	206
그림 3-56 TWI SLAVE OPERATION FLOW(POLLING)	207
그림 3-57 TWI SLAVE OPERATION FLOW(INTERRUPT).....	208
그림 3-58 SPI BLOCK DIAGRAM	213
그림 3-59 SCK PHASE AND POLARITY	215
그림 3-60 TRANSFER TIMING WHEN CPHA = '0'	216
그림 3-61 TRANSFER TIMING WHEN CPHA = '1'	216
그림 3-62 JPEG DECODER BLOCK DIAGRAM.....	221
그림 3-63 JPEG DECODER CORE BLOCK DIAGRAM.....	222
그림 3-64 JPEG DECODER SOFTWARE FLOW CHART.....	223
그림 3-65 INTERNAL MEMORY CONTROLLER BLOCK DIAGRAM.....	228
그림 3-66 JTAG BLOCK DIAGRAM	238
그림 3-67 TAP CONTROLLER OPERATION	239

Tables

⌘ 3-1 EAGLE MEMORY MAP(NORMAL BOOT)	34
⌘ 3-2 EAGLE MEMORY MAP(AUTO BOOT)	34
⌘ 3-3 EAGLE VIRTUAL MEMORY MAP.....	35
⌘ 3-4 EAGLE REGISTER OFFSET ADDRESS.....	36
⌘ 3-5 EAGLE REGISTER SUMMARY	44
⌘ 3-6 DMA REGISTERS TABLE	61
⌘ 3-7 DMA DESCRIPTOR SUMMARY	62
⌘ 3-8 INTERRUPT CONTROLLER REGISTERS TABLE	71
⌘ 3-9 INTERRUPT VECTOR & PRIORITY	73
⌘ 3-10 CRT CONTROLLER REGISTERS TABLE	87
⌘ 3-11 NATIONAL TV SIGNAL STANDARD.....	94
⌘ 3-12 32 BIT VIDEO DATA SERIALIZATION	97
⌘ 3-13 REGISTERS PROGRAMMING RESOLUTION REFERENCE TABLE FOR CRTIC.....	99
⌘ 3-14 RENDERING ENGINE COMMAND PACKET	102
⌘ 3-15 FREQUENCY BY P, M, N VALUE OF SPLL	112
⌘ 3-16 SAMPLING FREQUENCY AND CODEC CLOCK.....	127
⌘ 3-17 SAMPLING FREQUENCY AND SERIAL BIT CLOCK.....	127
⌘ 3-18 TOTAL LEVEL STEPS.....	127
⌘ 3-19 PAN POT STEPS	127
⌘ 3-20 VIDEO MULTI-STANDARD	131
⌘ 3-21 USB HOST REGISTERS LIST	156
⌘ 3-22 UART LCR REGISTER SETTING AND SERIAL DATA FORMAT	165
⌘ 3-23 REGISTER TABLE OF UART	166
⌘ 3-24 UART INTERRUPT CONTROL FUNCTION	167
⌘ 3-25 UART BAUD RATE SETTING.....	170
⌘ 3-26 SAMPLING FREQUENCY AND CODEC CLOCK	179
⌘ 3-27 SAMPLING FREQUENCY AND SERIAL BIT CLOCK	179
⌘ 3-28 ENDPOINT LIST.....	180
⌘ 3-29 USB CORE REGISTER LIST	180
⌘ 3-30 WATCH-DOG TIMER COUNTER SETTING.....	190
⌘ 3-31 SPI PIN FUNCTIONS	214
⌘ 3-32 INTERNAL MEMORY MAP.....	228
⌘ 3-33 BOUNDARY SCAN CELL INFORMATION	243
⌘ 4-1 DC SPECIFICATIONS 3.3V I/O, 5.0V TOLERANT.....	244

1 DESCRIPTIONS AND FEATURES

1.1 General Description

EAGLE is the 3rd generation of Adchips' multimedia processor. EAGLE is a super integrated SoC (System On a Chip) aimed at providing high performance multimedia functionality and low power consumption for Personal Multimedia Digital Assistance.

EAGLE incorporated 32bit CPU processor with integrated DSP support, H.264 Decoder, JPEG Decoder, 2D Graphic engine, Sound Mixer, CRT controller with OSD, Video Encoder, Video Decoder Interface Module, USB Host/Device and I/O peripheral components. EAGLE can reduce system cost significantly through eliminating not only system control CPU, but also graphic IC, Sound IC and Video Encoder as well as USB. EAGLE helps system designer reduce its engineering effort and time in developing a new system by adding only memory and I/O devices such as LCD panel, Flash and etc.

Therefore EAGLE is the best solution for multimedia player, portable karaoke, photo sticker, Digital Album, portable and arcade game and etc.

1.2 Features

32bit EISC(AE32000C) Processor Core

- Based On EISC Instruction Set Architecture.
- High Performance Integer Processing Core with DSP Capabilities
- 5-Stage Pipelining, Harvard Architecture, 16 General Purpose Registers (GPR) and 9 Special Purpose Registers (SPR)
- Supports AMBA 2.0 – AHB Master

On-Chip Cache Controller

Separated On-Chip Instruction/Data Cache

4-way Set Associative, 8KByte Instruction Cache, 8KByte Data Cache

On-Chip Memory Management Unit

Memory Protection Capabilities Based on Memory Bank and Sub-banking Scheme

Separated On-Chip Instruction/Data TLB, 4-Way Set Associative, 128-Entry

DSP function

Saturated Add, Average, Sum of Product, Pack

Shift/Rotate, ABS, Min/Max

Address Unit – Next Address, Reverse Address, Auto address

32 bit signed/unsigned multiply

32 bit signed multiply and accumulate

CRT Controller

- Supports VGA, TFT LCD and NTSC / PAL Display Monitor
- Supports display resolution up to 1024 x 768
- Support VESA DPMS for VGA monitor
- Horizontal and Vertical double scan control
- Serialization RGB data and 256 x 32 FIFO controls in CRTIC block
- Gun Interface
- Supports RGB 565 or RGB 888(Only JPEG Decoder Image) Output Format

Video Signal Processing

- Support External Video Sync. Dependent / Independent Mode
- Supports Internal Video Display Mode(Local Mode) and External Video & Overlay Mode(Remote Mode)
- Supports External Sync. Detection

Video Encoder

- Supports CVBS Analog Output for TV
- Supports NTSC/PAL Display Mode
- Supports Brightness, Contrast, Saturation, Hue Control

Graphic Engine

- Designed Based on OpenGL's Double buffer Architecture.
- Supports 16 / 8 / 4 bit color mode.
- Supports Tile Addressing / Font Addressing modes
- Supports Texture Mapping (Zoom In / Out, Rotate, Iteration, Clipping)
- Supports Shading/ Alpha Blending / Transparency / Dithering (2X2, 4X4)
- Supports Mosaic Mode
- Supports Non-Texture Memory Mode.
- Supports RGB 565

Video Decoder Interface Module(Including CSC Image Capturer)

- Supports Data Input Format 4:2:2, 8bit YCbCr
- Supports Interlace / Non-interlace Mode
- Color Space Conversion
- R/G/B Gain Control
- X/Y Down Scaling Mode & Display Position Control

Local Memory Controller

- Local / Frame Shared Memory (Local / Frame / Texture @ Non-texture memory mode)
- 64Mbyte Address Space per each Bank
- Support 7 Memory Banks
- Supports External Wait Signal to Expand The Bus Cycle
- Supports Self-refresh Mode in SDRAM for Power-down
- Supports SDRAM and Asynchronous type devices.
- Supports SDRAM of Full Page Mode
- 8/16/32 bit SRAM Memory Interface
- 32 bit SDRAM Memory Interface
- Includes direct write FIFO to enable fast burst mode write to frame buffer by the CPU
- Supports 32-bit data word size
- Supports 26-bit address bus size

Texture Memory Controller

- Max 128Mbyte Address Space
- 16 Bit Memory Interface
- Supports SDRAM of Full Page Mode

H.264 Decoder & Scaler

- H.264/AVC Baseline Compatible
- CIF 30 frame/sec @ 27MHz
- Supports decoding of YCbCr (4:2:0) format video
- Supports Scaling up to 720x480

JPEG Decoder

- ISO 10918-2 Base line JPEG Decoder
- Only Support Typical Huffman Table defined in annex K of Standard.
- Support YCbCr 4:2:2 / 4:2:0 Format
- Maximum Resolution:1024x768
- Only Support multiple of 32 image width
- Only Support multiple of 8 image height on 4:2:2 Image Format
- Only Support multiple of 16 image height on 4:2:0 Image Format
- Supports RGB 565 or 888 output format

Sound Mixer

- Maximum 8 Channel
- Sampling Range 0.172kHz ~ 88.2kHz
- Supports 4-ADPCM, 8/16-bit PCM
- Supports Volume and Left/Right Balance Control
- Output in Stereo 16-bit MSB(Left)-justified format
- I2S Audio Codec I/F (MCLK-384fs, SCLK-32fs)

SD Card Controller

- Support SD Memory Card (ver 1.1) / MMC (ver 3.31) compatible
- Support High Speed (25 MHz)
- Support 1bit / 4bit data bus
- Support DMA data transfer

Peripheral functions

- 2 Ch. GDMA
- I2S with ADPCM
- Key Scan (Max. 5 x 5)
- Programmable Priority Interrupt controller
- Watch dog Timer
- 4 Ch. UART with 16 * 8 bit FIFO
- USB Host/Device Controller (supports only full speed(12Mbps))
- GPIO
- 4 Ch. Timer (All Ch. are available for PWM/Capture).
- Nand Flash Controller (supports Auto boot mode)
- TWI
- RTC

- SPI

Clock & Power Manager

- On-chip SPLL, UPLL and CPLL
 - CPLL generates the clock to operate CRT.
 - UPLL generates the clock to operate USB Host/Device.
 - SPLL generates the clock to operate EAGLE.
- The clocks to each blocks can be selected by software.
- Power mode : Normal and Slow
 - Normal mode : Normal operating mode
 - Slow mode : Low frequency clock without PLL

Integration

- Internal SRAM 2KB
- Embedded Triple DAC
- Embedded PLL (SPLL, UPLL, CPLL)
- JTAG (Boundary Scan Test)
- Supports Memory BIST
- Full Scan

Process

- Maximum Frequency : 100MHz
- Operational Temperature : 0°C ~ 70 °C
- Maximum Power Dissipation : 1.6W
- 0.18um Standard CMOS Process
- 1.8V Core Voltage and 3.3V I/O Voltage Operation
- 256 LQFP or CABGA

Preliminary

2 BLOCK DIAGRAM & PIN DESCRIPTION

2.1 Block Diagram

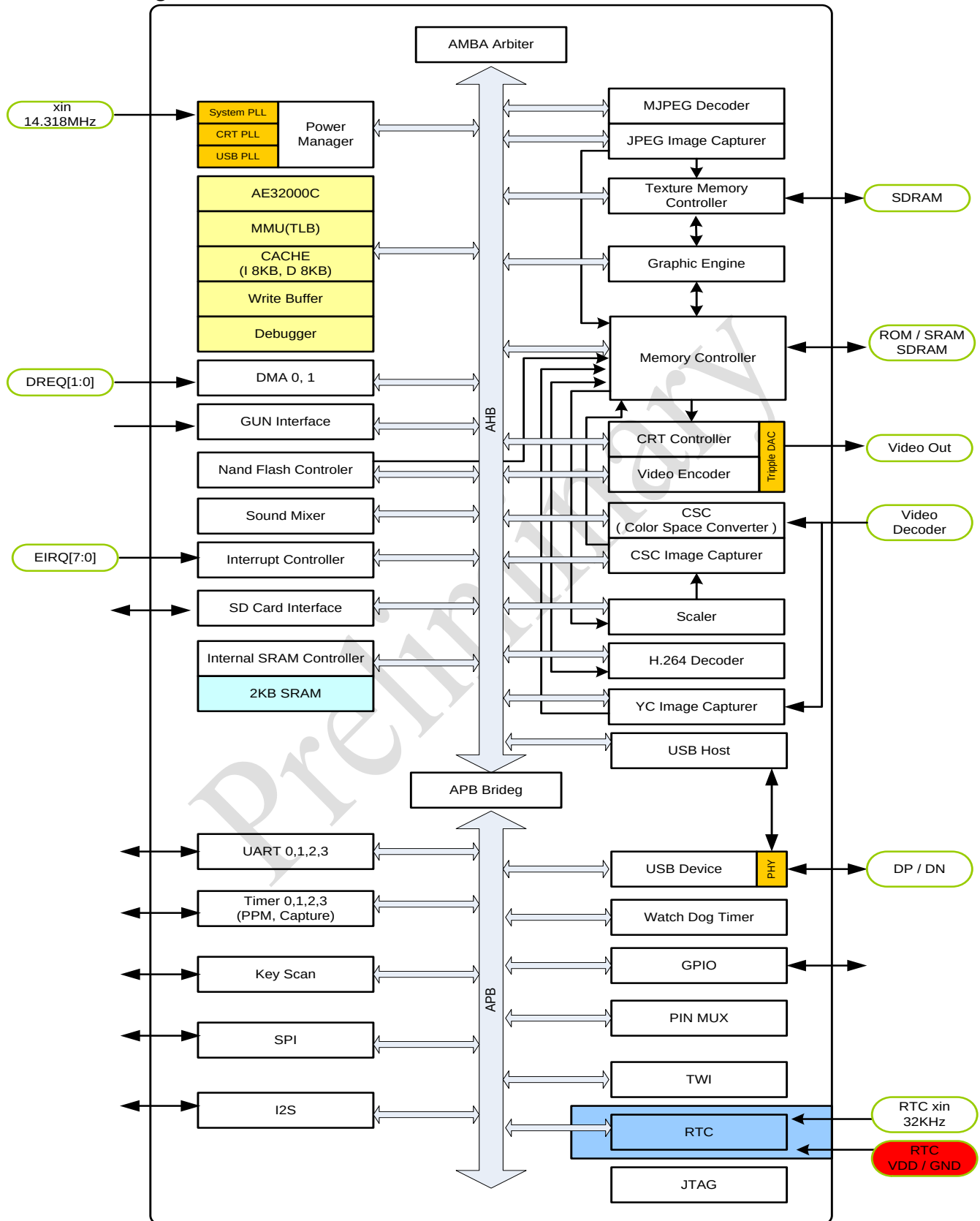


그림 2-1 Top Block Diagram

2.2 Package Dimension

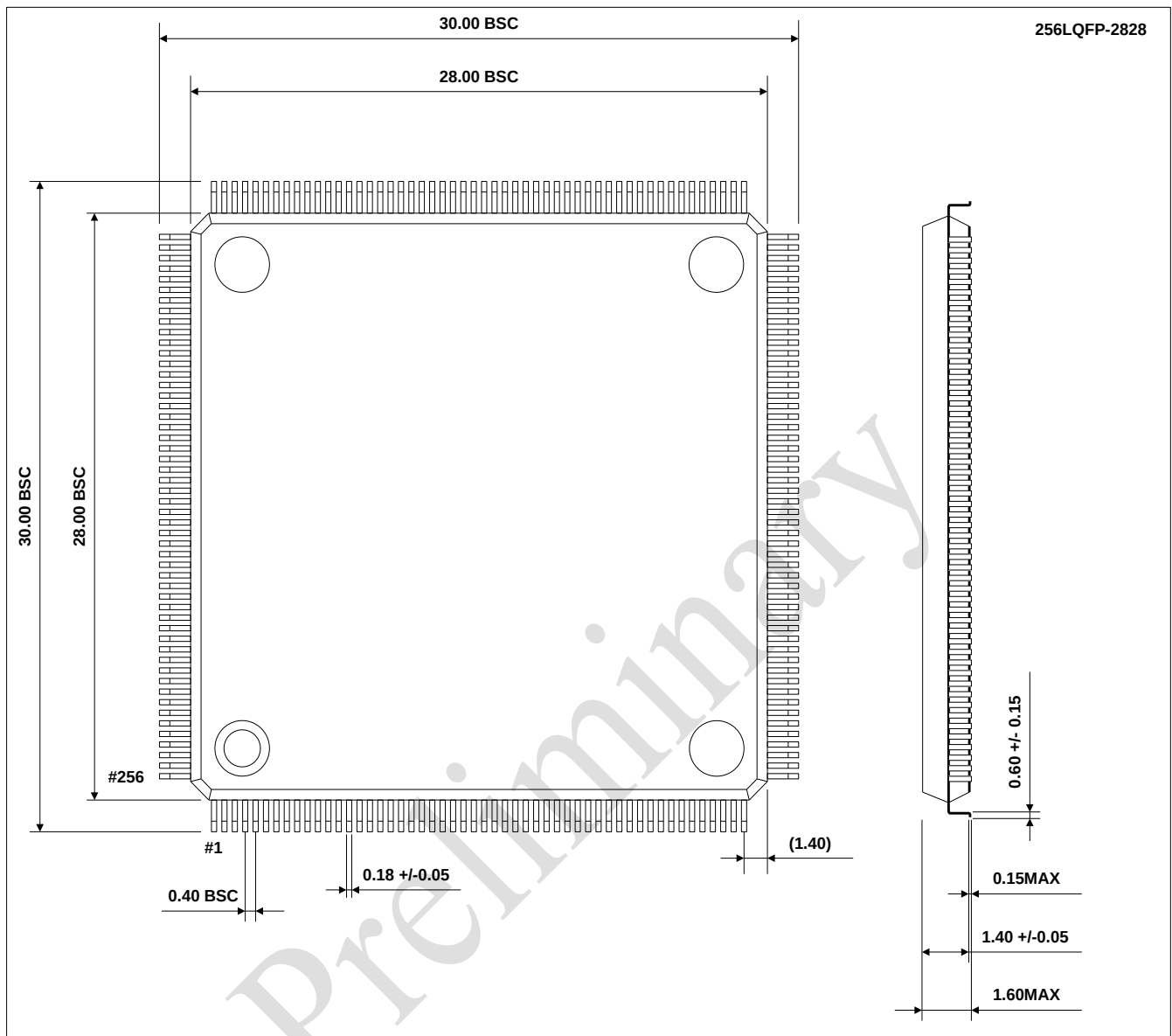


그림 2-2 LQFP Package Dimension

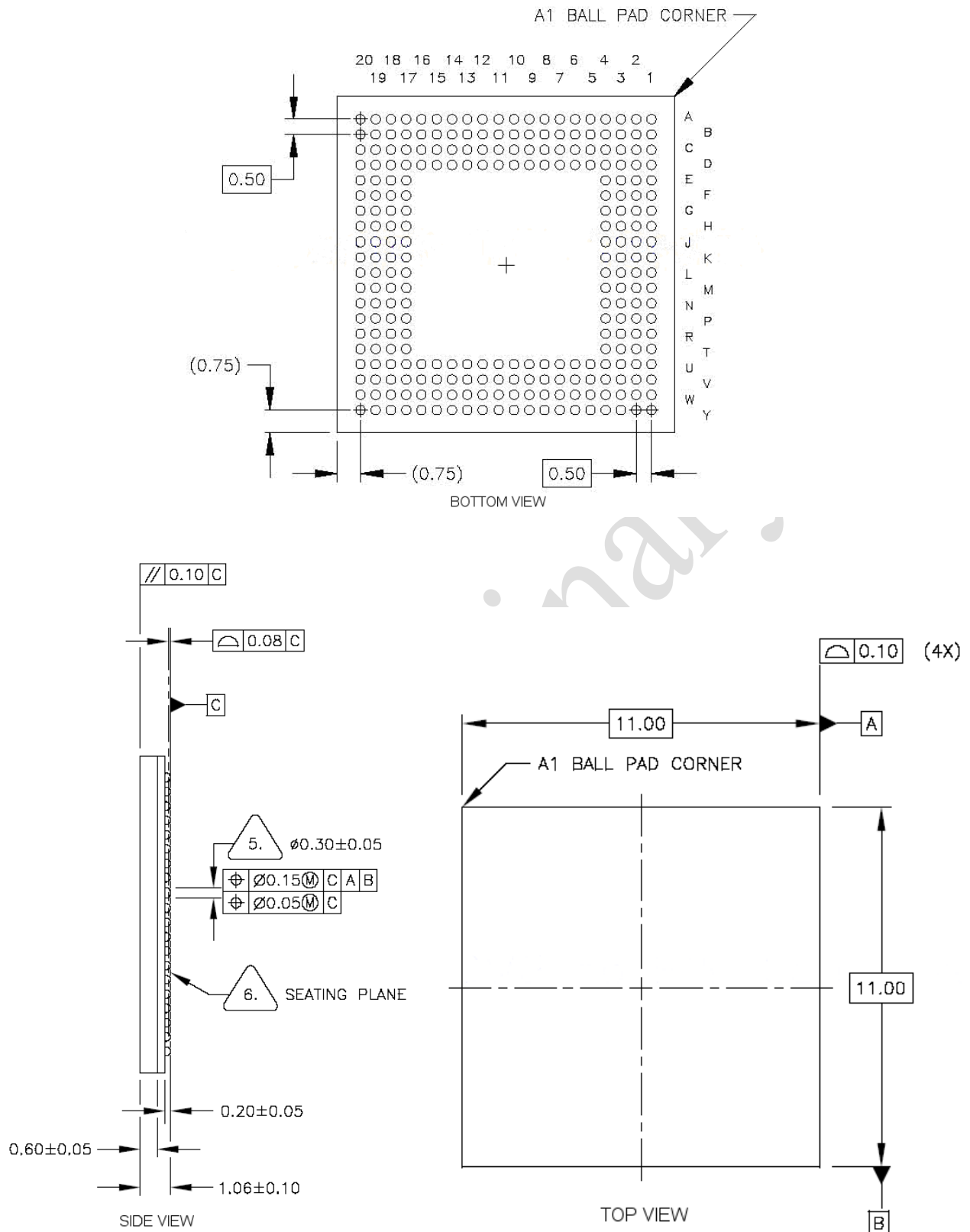


그림 2-3 CABGA Package Dimension

2.3 Pin Information

I : Input pin
 O : Output pin
 B : Bi-directional pin
 PWR : VDD pin
 GND : VSS pin

Pad No.	Ball No.	PIN Name	I/O	Entity name	Output drive current	Pull up/down	I/O interface
1	B1	TEST	I	PICD		Pull Down	
2	C2	RESETx	I	PICS			Schmitt
3	C3	TRST	I	PICU		Pull Up	
4	C1	TDI	I	PICU		Pull Up	
5	D4	TCK	I	PIC			
6	D2	TMS	I	PICU		Pull Up	
7	D3	TDO	O	POCT4C	4mA		
8	E4	D[0]	B	PBCCT8BN	8mA		
9	F3	D[1]	B	PBCCT8BN	8mA		
10	H4	D[2]	B	PBCCT8BN	8mA		
11	H3	D[3]	B	PBCCT8BN	8mA		
12	E3	CORE_VDD(1.8V)	PWR	PVDD			
13	F4	CORE_GND	GND	PVSS			
14	J4	D[4]	B	PBCCT8BN	8mA		
15	J3	D[5]	B	PBCCT8BN	8mA		
16	K4	D[6]	B	PBCCT8BN	8mA		
17	K3	D[7]	B	PBCCT8BN	8mA		
18	G4	IO_VDD(3.3V)	PWR	PDVDD			
19	G3	IO_GND	GND	PDVSS			
20	H2	D[8]	B	PBCCT8BN	8mA		
21	G1	D[9]	B	PBCCT8BN	8mA		
22	G2	D[10]	B	PBCCT8BN	8mA		
23	F1	D[11]	B	PBCCT8BN	8mA		
24	F2	D[12]	B	PBCCT8BN	8mA		
25	E1	D[13]	B	PBCCT8BN	8mA		
26	E2	D[14]	B	PBCCT8BN	8mA		
27	D1	D[15]	B	PBCCT8BN	8mA		
28	L3	SD_DQM[0]	O	POC8B	8mA		
29	H1	SD_DQM[1]	O	POC8B	8mA		
30	J2	SD_CLK	O	POC8B	8mA		
31	R3	CS6x	O	POC8B	8mA		
32	P4	SD_RASx	O	POC8B	8mA		
33	N3	SD_CASx	O	POC8B	8mA		
34	M4	SD_WEx	O	POC8B	8mA		
35	Y4	SD_DQM[2]	O	POC8B	8mA		
36	W5	SD_DQM[3]	O	POC8B	8mA		
37	L4	IO_VDD(3.3V)	PWR	PDVDD			
38	M3	IO_GND	GND	PDVSS			
39	V1	D[23]	B	PBCCT8BN	8mA		
40	U2	D[22]	B	PBCCT8BN	8mA		
41	U1	D[21]	B	PBCCT8BN	8mA		
42	T2	D[20]	B	PBCCT8BN	8mA		
43	T1	D[19]	B	PBCCT8BN	8mA		
44	R2	D[18]	B	PBCCT8BN	8mA		
45	N4	CORE_VDD(1.8V)	PWR	PVDD			
46	P3	CORE_GND	GND	PVSS			
47	R1	D[17]	B	PBCCT8BN	8mA		
48	P2	D[16]	B	PBCCT8BN	8mA		
49	N2	A[0](BEx[0])	O	POC4A	4mA		
50	U3	A[1](RA[0])	O	POC8B	8mA		

51	U4	A[2](RA[1])	O	POC8B	8mA		
52	V3	A[3](RA[2])	O	POC8B	8mA		
53	V4	A[4](RA[3])	O	POC8B	8mA		
54	N1	A[5](RA[4])	O	POC8B	8mA		
55	M2	A[6](RA[5])	O	POC8B	8mA		
56	M1	A[7](RA[6])	O	POC8B	8mA		
57	L2	A[8](RA[7])	O	POC8B	8mA		
58	L1	A[9](RA[8])	O	POC8B	8mA		
59	U5	IO_VDD(3.3V)	PWR	PDVDD			
60	V5	IO_GND	GND	PDVSS			
61	K1	A[10](RA[9])	O	POC8B	8mA		
62	T4	A[11](RA[10])	O	POC8B	8mA		
63	K2	A[12](RA[11])	O	POC8B	8mA		
64	J1	A[13](RA[12])	O	POC8B	8mA		
65	P1	A[14]	O	POC8B	8mA		
66	R4	A[15](BA[0])	O	POC8B	8mA		
67	T3	A[16](BA[1])	O	POC8B	8mA		
68	U6	CORE_VDD(1.8V)	PWR	PVDD			
69	V6	CORE_GND	GND	PVSS			
70	W4	D[24]	B	PBCCT8BN	8mA		
71	Y3	D[25]	B	PBCCT8BN	8mA		
72	W3	D[26]	B	PBCCT8BN	8mA		
73	Y2	D[27]	B	PBCCT8BN	8mA		
74	Y1	D[28]	B	PBCCT8BN	8mA		
75	W2	D[29]	B	PBCCT8BN	8mA		
76	W1	D[30]	B	PBCCT8BN	8mA		
77	V2	D[31]	B	PBCCT8BN	8mA		
78	U7	IO_VDD(3.3V)	PWR	PDVDD			
79	U8	IO_GND	GND	PDVSS			
80	V11	BEx[1] / EXT_IRQ[2] / GPIO[15]	B	PBCSCT4AN	4mA		Schmitt
81	Y5	A[17] / GPIO[6]	B	PBCCT8BN	8mA		
82	W6	A[18] / GPIO[7]	B	PBCCT8BN	8mA		
83	Y6	A[19] / GPIO[8]	B	PBCCT8BN	8mA		
84	W7	A[20] / EXT_IRQ[7] / GPIO[9]	B	PBCSCT8BN	8mA		Schmitt
85	Y7	A[21] / EXT_IRQ[6] / GPIO[10]	B	PBCSCT8BN	8mA		Schmitt
86	W8	A[22] / GUN[0] / EXT_IRQ[5] / GPIO[11]	B	PBCSCT8BN	8mA		Schmitt
87	Y8	A[23] / GUN[1] / EXT_IRQ[4] / GPIO[12]	B	PBCSCT8BN	8mA		Schmitt
88	Y13	NDFL_ALE / A[24] / GPIO[13]	B	PBCCT4AN	4mA		
89	W12	NDFL_CLE / A[25] / GPIO[14]	B	PBCCT4AN	4mA		
90	U9	CORE_VDD(1.8V)	PWR	PVDD			
91	V9	CORE_GND	GND	PVSS			
92	V10	CS0x	O	POC4A	4mA		
93	U10	CS1x / GPIO[16]	B	PBCCT4AN	4mA		
94	W10	CS2x / GPIO[17]	B	PBCCT4AN	4mA		
95	W9	CS3x / GPIO[18]	B	PBCCT4AN	4mA		
96	Y10	CS4x / SPI_SSx / GPIO[19]	B	PBCCT4AN	4mA		
97	Y9	CS5x	O	POC4C	4mA		
98	V8	RDx	O	POC4A	4mA		
99	V7	WRx	O	POC4A	4mA		
100	U12	SDCD_DATA[1] / SPI_MOSI / DMA_ACKx[1] / GPIO[103]	B	PBCCT4CN	4mA		
101	V13	SDCD_DATA[0] / SPI_MISO / DMA_REQx[1] / GPIO[102]	B	PBCCT4CN	4mA		
102	U11	IO_VDD(3.3V)	PWR	PDVDD			
103	V12	IO_GND	GND	PDVSS			
104	U13	SDCD_CLK / SPI_SCK / EXT_IRQ[4] / GPIO[101]	B	PBCCT4CN	4mA		
105	V15	SDCD_CMD / WAITx / I2S_SDI / GPIO[100]	B	PBCCT4CN	4mA		
106	U15	SDCD_DATA[3] / KEY_OUT[2] / EXT_IRQ[7] / BEx[3]	B	PBCCT4CN	4mA		
107	V16	SDCD_DATA[2] / KEY_IN[2] / EXT_IRQ[6] / BEx[2]	B	PBCCT4CN	4mA		

108	Y11	NDFL_BUSYx / NMIx / GPIO[20]	B	PBCCT4AN	4mA		
109	W11	NDFL_REx / UART_Tx[2] / DMA_REQx[0] / GPIO[37]	B	PBCCT4AN	4mA		
110	Y12	NDFL_CEx	O	POC4C	4mA		
111	W13	NDFL_WEx / UART_Rx[2] / DMA_ACKx[0] / GPIO[38]	B	PBCCT4AN	4mA		
112	V14	CORE_VDD(1.8V)	PWR	PVDD			
113	U14	CORE_GND	GND	PVSS			
114	Y14	NDFL_DATA[0] / KEY_IN[1] / GPIO[108]	B	PBCCT4AN	4mA		
115	W14	NDFL_DATA[1] / KEY_OUT[1] / GPIO[109]	B	PBCCT4AN	4mA		
116	Y15	NDFL_DATA[2] / KEY_IN[0] / USB_ovrcur / GPIO[110]	B	PBCCT4AN	4mA		
117	W15	NDFL_DATA[3] / KEY_OUT[0] / USB_prtpwr / GPIO[111]	B	PBCCT4AN	4mA		
118	Y16	NDFL_DATA[4] / GPIO[112]	B	PBCCT4AN	4mA		
119	W16	NDFL_DATA[5] / GPIO[113]	B	PBCCT4AN	4mA		
120	Y17	NDFL_DATA[6] / GPIO[114]	B	PBCCT4AN	4mA		
121	W17	NDFL_DATA[7] / GPIO[115]	B	PBCCT4AN	4mA		
122	Y18	TSD_CSx2 / GPIO[95]	B	PBCCT4CN	4mA		
123	U19	TA[12] / I2S_SCK / GPIO[69]	B	PBCCT4CN	4mA		
124	V20	TA[11] / I2S_SDI / GPIO[68]	B	PBCCT4CN	4mA		
125	W19	TA[10] / EXT_IRQ[0] / I2S_SDO / GPIO[67]	B	PBCSCT4CN	4mA		Schmitt
126	V19	TA[9] / GPIO[2]	B	PBCCT4CN	4mA		
127	U16	IO_VDD(3.3V)	PWR	PDVDD			
128	V17	IO_GND	GND	PDVSS			
129	W20	TA[8] / GPIO[1]	B	PBCCT4CN	4mA		
130	Y20	TA[7] / GPIO[0]	B	PBCCT4CN	4mA		
131	V18	TA[6](cfg[6])	B	PBCCTD4CN	4mA	Pull Down	
132	Y19	TA[5](cfg[5])	B	PBCCTD4CN	4mA	Pull Down	
133	W18	TA[4](cfg[4])	B	PBCCTD4CN	4mA	Pull Down	
134	U17	CORE_VDD(1.8V)	PWR	PVDD			
135	U18	CORE_GND	GND	PVSS			
136	U20	TSD_CLK / USB_ovrcur / SND_MCLK / GPIO[88]	B	PBCCT4CN	4mA		
137	T17	TSD_DQM[1] / GPIO[90]	B	PBCCT4CN	4mA		
138	T19	TD[8] / DEC_ACTIVE / KEY_IN[2] / GPIO[80]	B	PBCCT4CN	4mA		
139	T18	TD[9] / HSYNC_IN / KEY_OUT[2] / GPIO[81]	B	PBCCT4CN	4mA		
140	T20	TD[10] / VYSNC_IN / KEY_IN[1] / GPIO[82]	B	PBCCT4CN	4mA		
141	R17	TD[11] / DEC_FILED / KEY_OUT[1] / GPIO[83]	B	PBCCT4CN	4mA		
142	R19	TD[12] / UART_Tx[2] / KEY_IN[0] / GPIO[84]	B	PBCCT4CN	4mA		
143	R18	TD[13] / UART_Rx[2] / KEY_OUT[0] / GPIO[85]	B	PBCCT4CN	4mA		
144	R20	TD[14] / EXT_IRQ[1] / SND_SCK / GPIO[86]	B	PBCCT4CN	4mA		
145	P17	TD[15] / EXT_IRQ[3] / SND_LRCK / GPIO[87]	B	PBCCT4CN	4mA		
146	P19	TD[0] / DEC_DIN[0] / EXT_IRQ[0] / GPIO[72]	B	PBCCT4CN	4mA		
147	P20	TD[1] / DEC_DIN[1] / EXT_IRQ[1] / GPIO[73]	B	PBCCT4CN	4mA		
148	P18	IO_VDD(3.3V)	PWR	PDVDD			
149	N17	IO_GND	GND	PDVSS			
150	N19	TD[2] / DEC_DIN[2] / EXT_IRQ[2] / GPIO[74]	B	PBCCT4CN	4mA		
151	N18	TD[3] / DEC_DIN[3] / EXT_IRQ[3] / GPIO[75]	B	PBCCT4CN	4mA		
152	N20	TD[4] / DEC_DIN[4] / KEY_IN[4] / GPIO[76]	B	PBCCT4CN	4mA		
153	M17	TD[5] / DEC_DIN[5] / KEY_OUT[4] / GPIO[77]	B	PBCCT4CN	4mA		
154	M19	TD[6] / DEC_DIN[6] / KEY_IN[3] / GPIO[78]	B	PBCCT4CN	4mA		
155	M18	TD[7] / DEC_DIN[7] / KEY_OUT[3] / GPIO[79]	B	PBCCT4CN	4mA		
156	J19	TA[3](cfg[3])	B	PBCCTD4CN	4mA	Pull Down	
157	J17	TA[2](cfg[2])	B	PBCCTD4CN	4mA	Pull Down	
158	J20	TA[1](cfg[1])	B	PBCCTD4CN	4mA	Pull Down	
159	J18	TA[0]	B	PBCCTD4CN	4mA	Pull Down	
160	K19	TBA[1] / I2S_MCLK / GPIO[71]	B	PBCCT4CN	4mA		
161	K20	TBA[0] / I2S_LRCK / GPIO[70]	B	PBCCT4CN	4mA		
162	L20	TSD_CSx / GPIO[94]	B	PBCCT4CN	4mA		
163	L19	TSC_RASx / GPIO[91]	B	PBCCT4CN	4mA		
164	K18	CORE_VDD(1.8V)	PWR	PVDD			

165	K17	CORE_GND	GND	PVSS			
166	L18	TSD_CASx / GPIO[92]	B	PBCCT4CN	4mA		
167	M20	TSD_WEx / GPIO[93]	B	PBCCT4CN	4mA		
168	L17	TSD_DQM[0] / USB_prtpwr / SND_SDO / GPIO[89]	B	PBCCT4CN	4mA		
169	H20	SND_SDO / KEY_IN[4] / I2S_SDO / GPIO[96]	B	PBCCT4AN	4mA		
170	H18	SND_LRCK / KEY_IN[3] / I2S_LRCK / GPIO[98]	B	PBCCT4AN	4mA		
171	H19	SND_SCK / KEY_OUT[4] / I2S_SCK / GPIO[97]	B	PBCCT4AN	4mA		
172	G20	SND_MCLK / KEY_OUT[3] / I2S_MCLK / GPIO[99]	B	PBCCT4AN	4mA		
173	G19	CAPTURE_IN[2](EXT_CLK) / PWM[2] / EXT_IRQ[2] / GPIO[41]	B	PBCCT4A	4mA		
174	H17	CORE_VDD(1.8V)	PWR	PVDD			
175	G18	CORE_GND	GND	PVSS			
176	G17	DAC_VDD(1.8V)	PWR	PVDD			
177	F18	DAC_GND	GND	PVSS			
178	F20	DAC_IOB (AO)	O	PANALOG			
179	F17	DAC_AVD33B	PWR	PDVDD			
180	F19	DAC_AVSSB	GND	PDVSS			
181	E20	DAC_I0G (AO)	O	PANALOG			
182	E18	DAC_AVD33G	PWR	PDVDD			
183	E19	DAC_AVSSG	GND	PDVSS			
184	D20	DAC_I0R / DAC_COMPOSIT (AO)	O	PANALOG			
185	E17	DAC_AVD33R	PWR	PDVDD			
186	D19	DAC_AVSSR	GND	PDVSS			
187	D18	DAC_COMP (AIO)	B	PANALOG			
188	D17	DAC_IRSET (AIO)	B	PANALOG			
189	C18	DAC_VREFO (AO)	O	PANALOG			
190	C20	DAC_VREFI (AI)	I	PANALOG			
191	C19	DAC_AVSS	GND	PDVSS			
192	B20	DAC_AVD33	PWR	PDVDD			
193	A20	VSXNC_OUT	O	POC4A	4mA		
194	B19	HSXNC_OUT	O	POC4A	4mA		
195	A19	CAPTURE_IN[3](VCLK2_IN) / PWM[3] / EXT_IRQ[3] / GPIO[42]	B	PBCCT4A	4mA		
196	B18	VCLK_IN	I	PIC			
197	A18	DCLK_OUT	O	POC4A	4mA		
198	B17	R[0] / GUN[0] / EXT_IRQ[0] / I2S_SDO	B	PBCSCT4AN	4mA		Schmitt
199	C17	R[1] / EXT_IRQ[4] / DMA_REQx[0] / I2S_SDI	B	PBCSCT4AN	4mA		Schmitt
200	A17	R[2] / EXT_IRQ[5] / GPIO[45]	B	PBCSCT4AN	4mA		Schmitt
201	D16	R[3] / DEC_DIN[0] / GPIO[46]	B	PBCCT4AN	4mA		
202	B16	R[4] / DEC_DIN[1] / GPIO[47]	B	PBCCT4AN	4mA		
203	C16	R[5] / DEC_DIN[2] / GPIO[48]	B	PBCCT4AN	4mA		
204	A16	R[6] / DEC_DIN[3] / GPIO[49]	B	PBCCT4AN	4mA		
205	B15	R[7] / DEC_DIN[4] / GPIO[50]	B	PBCCT4AN	4mA		
206	D15	IO_VDD(3.3V)	PWR	PDVDD			
207	C15	IO_GND	GND	PDVSS			
208	D14	CORE_VDD(1.8V)	PWR	PVDD			
209	C14	CORE_GND	GND	PVSS			
210	A15	G[0] / EXT_IRQ[1] / UART_Rx[3] / I2S_SCK	B	PBCSCT4AN	4mA		Schmitt
211	B14	G[1] / GUN[1] / EXT_IRQ[6] / I2S_LRCK	B	PBCSCT4AN	4mA		Schmitt
212	A14	G[2] / DEC_DIN[5] / GPIO[53]	B	PBCCT4AN	4mA		
213	D13	G[3] / DEC_DIN[6] / GPIO[54]	B	PBCCT4AN	4mA		
214	B13	G[4] / USB_ovrcur / DEC_DIN[7] / GPIO[55]	B	PBCCT4AN	4mA		
215	C13	G[5] / USB_prtpwr / DEC_ACTIVE / GPIO[56]	B	PBCCT4AN	4mA		
216	A13	G[6] / HSXNC_IN / GPIO[57]	B	PBCCT4AN	4mA		
217	D12	G[7] / VSXNC_IN / GPIO[58]	B	PBCCT4AN	4mA		
218	B12	B[0] / UART_Tx[3] / DMA_ACKx[0] / I2S_MCLK	B	PBCCT4AN	4mA		
219	C12	B[1] / PWM[1] / CAPTURE_IN[1] / GPIO[60]	B	PBCCT4AN	4mA		
220	A12	B[2] / EXT_IRQ[7] / GPIO[61]	B	PBCSCT4AN	4mA		Schmitt
221	D11	B[3] / GPIO[62]	B	PBCCT4AN	4mA		

222	B11	B[4] / GPIO[63]	B	PBCCT4AN	4mA		
223	C11	B[5] / GPIO[64]	B	PBCCT4AN	4mA		
224	A11	B[6] / DEC_FIELD / GPIO[65]	B	PBCCT4AN	4mA		
225	A10	B[7] / CSYNC_OUT / GPIO[66]	B	PBCCT4AN	4mA		
226	C10	CORE_VDD(1.8V)	PWR	PVDD			
227	D10	CORE_GND	GND	PVSS			
228	B10	DISP_EN	O	POC4A	4mA		
229	A9	TWI_SDA / UART_Tx[3] / GPIO[106]	B	PBCCT4AN	4mA		
230	C9	TWI_SCL / UART_Rx[3] / GPIO[107]	B	PBCCT4AN	4mA		
231	B9	UART_Tx[1] / PWM[0] / OSI_Tx / GPIO[39]	B	PBCCT4AN	4mA		
232	D9	UART_Rx[1] / CAPTURE_IN[0] / OSI_Rx / GPIO[40]	B	PBCCT4AN	4mA		
233	A8	UART_Tx[0]	O	POC4A	4mA		
234	B8	UART_Rx[0]	I	PICN			
235	C8	IO_VDD(3.3V)	PWR	PDVDD			
236	D8	RTC_33V	PWR	PDVDD			
237	C7	RTC_18V	PWR	PVDD			
238	A7	RTC_XIN	I	POSC1			Oscillator
239	B7	RTC_XOUT	O	POSC1			Oscillator
240	D7	RTC_GND	GND	PDVSS			
241	A6	USB_DN	B	PANALOG			
242	B6	USB_DP	B	PANALOG			
243	C6	PHY1_AG33	GND	PDVSS			
244	A5	PHY1_AV33	PWR	PDVDD			
245	B5	PLL_USB_AV18	PWR	PVDD			
246	A4	PLL_USB_AG18	GND	PVSS			
247	B4	PLL_CRTC_AV18	PWR	PVDD			
248	A3	PLL_CRTC_AG18	GND	PVSS			
249	B3	PLL_AV18	PWR	PVDD			
250	A2	PLL_AG18	GND	PVSS			
251	D6	IO_VDD(3.3V)	PWR	PDVDD			
252	C5	IO_GND	GND	PDVSS			
253	B2	XIN	I	POSC3			Oscillator
254	A1	XOUT	O	POSC3			Oscillator
255	D5	CORE_VDD(1.8V)	PWR	PVDD			
256	C4	CORE_GND	GND	PVSS			

* Red Color of Pin Information is Default of Multi. Function IO

* RTC PWR / GND는 Main Power와 반드시 분리 (Battery Power 사용)

2.4 Pin Description

Pin name	I/O	Description
TEST	I	Chip Test Mode 설정 시 사용 (Active High) Normal Mode는 반드시 Test Pin = 0 으로 설정 해야 함.
RESETx	I	System Chip Reset (Active Low)
TRST	I	JTAG Interface를 위한 TRST
TDI	I	JTAG Interface를 위한 TDI
TCK	I	JTAG Interface를 위한 TCK
TMS	I	JTAG Interface를 위한 TMS
TDO	O	JTAG Interface를 위한 TDO
D[31:0]	B	Local ROM/SRAM/SDRAM Data Bus [31:0]
SD_DQM[3:0]	O	Local SDRAM DQM Strobe
SD_CLK	O	Local SDRAM Clock
CS6x	O	Bank 6 SRAM/ROM/SDRAM Chip Select (Active Low)
SD_RASx	O	Local SDRAM Row Address Strobe (Active Low)
SD_CASx	O	Local SDRAM Column Address Strobe (Active Low)
SD_WEx	O	Local SDRAM Write Enable (Active Low)
A[0](BEx[0])	O	SRAM, ROM의 Address [0] or Byte Enable[0](Active Low) Data bus width가 32,16 bit 인 경우 Byte Enable bit [0]에 해당하고, 8bit 인 경우 Address bit [0]이다.
A[13:1] (RA[12:0])	O	Address [13:1] (RAM Address[12:0]) Address bit [13:1]에 해당하고, RA[12:0]는 SDRAM의 Address bit [12:0]이다.
A[14]	O	Address [14]
A[16:15](BA[1:0])	O	Address [16:15] (Bank select Address[1:0]) Address bit [16:15]에 해당하고. SDRAM을 사용할 경우 BA[1:0]는 SDRAM에서 Bank select address bit로 사용된다.
BEx[1] / EXT_IRQ[2] / GPIO[15]	B	SRAM, ROM의 Byte Enable [1] (Active Low) or External Interrupt Source 2 or Programmable I/O[15] Data bus width가 32, 16 bit인 경우 Byte enable bit [1]에 해당하고 또는 External Interrupt Source 2 또는 Programmable I/O[15]으로 사용할 수 있으며, Pin Mux control register를 설정하여 용도를 결정한다.
A[19:17] / GPIO[8:6]	B	Address [19:17] or Programmable I/O [8:6] Address bit [19:17]에 해당하고 또는 Programmable I/O port [8:6]으로 사용할 수 있으며, Pin Mux Control Register를 설정하여 용도를 결정한다.
A[21:20] / EXT_IRQ[7:6] / GPIO[10:9]	B	Address [21:20] or External Interrupt Source 7 ~ 6 or Programmable I/O [10:9] Address bit [21:20]에 해당하고 또는 External Interrupt Source 7 ~ 6 또는 Programmable I/O port [10:9]으로 사용할 수 있으며, Pin Mux Control Register를 설정하여 용도를 결정한다.
A[23:22] / GUN[1:0] / EXT_IRQ[5:4] / GPIO[12:11]	B	Address [23:22] or GUN [1:0] or External Interrupt Source 5 ~ 4 or Programmable I/O [12:11] Address bit [23:22]에 해당하고 또는 GUN [1:0] 또는 External Interrupt Source 5 ~ 4 또는 Programmable I/O port [12:11]으로 사용할 수 있으며, Pin Mux Control Register를 설정하여 용도를 결정한다.
NDFL_ALE / A[24] / GPIO[13]	B	Nand Flash memory Address Latch Enable or Address [24] or Programmable I/O[13] Nand Flash memory의 Address Latch Enable 신호 또는 Address bit [24] 또는 Programmable I/O[13]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.

NDFL_CLE / A[25] / GPIO[14]	B	Nand Flash memory Command Latch Enable or Address [25] or Programmable I/O[14] Nand Flash memory의 Command Latch Enable 신호 또는 Address bit [25] 또는 Programmable I/O[14]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
CS0x	O	Bank 0 ROM Chip Select (Active Low)
CS1x / GPIO[16]	B	Chip Select bank 1(Active Low) or Programmable I/O [16] Bank 1 SRAM/ROM Chip Select 신호 또는 Programmable I/O [16]으로 사용할 수 있으며 Pin Mux Control Register에 의해서 결정된다.
CS2x / GPIO[17]	B	Chip Select bank 2(Active Low) or Programmable I/O [17] Bank 2 SRAM/ROM Chip Select 신호 또는 Programmable I/O [17]으로 사용할 수 있으며 Pin Mux Control Register에 의해서 결정된다.
CS3x / GPIO[18]	B	Chip Select bank 3(Active Low) or Programmable I/O [18] Bank 3 SRAM/ROM Chip Select 신호 또는 Programmable I/O [18]으로 사용할 수 있으며 Pin Mux Control Register에 의해서 결정된다.
CS4x / SPI_SSx / GPIO[19]	B	Chip Select bank 4(Active Low) or SPI_SSx(Active Low) or Programmable I/O [19] Bank 4 SRAM/ROM Chip Select 신호 또는 SPI Device Select 신호 또는 Programmable I/O [19]으로 사용할 수 있으며 Pin Mux Control Register에 의해서 결정된다.
CS5x	O	Bank 5 SRAM/ROM/SDRAM Chip Select (Active Low)
RDx	O	SRAM/ROM Read Strobe (Active Low)
WRx	O	SRAM/ROM Write Strobe (Active Low)
SDCD_DATA[1] / SPI_MOSI / DMA_ACKx[1] / GPIO[103]	B	SD Card Data [1] or SPI Master Output Slave Input or DMA Ch.1 Acknowledge (Active Low) or Programmable I/O[103] SD Card Data [1] 또는 SPI Master Output Slave Input 또는 DMA Channel 1의 Acknowledge 신호 또는 Programmable I/O[103]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
SDCD_DATA[0] / SPI_MISO / DMA_REQx[1] / GPIO[102]	B	SD Card Data [0] or SPI Master Input Slave Output or DMA Ch.1 Request Strobe (Active Low) or Programmable I/O[102] SD Card Data [0] 또는 SPI Master Input Slave Output 또는 DMA Channel 1의 Request 신호 또는 Programmable I/O[102]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
SDCD_CLK / SPI_SCK / EXT_IRQ[4] / GPIO[101]	B	SD Card Clock or SPI Serial Clock or External Interrupt Source 4 or Programmable I/O[101] SD Card Clock 또는 SPI Serial Clock 또는 External Interrupt Source 4 또는 Programmable I/O[101]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
SDCD_CMD / WAITx / I2S_SDI / GPIO[100]	B	SD Card Command or Wait (Active Low) or I2S Serial Data Input or Programmable I/O[100] SD Card Command 또는 속도가 느린 외부디바이스 Access시 준비가 될 때 까지 활성화 시키는 Wait (Active Low) 또는 I2S Serial Data Input 또는 Programmable I/O[100]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
SDCD_DATA[3] / KEY_OUT[2] / EXT_IRQ[7] / BEx[3]	B	SD Card Data [3] or Key Scan Line [2] or External Interrupt Source 7 or SRAM, ROM의 Byte Enable [3](Active Low) SD Card Data [3] 또는 Key Scan Line [2] 또는 External Interrupt Source 7 또는 Data bus width가 32 bit인 경우 Byte enable bit [3]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.

SDCD_DATA[2] / KEY_IN[2] / EXT_IRQ[6] / BEx[2]	B	SD Card Data [2] or Key Scan Data Input [2] or External Interrupt Source 6 or SRAM, ROM의 Byte Enable [2](Active Low) SD Card Data [2] 또는 Key Scan Data Input [2] 또는 External Interrupt Source 6 또는 Data bus width가 32 bit인 경우 Byte enable bit [2]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
NDFL_BUSYx / NMIx / GPIO[20]	B	Nand Flash Memory Busy(Active Low) or Non-Maskable Interrupt or Programmable I/O[20] Nand Flash Memory의 Busy 신호 또는 CPU에 Non-Maskable interrupt를 요청하는 NMI 신호(Active Low) 또는 Programmable I/O[20]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
NDFL_REx / UART_Tx[2] / DMA_REQx[0] / GPIO[37]	B	Nand Flash Memory Read Enable(Active Low) or UART Ch.2 Tx or DMA Ch.0 Request Strobe(Active Low) or Programmable I/O[37] Nand Flash Memory Read Enable 신호 또는 UART Ch.2 Transmit Data 또는 DMA Channel 0의 Request 신호 또는 Programmable I/O[37]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
NDFL_CEx	O	Nand Flash Chip Enable(Active Low)
NDFL_WEx / UART_Rx[2] / DMA_ACKx[0] / GPIO[38]	B	Nand Flash Memory Write Enable(Active Low) or UART Ch.2 Rx or DMA Ch.0 Acknowledge(Active Low) or Programmable I/O[38] Nand Flash Memory Write Enable 신호 또는 UART Ch.2 Receive Data 또는 DMA Channel 0의 Acknowledge 신호 또는 Programmable I/O[38]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
NDFL_DATA[0] / KEY_IN[1] / GPIO[108]	B	Nand Flash Memory IO Data[0] or Key Scan Data Input [1] or Programmable I/O[108] Nand Flash Memory의 IO Data[0] 신호 또는 Key Scan Data Input bit[1] 또는 Programmable I/O[108]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
NDFL_DATA[1] / KEY_OUT[1] / GPIO[109]	B	Nand Flash Memory IO Data[1] or Key Scan Line [1] or Programmable I/O[109] Nand Flash Memory의 IO Data[1] 신호 또는 Key Scan Line bit[1] 또는 Programmable I/O[109]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
NDFL_DATA[2] / KEY_IN[0] / USB_ovrcur / GPIO[110]	B	Nand Flash Memory IO Data[2] or Key Scan Data Input [0] or USB Over-Current or Programmable I/O[110] Nand Flash Memory의 IO Data[2] 신호 또는 Key Scan Data Input bit[0] 또는 USB Over-Current Detection 또는 Programmable I/O[110]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
NDFL_DATA[3] / KEY_OUT[0] / USB_prtpwr / GPIO[111]	B	Nand Flash Memory IO Data[3] or Key Scan Line [0] or USB Port Power or Programmable I/O[111] Nand Flash Memory의 IO Data[3] 신호 또는 Key Scan Line bit[0] 또는 USB Port Power 또는 Programmable I/O[111]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
NDFL_DATA[7:4] / GPIO[115:112]	B	Nand Flash memory IO Data[7:4] or Programmable I/O[115:112] Nand Flash memory의 IO Data[7:4] 신호 또는 Programmable I/O[115:112]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TSD_CSx2 / GPIO[95]	B	Texture Memory Second Device(SDRAM) Chip Select(Active Low) or Programmable I/O[95] Bank 7 Second SDRAM Chip Select 신호 또는 Programmable I/O[95]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TA[12] / I2S_SCK / GPIO[69]	B	Texture Memory (SDRAM) Address[12] or I2S Serial Clock or Programmable I/O[69] Texture Memory Address[12] 신호 또는 I2S Serial Clock 또는 Programmable I/O[69]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.

TA[11] / I2S_SDI / GPIO[68]	B	Texture Memory (SDRAM) Address[11] or I2S Serial Data Input or Programmable I/O[68] Texture Memory Address[11] 신호 또는 I2S Serial Data Input 또는 Programmable I/O[68]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TA[10] / EXT_IRQ[0] / I2S_SDO / GPIO[67]	B	Texture Memory (SDRAM) Address[10] or External Interrupt Source 0 or I2S Serial Data Output or Programmable I/O[67] Texture Memory Address[9:7] 신호 또는 External Interrupt Source 0 또는 I2S Serial Data Output 또는 Programmable I/O[2:0]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TA[9:7] / GPIO[2:0]	B	Texture Memory (SDRAM) Address[9:7] or Programmable I/O[2:0] Texture Memory Address[9:7] 신호 또는 Programmable I/O[2:0]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TA[6:4](cfg[6:4])	B	Texture Memory (SDRAM) Address[6:4] or CFG[6:4] Texture Memory Address[6:4] 신호 또는 Power On Configuration으로 사용(cfg[6:4])할 수 있다. Configuration Register (CFG) 참고.
TSD_CLK / USB_ovrcur / SND_MCLK / GPIO[88]	B	Texture Memory Clock or USB Over-Current or Sound Mixer Master Clock or Programmable I/O[88] Bank 7 SDRAM Clock 신호 또는 USB Over-Current 또는 Sound Mixer Master Clock 또는 Programmable I/O[88]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TSD_DQM[1] / GPIO[90]	B	Texture Memory DQM [1] Strobe or Programmable I/O[90] Bank 7 SDRAM DQM 신호 또는 Programmable I/O[90]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[8] / DEC_ACTIVE / KEY_IN[2] / GPIO[80]	B	Texture Memory (SDRAM) Data Bus[8] or Video Decoder Data Active Input or Key Scan Data Input [2] or Programmable I/O[80] Texture Memory (SDRAM)의 Data Bus[8]로 사용하거나 또는 Image Capture를 위한 Video Decoder Data Active Input 또는 Key Scan Data Input [2] 또는 Programmable I/O[80]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[9] / HSYNC_IN / KEY_OUT[2] / GPIO[81]	B	Texture Memory (SDRAM) Data Bus[9] or Video Decoder HSync. Input or Key Scan Line [2] or Programmable I/O[81] Texture Memory (SDRAM)의 Data Bus[9]로 사용하거나 또는 Image Capture를 위한 Video Decoder HSync. Input 또는 Key Scan Line [2] 또는 Programmable I/O[81]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[10] / VYSNC_IN / KEY_IN[1] / GPIO[82]	B	Texture Memory (SDRAM) Data Bus[10] or Video Decoder VSync. Input or Key Scan Data Input [1] or Programmable I/O[82] Texture Memory (SDRAM)의 Data Bus[10]로 사용하거나 또는 Image Capture를 위한 Video Decoder VSync. Input 또는 Key Scan Data Input [1] 또는 Programmable I/O[82]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[11] / DEC_FILED / KEY_OUT[1] / GPIO[83]	B	Texture Memory (SDRAM) Data Bus[11] or Video Decoder Field Input or Key Scan Line [1] or Programmable I/O[83] Texture Memory (SDRAM)의 Data Bus[11]로 사용하거나 또는 Image Capture를 위한 Video Decoder Field Input 또는 Key Scan Line [1] 또는 Programmable I/O[83]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.

TD[12] / UART_Tx[2] / KEY_IN[0] / GPIO[84]	B	Texture Memory (SDRAM) Data Bus[12] or UART Ch.2 Tx or Key Scan Data Input [0] or Programmable I/O[84] Texture Memory (SDRAM)의 Data Bus[12]로 사용하거나 또는 UART Channel 2 Transmit Data 또는 Key Scan Data Input [0] 또는 Programmable I/O[84]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[13] / UART_Rx[2] / KEY_OUT[0] / GPIO[85]	B	Texture Memory (SDRAM) Data Bus[13] or UART Ch.2 Rx or Key Scan Line [0] or Programmable I/O[85] Texture Memory (SDRAM)의 Data Bus[13]로 사용하거나 또는 UART Channel 2 Receive Data 또는 Key Scan Line [0] 또는 Programmable I/O[85]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[14] / EXT_IRQ[1] / SND_SCK / GPIO[86]	B	Texture Memory (SDRAM) Data Bus[14] or External Interrupt Source 1 or Sound Mixer Serial Bit Clock or Programmable I/O[86] Texture Memory (SDRAM)의 Data Bus[14]로 사용하거나 또는 External Interrupt Source 1 또는 Sound Mixer Serial Bit Clock 또는 Programmable I/O[86]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[15] / EXT_IRQ[3] / SND_LRCK / GPIO[87]	B	Texture Memory (SDRAM) Data Bus[15] or External Interrupt Source 3 or Sound Mixer Left / Right Clock or Programmable I/O[87] Texture Memory (SDRAM)의 Data Bus[15]로 사용하거나 또는 External Interrupt Source 3 또는 Sound Mixer Left / Right Clock 또는 Programmable I/O[87]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[3:0] / DEC_DIN[3:0] / EXT_IRQ[3:0] / GPIO[75:72]	B	Texture Memory (SDRAM) Data Bus[3:0] or Video Decoder Data Bus [3:0] or External Interrupt Source 3 ~ 0 or Programmable I/O[75:72] Texture Memory (SDRAM)의 Data Bus[3:0]로 사용하거나 또는 Image Capture를 위한 Video Decoder YCbCr 4:2:2 Data[3:0] 또는 External Interrupt Source 3 ~ 0 또는 Programmable I/O[75:72]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[4] / DEC_DIN[4] / KEY_IN[4] / GPIO[76]	B	Texture Memory (SDRAM) Data Bus[4] or Video Decoder Data Bus [4] or Key Scan Data Input [4] or Programmable I/O[76] Texture Memory (SDRAM)의 Data Bus[4]로 사용하거나 또는 Image Capture를 위한 Video Decoder YCbCr 4:2:2 Data[4] 또는 Key Scan Data Input [4] 또는 Programmable I/O[76]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[5] / DEC_DIN[5] / KEY_OUT[4] / GPIO[77]	B	Texture Memory (SDRAM) Data Bus[5] or Video Decoder Data Bus [5] or Key Scan Line [4] or Programmable I/O[77] Texture Memory (SDRAM)의 Data Bus[5]로 사용하거나 또는 Image Capture를 위한 Video Decoder YCbCr 4:2:2 Data[5] 또는 Key Scan Line [4] 또는 Programmable I/O[77]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[6] / DEC_DIN[6] / KEY_IN[3] / GPIO[78]	B	Texture Memory (SDRAM) Data Bus[6] or Video Decoder Data Bus [6] or Key Scan Data Input [3] or Programmable I/O[78] Texture Memory (SDRAM)의 Data Bus[6]로 사용하거나 또는 Image Capture를 위한 Video Decoder YCbCr 4:2:2 Data[6] 또는 Key Scan Data Input [3] 또는 Programmable I/O[78]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TD[7] / DEC_DIN[7] / KEY_OUT[3] / GPIO[79]	B	Texture Memory (SDRAM) Data Bus[7] or Video Decoder Data Bus [7] or Key Scan Line [3] or Programmable I/O[79] Texture Memory (SDRAM)의 Data Bus[7]로 사용하거나 또는 Image Capture를 위한 Video Decoder YCbCr 4:2:2 Data[7] 또는 Key Scan Line [3] 또는 Programmable I/O[79]로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TA[3:1](cfg[3:1])	B	Texture Memory (SDRAM) Address[3:1] or CFG[3:1] Texture Memory Address[3:1] 신호 또는 Power On Configuration으로 사용(cfg[3:1])할 수 있다. Configuration Register (CFG) 참고.

TA[0]	B	Texture Memory (SDRAM) Address[0]
TBA[1] / I2S_MCLK / GPIO[71]	B	Texture Memory Bank Select Address[1] or I2S Master Clock or Programmable I/O[71] Texture Memory Bank Select Address[1] 또는 I2S Master Clock 또는 Programmable I/O[71]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TBA[0] / I2S_LRCK / GPIO[70]	B	Texture Memory Bank Select Address[0] or I2S Left / Right Clock or Programmable I/O[70] Texture Memory Bank Select Address[0] 또는 I2S Left / Right Clock 또는 Programmable I/O[70]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TSD_CSx / GPIO[94]	B	Texture Memory First Device (SDRAM) Chip Select(Active Low) or Programmable I/O[94] Bank 7 First SDRAM Chip Select 신호 또는 Programmable I/O[94]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TSC_RASx / GPIO[91]	B	Texture Memory Row Address Strobe (Active Low) or Programmable I/O[91] Bank 7 SDRAM Row Address Strobe 신호 또는 Programmable I/O[91]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TSD_CASx / GPIO[92]	B	Texture Memory Column Address Strobe (Active Low) or Programmable I/O[92] Bank 7 SDRAM Column Address Strobe 신호 또는 Programmable I/O[92]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TSD_WEx / GPIO[93]	B	Texture Memory Write Enable (Active Low) or Programmable I/O[93] Bank 7 SDRAM Write Enable 신호 또는 Programmable I/O[93]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TSD_DQM[0] / USB_prtprwr / SND_SDO / GPIO[89]	B	Texture Memory DQM [0] Strobe or USB Port Power or Sound Mixer Serial Data Output or Programmable I/O[89] Bank 7 SDRAM DQM 신호 또는 USB Port Power 또는 Sound Mixer Serial Data Output 또는 Programmable I/O[93]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
SND_SDO / KEY_IN[4] / I2S_SDO / GPIO[96]	B	Sound Mixer Serial Data Output or Key Scan Data Input [4] or I2S Serial Data Output or Programmable I/O[96] Sound Mixer Serial Data Output 신호 또는 Key Scan Data Input [4] 또는 I2S Serial Data Output 또는 Programmable I/O[96]으로 사용할 수 있으며 Pin Mux Control register를 설정하여 용도를 결정한다.
SND_LRCK / KEY_IN[3] / I2S_LRCK / GPIO[98]	B	Sound Mixer Left / Right Clock or Key Scan Data Input [3] or I2S Left / Right Clock or Programmable I/O[98] Sound Mixer Left / Right Clock 신호 또는 Key Scan Data Input [3] 또는 I2S Left / Right Clock 또는 Programmable I/O[98]으로 사용할 수 있으며 Pin Mux Control register를 설정하여 용도를 결정한다.
SND_SCK / KEY_OUT[4] / I2S_SCK / GPIO[97]	B	Sound Mixer Serial Clock or Key Scan Line [4] or I2S Serial Clock or Programmable I/O[97] Sound Mixer Serial Clock 신호 또는 Key Scan Line [4] 또는 I2S Serial Clock 또는 Programmable I/O[97]으로 사용할 수 있으며 Pin Mux Control register를 설정하여 용도를 결정한다.
SND_MCLK / KEY_OUT[3] / I2S_MCLK / GPIO[99]	B	Sound Mixer Master Clock or Key Scan Line [3] or I2S Master Clock or Programmable I/O[99] Sound Mixer Master Clock 신호 또는 Key Scan Line [3] 또는 I2S Master Clock 또는 Programmable I/O[99]으로 사용할 수 있으며 Pin Mux Control register를 설정하여 용도를 결정한다.

CAPTURE_IN[2](EXT_CLK) / PWM[2] / EXT_IRQ[2] / GPIO[41]	B	Ch.2 Input Pulse Period Capture or Pulse Width Modulation Ch.2 Output or External Interrupt Source 2 or Programmable I/O[41] Ch.2 Input Pulse Period Capture 또는 Pulse Width Modulation Ch.2 Output 또는 External Interrupt Source 2 또는 Programmable I/O[41]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다. * EXT_CLK : USB, I2S, SPI, Sound Mixer에서 External Clock을 사용하고자 할 때는 Pin Mux control register를 CAPTURE_IN[2]으로 설정해야 한다. 단, 각각의 Block들을 위한 특정 Clock Frequency가 필요하므로, 하나의 용도로만 사용 가능하다. 또한, Ch.2 Capture Operation은 사용할 수 없다.
DAC_IOB (AO)	O	DAC current output for channel Blue
DAC_I OG (AO)	O	DAC current output for channel Green
DAC_I OR / DAC_COMPOSIT (AO)	O	DAC current output for channel Red / Composite
DAC_COMP (AIO)	B	Bypass Cap for compensation power noise
DAC_IRSET (AIO)	B	Full Scale Video Signal adjusting resistor pin
DAC_VREFO (AO)	O	Bandgap Reference Output. This output is normally connected to VREFIN, the level is 1.28V
DAC_VREFI (AI)	I	Voltage reference input
VS YNC_OUT	O	Vertical Sync. Output
HS YNC_OUT	O	Horizontal Sync. Output
CAPTURE_IN[3](VCLK2_IN) / PWM[3] / EXT_IRQ[3] / GPIO[42]	B	Ch.3 Input Pulse Period Capture or Pulse Width Modulation Ch.3 Output or External Interrupt Source 3 or Programmable I/O[42] Ch.3 Input Pulse Period Capture 또는 Pulse Width Modulation Ch.3 Output 또는 External Interrupt Source 3 또는 Programmable I/O[42]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다. * VCLK2_IN : CRT(C Video Encoder)의 Dot Clock을 내부 PLL이 아닌 External Clock으로 사용하고자 할 때 사용할 수 있으며, Pin Mux control register를 CAPTURE_IN[3]으로 설정해야 한다. 단, Ch.3 Capture Operation은 사용할 수 없다.
VCLK_IN	I	Input Video Capture Clock
DCLK_OUT	O	Video Output을 위한 Dot Clock
R[0] / GUN[0] / EXT_IRQ[0] / I2S_SDO	B	Red Output Data [0] or GUN[0] or External Interrupt Source 0 or I2S Serial Data Output Digital Red Output Data [0] 또는 GUN[0] 또는 External Interrupt Source 0 또는 I2S Serial Data Output으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
R[1] / EXT_IRQ[4] / DMA_REQx[0] / I2S_SDI	B	Red Output Data [1] or External Interrupt Source 4 or DMA Ch.0 Request Strobe(Active Low) or I2S Serial Data Input Digital Red Output Data [1] 또는 External Interrupt Source 4 또는 DMA Channel 0의 Request 신호 또는 I2S Serial Data Input으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
R[2] / EXT_IRQ[5] / GPIO[45]	B	Red Output Data [2] or External Interrupt Source 5 or Programmable I/O[45] Digital Red Output Data [2] 또는 External Interrupt Source 5 또는 Programmable I/O[45]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
R[3] / DEC_DIN[0] / GPIO[46]	B	Red Output Data [3] or Video Decoder Data Bus [0] or Programmable I/O[46] Digital Red Output Data [3] 또는 Image Capture를 위한 Video Decoder YCbCr 4:2:2 Data[0] 또는 Programmable I/O[46]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
R[7:4] / DEC_DIN[4:1] / GPIO[50:47]	B	Red Output Data [7:4] or Video Decoder Data Bus [4:1] or Programmable I/O[50:47] Digital Red Output Data [7:4] 또는 Image Capture를 위한 Video Decoder YCbCr 4:2:2 Data[4:1] 또는 Programmable I/O[50:47]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.

G[0] / EXT_IRQ[1] / UART_Rx[3] / I2S_SCK	B	Green Output Data [0] or External Interrupt Source 1 or UART Ch.3 Rx or I2S Serial Bit Clock Digital Green Output Data [0] 또는 External Interrupt Source 1 또는 UART Ch.3 Receive Data 또는 I2S Serial Bit Clock으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
G[1] / GUN[1] / EXT_IRQ[6] / I2S_LRCK	B	Green Output Data [1] or GUN[1] or External Interrupt Source 6 or I2S Left / Right Clock Digital Green Output Data [1] 또는 GUN [1] 또는 External Interrupt Source 6 또는 I2S Left / Right Clock으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
G[3:2] / DEC_DIN[6:5] / GPIO[54:53]	B	Green Output Data [3:2] or Video Decoder Data Bus [6:5] or Programmable I/O[54:53] Digital Green Output Data [3:2] 또는 Image Capture를 위한 Video Decoder YCbCr 4:2:2 Data[6:5] 또는 Programmable I/O[54:53]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
G[4] / USB_ovrcur / DEC_DIN[7] / GPIO[55]	B	Green Output Data [4] or USB Over-Current or Video Decoder Data Bus [7] or Programmable I/O[55] Digital Green Output Data [4] 또는 USB Over-Current Detection 또는 Image Capture를 위한 Video Decoder YCbCr 4:2:2 Data[7] 또는 Programmable I/O[55]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
G[5] / USB_prtpwr / DEC_ACTIVE / GPIO[56]	B	Green Output Data [5] or USB Port Power or Video Decoder Data Active or Programmable I/O[56] Digital Green Output Data [5] 또는 USB Port Power 또는 Image Capture를 위한 Video Decoder YCbCr 4:2:2 Data Active 또는 Programmable I/O[56]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
G[6] / HSYNC_IN / GPIO[57]	B	Green Output Data [6] or Video Decoder HSync. Input or Programmable I/O[57] Digital Green Output Data [6] 또는 Image Capture를 위한 Video Decoder HSync. Input 또는 Programmable I/O[57]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
G[7] / VSYNC_IN / GPIO[58]	B	Green Output Data [7] or Video Decoder VSync. Input or Programmable I/O[58] Digital Green Output Data [7] 또는 Image Capture를 위한 Video Decoder VSync. Input 또는 Programmable I/O[58]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
B[0] / UART_Tx[3] / DMA_ACKx[0] / I2S_MCLK	B	Blue Output Data [0] or UART Ch.3 Tx or DMA Ch.0 Acknowledge(Active Low) or I2S Master Clock Digital Blue Output Data [0] 또는 UART Ch.3 Transmit Data 또는 DMA Channel 0의 Acknowledge 신호 또는 I2S Master Clock으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
B[1] / PWM[1] / CAPTURE_IN[1] / GPIO[60]	B	Blue Output Data [1] or Pulse Width Modulation Ch.1 Output or Ch.1 Input Pulse Period Capture or Programmable I/O[60] Digital Blue Output Data [1] 또는 Pulse Width Modulation Ch.1 Output 또는 Ch.1 Input Pulse Period Capture 또는 Programmable I/O[60]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
B[2] / EXT_IRQ[7] / GPIO[61]	B	Blue Output Data [2] or External Interrupt Source 7 or Programmable I/O[61] Digital Blue Output Data [2] 또는 External Interrupt Source 7 또는 Programmable I/O[61]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.

B[5:3] / GPIO[64:62]	B	Blue Output Data [5:3] or Programmable I/O[64:62] Digital Blue Output Data [5:3] 또는 Programmable I/O[64:62]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
B[6] / DEC_FIELD / GPIO[65]	B	Blue Output Data [6] or Video Decoder Field Input or Programmable I/O[65] Digital Blue Output Data [6] 또는 Image Capture를 위한 Video Decoder Field Input 또는 Programmable I/O[65]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
B[7] / CSYNC_OUT / GPIO[66]	B	Blue Output Data [7] or Composite Sync. Output or Programmable I/O[66] Digital Blue Output Data [7] 또는 Composite Sync. Output 또는 Programmable I/O[66]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
DISP_EN	O	RGB(Digital / Analog) Display Enable
TWI_SDA / UART_Tx[3] / GPIO[106]	B	TWI Serial Data or UART Ch.3 Tx or Programmable I/O[106] TWI Serial Data 신호 또는 UART Ch.3 Transmit Data 또는 Programmable I/O[106]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
TWI_SCL / UART_Rx[3] / GPIO[107]	B	TWI Serial Clock or UART Ch.3 Rx or Programmable I/O[107] TWI Serial Clock 신호 또는 UART Ch.3 Receive Data 또는 Programmable I/O[107]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
UART_Tx[1] / PWM[0] / OSI_Tx / GPIO[39]	B	UART Ch.1 Tx or Pulse Width Modulation Ch.0 Output or OSI Tx or Programmable I/O[39] UART Ch.0 Transmit Data 또는 Pulse Width Modulation Ch.0 Output 또는 OSI (On Silicon In-circuit Emulator)를 위한 Transmit Data 또는 Programmable I/O[39]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
UART_Rx[1] / CAPTURE_IN[0] / OSI_Rx / GPIO[40]	B	UART Ch.1 Rx or Ch.0 Input Pulse Period Capture or OSI Rx or Programmable I/O[40] UART Ch.1 Receive Data 또는 Ch.0 Input Pulse Period Capture 또는 OSI (On Silicon In-circuit Emulator)를 위한 Receive Data 또는 Programmable I/O[40]으로 사용할 수 있으며 Pin Mux control register를 설정하여 용도를 결정한다.
UART_Tx[0]	O	UART Ch.0 Transmit Data
UART_Rx[0]	I	UART Ch.0 Receive Data
RTC_XIN	I	RTC External Clock Input
RTC_XOUT	O	RTC External Clock Output (RTC_XIN의 반전 Clock)
USB_DN	B	USB DN
USB_DP	B	USB DP
XIN	I	External Clock Input External Clock을 이용하여 Internal PLL(System PLL)을 사용할 때는 14.318MHz를 인가하고 External Clock을 직접 사용할 경우는 Chip에 적용가능한 최소값과 최대값 사이의 동작 주파수를 인가한다.
XOUT	O	External Clock Output XIN의 반전 Clock

3 REGISTER DESCRIPTIONS

EAGLE에 내장된 CPU AE32000C은 32bit의 Address로 되어 있다.

EAGLE의 메모리 영역은 TLB를 사용하지 않을 경우 외부에 총 512MByte의 메모리 영역을 가지며, 아래의 표와 같이 할당되어 있다.

각 Bank는 64MByte의 메모리 영역이 할당되어 있으며, 사용하고자 하는 Bank 중에서 임의의 64MByte 영역을 해당 Bank로 정의하여 사용할 수 있다. 예를 들어, “2000 0000h”부터 “3FFF FFFFh”까지 사이의 임의의 64MByte 영역을 Bank 1으로 정의하여 사용할 수 있다. 단 Bank 7은 128MByte 메모리 영역이 할당되어 있다.

EAGLE의 메모리 영역 중 “FFE2 0000 ~ FFEF FFFF” 영역은 retry를 지원하는 AHB peripheral를 위한 메모리 영역으로써 현재 정의되어 있지 않으며, “FFF0 0000 ~ FFFE FFFF” 영역 또한 정의 되어 있지 않는 메모리 영역으로써 만약 접근할 시 bus error가 발생한다.

* Notice

SDRAM 사용 시 Full Page Burst Mode 가 지원되는 SDRAM을 사용하여야 한다.

Address	Description	Size
0000 0000h	ROM, SRAM ~ 1EFF:FFFFh	64MB
1F00 0000h ~ 1F00 07FFh	Inside 2K SRAM 1F00:0000h ~ 1F00:03FFh lower 1kb 1F00:0400h ~ 1F00:07FFh higher 1kb	2KB
1F00 0800h ~ 1FFF FFFFh	Reserved	
2000 0000h	ROM, SRAM Bank 1 (CS1x)	64MB
4000 0000h	ROM, SRAM Bank 2 (CS2x)	64MB
6000 0000h	ROM, SRAM Bank 3 (CS3x)	64MB
8000 0000h	ROM, SRAM Bank 4 (CS4x)	64MB
A000 0000h	ROM, SRAM, SDRAM Bank 5 (CS5x)	64MB
C000 0000h	ROM, SRAM, SDRAM Bank 6 (CS6x)	64MB
E000 0000h ~ FFDF FFFF	Texture Memory Bank SDRAM Bank 7 (TSD_CSx,TSD_CSx2)	128MB
FFE0 0000h ~ FFE0 FFFFh	EAGLE Registers	64KB
FFE1 0000h ~ FFE1 FFFFh	EAGLE Registers	64KB
FFE2 0000h ~ FFEF FFFFh	Reserved : Retry Slave	
FFF0 0000h ~ FFFE FFFFh	Reserved : Default Salve	
FFFF 0000h ~ FFFF FFFFh	OSI ROM	64KB

표 3-1 EAGLE Memory Map(Normal Boot)

Address	Description	Size
0000 0000h ~ 0000 07FFh	Inside 2K SRAM 0000:0000h ~ 0000:03FFh lower 1kb 0000:0400h ~ 0000:07FFh higher 1kb	2KB
0000 0800h ~ 1FFF FFFFh	Reserved	
2000 0000h	ROM, SRAM Bank 1 (CS1x)	64MB
4000 0000h	ROM, SRAM Bank 2 (CS2x)	64MB
6000 0000h	ROM, SRAM Bank 3 (CS3x)	64MB
8000 0000h	ROM, SRAM Bank 4 (CS4x)	64MB
A000 0000h	ROM, SRAM, SDRAM Bank 5 (CS5x)	64MB
C000 0000h	ROM, SRAM, SDRAM RAM Bank 6 (CS6x)	64MB
E000 0000h ~ FFDF FFFF	Texture Memory Bank SDRAM Bank 7 (TSD_CSx,TSD_CSx2)	128MB
FFE0 0000h ~ FFE0 FFFFh	EAGLE Registers	64KB
FFE1 0000h ~ FFE1 FFFFh	EAGLE Registers	64KB
FFE2 0000h ~ FFEF FFFFh	Reserved : Retry Slave	
FFF0 0000h ~ FFFE FFFFh	Reserved : Default Salve	
FFFF 0000h ~ FFFF FFFFh	OSI ROM	64KB

표 3-2 EAGLE Memory Map(Auto Boot)

EAGLE에 내장된 CPU AE32000C는 TLB를 사용할 경우 총 4Gbyte의 Virtual Address 영역을 Access 할 수 있고, 8개의 512Mbyte 단위의 뱅크로 나눌 수 있다.

<i>Address</i>	<i>Description</i>	<i>Size</i>
0000 0000h ~ 1FFF FFFFh	Bank 0	512MB
2000 0000h ~ 3FFF FFFFh	Bank 1	512MB
4000 0000h ~ 5FFF FFFFh	Bank 2	512MB
6000 0000h ~ 7FFF FFFFh	Bank 3	512MB
8000 0000h ~ 9FFF FFFFh	Bank 4	512MB
A000 0000h ~ BFFF FFFFh	Bank 5	512MB
C000 0000h ~ DFFF FFFFh	Bank 6	512MB
E000 0000h ~ FFFF FFFFh	Bank 7	512MB

표 3-3 EAGLE Virtual Memory Map

EAGLE의 Register 영역은 FFE0:0000h부터 존재한다. 또한 AHB와 APB에 있는 Register들은 Grouping되어 있으며 Memory mapped I/O의 형태로 자세한 내용은 아래와 같다.

Offset Address	Block	Remark	Bus Connection
FFE0 0000h	(SP00) System & Pin Mux		APB
FFE0 0400h	(SH01) Local Memory Controller	ROM, SDRAM, SRAM	AHB
FFE0 0800h	(SH02) DMA Controller	2 Channels	
FFE0 0C00h	(SH03) Interrupt Controller	32 Sources	
FFE0 1000h	(SH04) Nand Flash Controller		
FFE0 1400h	(SH05) CRT Controller		
FFE0 1800h	(SH06) Graphic Engine		
FFE0 1C00h	(SH07) H264		
FFE0 2000h	(SH08) PLL & Power Manager		
FFE0 2400h	(SH09) SDC		
FFE0 3000h	(SH10) Sound Mixer		
FFE0 4000h	(SH11) GUN Controller		
FFE0 4400h	(SH12) Video Encoder		
FFE0 4800h	(SH13) CSC ICE		
FFE0 4C00h	(SH14) OSD		
FFE0 5000h	(SH15) JPEG ICE		
FFE0 5400h	(SH17) USB Host Controller		
FFE0 5800h	(SH18) YC ICE		
FFE0 5C00h ~ FFE0 7FFF	Reserved		
FFE0 8000h	(SP01) UART	4 Channels	APB
FFE0 8400h	(SP02) Reserved		
FFE0 8800h	(SP03) Reserved		
FFE0 8C00h	(SP04) Key Scan	5 * 5	
FFE0 9000h	(SP05) Reserved		
FFE0 9400h	(SP06) I2S		
FFE0 9800h	(SP07) USB Device Controller		
FFE0 9C00h	(SP08) Watch Dog Timer		
FFE0 A000h	(SP09) Timer/PWM/Capture	4 Channels	
FFE0 A400h	(SP10) GPIO		
FFE0 A800h	(SP11) RTC		
FFE0 AC00h	(SP12) TWI		
FFE0 B000h	(SP13) SPI		
FFE0 B400h ~ FFE0 FFFFh	Reserved		
FFE1 0000h	(SH16) JPEG Decoder		AHB
FFE2 0000h ~ FFEF FFFFh	Reserved		

표 3-4 EAGLE Register Offset Address

Peri-Block	Register Function	Address	Default Value
System	System ID Register (SYSID)	FFE0 0000h	0000 1A00h
	Configuration Register (CFG)	FFE0 0004h	0h
	USB Host / Device Select Register (USBSEL)	FFE0 0008h	0h
PinMux	PinMux Control Register 0 (PINMUX0)	FFE0 0010h	0h
	PinMux Control Register 1 (PINMUX1)	FFE0 0014h	0h
	PinMux Control Register 2 (PINMUX2)	FFE0 0018h	0h
	PinMux Control Register 3 (PINMUX3)	FFE0 001Ch	0h
	PinMux Control Register 4 (PINMUX4)	FFE0 0020h	0h
	PinMux Control Register 5 (PINMUX5)	FFE0 0024h	0h
	PinMux Control Register 6 (PINMUX6)	FFE0 0028h	0h
	PinMux Control Register 7 (PINMUX7)	FFE0 002Ch	0h
Local Memory Controller	Local Memory Bank Control Register (MEMCON0)	FFE0 0400h	FFF0h
	Local Memory Bank Control Register (MEMCON1)	FFE0 0404h	FFF1h
	Local Memory Bank Control Register (MEMCON2)	FFE0 0408h	FFF1h
	Local Memory Bank Control Register (MEMCON3)	FFE0 040Ch	FFF1h
	Local Memory Bank Control Register (MEMCON4)	FFE0 0410h	FFF1h
	Local Memory Bank Control Register (MEMCON5)	FFE0 0414h	FFF2h
	Local Memory Bank Control Register (MEMCON6)	FFE0 0418h	FFF2h
	Local SDRAM Clock Delay & Refresh Control (MEMCLKCON)	FFE0 041Ch	7h
	Frame Memory Area Start Address (FMASA)	FFE0 0420h	0h
	1 MHz Frequency Generation Register (1MFREQGEN)	FFE0 0424h	00FFh
	Texture Memory Control Register (TMEMCON)	FFE0 0430h	00F0h
	Texture SDRAM Clock Delay & Refresh Control (TMEMCLKCON)	FFE0 0434h	3h
	Texture Memory Area Start Address (TMASA)	FFE0 0438h	0h
DMA Controller	DMA status register(GDMASTAT)	FFF0 0800h	0h
	DMA interrupt mask register(GDMAIM)	FFF0 0804h	0h
	DMA enable status register(GDMAESTAT)	FFF0 0808h	0h
	DMA request status & synchronization register (GDMARSS)	FFF0 080Ch	0000 01E7h
	DMA configuration register(GDMACFG)	FFF0 0810h	0h
	DMA last request register(GDMALR)	FFF0 0818h	0h
	DMA Ch.0 Control Register(GDMACON0)	FFE0 0820h	0h
	DMA Ch.0 Source Address Register(GDMAS0)	FFE0 0824h	0h
	DMA Ch.0 Destination Address Register(GDMAD0)	FFE0 0828h	0h
	DMA Ch.0 Transfer Count Register(GDMAT0)	FFE0 082Ch	0h
	DMA Ch.0 Descriptor Table Address Register(GDMADT0)	FFE0 0830h	0h
	DMA Ch.1 Control Register(GDMACON1)	FFE0 0840h	0h
	DMA Ch.1 Source Address Register(GDMAS1)	FFE0 0844h	0h
	DMA Ch.1 Destination Address Register(GDMAD1)	FFE0 0848h	0h
	DMA Ch.1 Transfer Count Register(GDMAT1)	FFE0 084Ch	0h
	DMA Ch.1 Descriptor Table Address Register(GDMADT1)	FFE0 0850h	0h
Interrupt Controller	External Interrupt Source & Mode Select Register (INTMOD)	FFE0 0C00h	00FF 0000h
	Interrupt Vector Register (INTVEC)	FFE0 0C04h	0020h
	Interrupt Vector Clear Register (INTVECCLR)	FFE0 0C08h	0h
	Interrupt Enable Register (INTEN)	FFE0 0C0Ch	0h
	Interrupt Status Register (INTSTAT)	FFE0 0C10h	0h
	Interrupt Priority Programmable Register 0 (INPPR0)	FFE0 0C14h	0302 0100h
	Interrupt Priority Programmable Register 1 (INPPR1)	FFE0 0C18h	0706 0504h
	Interrupt Priority Programmable Register 2 (INPPR2)	FFE0 0C1Ch	0B0A 0908h
	Interrupt Priority Programmable Register 3 (INPPR3)	FFE0 0C20h	0F0E 0D0Ch
	Interrupt Priority Programmable Register 4 (INPPR4)	FFE0 0C24h	1312 1110h
	Interrupt Priority Programmable Register 5 (INPPR5)	FFE0 0C28h	1716 1514h
	Interrupt Priority Programmable Register 6 (INPPR6)	FFE0 0C2Ch	1B1A 1918h
	Interrupt Priority Programmable Register 7 (INPPR7)	FFE0 0C30h	1F1E 1D1Ch
	Interrupt Trigger Mode Register (IRQTRMD)	FFE0 0C34h	B980 DCFh
	Interrupt Output Masking Register (INTMSK)	FFE0 0C38h	FFFF FFFh
	MCU Core Handshake Register (INTHSMCU)	FFE0 0C40h	0h
NAND Flash	NAND Flash Memory Control Register (NFMCON)	FFE0 1000h	0h

Controller	NAND Flash Memory Command Set Register (NFMCMD)	FFE0 1004h	0h
	NAND Flash Memory Address Register (NFMADDR)	FFE0 1008h	0h
	NAND Flash Memory Data Register (NFMDATA)	FFE0 100Ch	0h
	NAND Flash Memory DMA Data Register (NFMDMA)	FFE0 1010h	0h
	NAND Flash Memory Operation Status Register (NFMSTAT)	FFE0 1014h	0004h
	NAND Flash Memory ECC(Error Correction Code) Register (NFMECC)	FFE0 1018h	00FF FFFFh
	NAND Flash Memory Configuration Register (NFMCFG)	FFE0 101Ch	0001 FFFFh
	NAND Flash Memory ECC Code for LSN data (NFMECCL)	FFE0 1020h	FFFFh
	NAND Flash Memory Low / High Start Address Register (NFMLSM / NFMHSM)	FFE0 1024h / FFE0 102Ch	0h / 0h
	NAND Flash Memory Direct Read Destination Address Register (NFMDIR)	FFE0 1030h	0h
CRT Controller	CRT Base Address Register(CRTBA)	FFE0 1400h	0h
	CRT Horizontal Total Register(CRHT)	FFE0 1404h	0h
	CRT Horizontal Sync. Start / End Register(CRTHS)	FFE0 1408h	0h
	CRT Horizontal Active Start / End Register(CRTHA)	FFE0 140Ch	0h
	CRT Vertical Total Register(CRTVT)	FFE0 1410h	0h
	CRT Vertical Sync. Start / End Register(CRTVS)	FFE0 1414h	0h
	CRT Vertical Active Start / End Register(CRTVA)	FFE0 1418h	0h
	CRT Display Current X / Y Position Register(CRTXY)	FFE0 141Ch	0h
	CRT Status Register(CRTSTAT)	FFE0 1420h	0015h
	CRT Control Register(CRTCON)	FFE0 1424h	0100 0000h
	CRT Overlay & DAC Control Register(CRTOEDAC)	FFE0 1428h	100Fh
	CRT VESA Power Management Control Register(CRTPM)	FFE0 142Ch	0h
Graphic Engine	Packet Write Pointer Register (GRAPWP)	FFE0 1800h	0h
	Packet Read Pointer Register (GRAPRP)	FFE0 1804h	0h
	Rendering Control Register (GRARCON)	FFE0 1808h	0100h
	Current Display Bank Register (GRACDB)	FFE0 180Ch	0102 0100h
	Flip Command Count Register (GRAFCC)	FFE0 1810h	0h
	Non-Texture Memory Mode Register (GRANONTEXTURE)	FFE0 1814h	0h
H.264	Decoder Enable Register (H264DON)	FFE0 1C00h	0h
	Decoder Mode Register (H264DECMODE)	FFE0 1C04h	0h
	Decoder Endian Register (H264ENDIAN)	FFE0 1C08h	0h
	Error Detection Register (H264ERRON)	FFE0 1C0Ch	0001h
	Bit-Stream Buffer Start Address Register (H264BSA)	FFE0 1C10h	0h
	Bit-Stream Buffer End Address Register (H264BEA)	FFE0 1C14h	0h
	Bit-Stream Buffer Read Address Register (H264BRA)	FFE0 1C18h	0h
	Bit-Stream Buffer New Read Address Register (H264BRAW)	FFE0 1C1Ch	0h
	Y0 Frame Buffer Start Address Register (H264Y0SA)	FFE0 1C20h	0h
	Y1 Frame Buffer Start Address Register (H264Y1SA)	FFE0 1C24h	0h
	Y2 Frame Buffer Start Address Register (H264Y2SA)	FFE0 1C28h	0h
	C0 Frame Buffer Start Address Register (H264C0SA)	FFE0 1C2Ch	0h
	C1 Frame Buffer Start Address Register (H264C1SA)	FFE0 1C30h	0h
	C2 Frame Buffer Start Address Register (H264C2SA)	FFE0 1C34h	0h
	Horizontal Size of Decoded Image 0 Register (H264F0MXS)	FFE0 1C40h	0h
	Vertical Size of Decoded Image 0 Register (H264F0MYS)	FFE0 1C44h	0h
	Horizontal Size of Decoded Image 1 Register (H264F1MXS)	FFE0 1C48h	0h
	Vertical Size of Decoded Image 1 Register (H264F1MYS)	FFE0 1C4Ch	0h
	Horizontal Size of Decoded Image 2 Register (H264F2MXS)	FFE0 1C50h	0h
	Vertical Size of Decoded Image 2 Register (H264F2MYS)	FFE0 1C54h	0h
	Horizontal Size of Scaler Output Register (H264XOUTP)	FFE0 1C80h	0h
	Vertical Size of Scaler Output Register (H264YOUTP)	FFE0 1C84h	0h
	Decoder Frame Buffer Pointer Register (H264FP)	FFE0 1C88h	0h
	Scaler Frame Buffer Pointer Register (H264SP)	FFE0 1C8Ch	0h
	Scaler Enable Register (H264SON)	FFE0 1C90h	0h
	Scaler Endian Register (H264SWAP)	FFE0 1C94h	0h
	Interrupt Enable Register (H264INT)	FFE0 1CA0h	0h
	Interrupt Flag Register (H264FLAG)	FFE0 1CA4h	0h

	Interrupt Half Address Register (H264IHA)	FFE0 1CA8h	0h
	Interrupt End Address Register (H264IEA)	FFE0 1CACh	0h
PLL & Power Manager	System Clock Source Select Register (SPLLCKSEL)	FFE0 2000h	0h
	System PLL Control Register (SPLLCON)	FFE0 2004h	0h
	System PLL Program Register (SPLLPMN)	FFE0 2008h	4230h
	CRT Clock Source Select Register (CPLLCKSEL)	FFE0 2010h	0h
	CRT PLL Control Register (CPLLCON)	FFE0 2014h	0010h
	CRT PLL Program Register (CPLLPMN)	FFE0 2018h	410Dh
	USB Clock Source Select Register (UPLLCKSEL)	FFE0 2020h	0h
	USB PLL Control Register (UPLLCON)	FFE0 2024h	0010h
	USB PLL Program Register (UPLLPMN)	FFE0 2028h	4213h
	H264/MJPEG Clock Enable bit Register (HMCLKEN)	FFE0 2030h	7h
SDC	SDC Control Register (SDCCON)	FFE0 2400h	0h
	SDC Status Register (SDCSTAT)	FFE0 2404h	0800h
	SDC Clock Divide Register (SDCCD)	FFE0 2408h	0200h
	SDC Response Time Out Register (SDCRTO)	FFE0 240Ch	00FFh
	SDC Read Data Time Out Register (SDCRDTO)	FFE0 2410h	00FFh
	SDC Block Length Register (SDCBL)	FFE0 2414h	0200h
	SDC Number of Block Register (SDCNOB)	FFE0 2418h	0h
	SDC Interrupt Enable Register (SDCIE)	FFE0 241Ch	0h
	SDC Command Control Register (SDCCMDCON)	FFE0 2420h	0h
	SDC Command Argument Register (SDCCMDA)	FFE0 2424h	0h
	SDC Response FIFO Access Register (SDCRFA)	FFE0 2428h	-
	SDC Data FIFO Access Register (SDCDFA)	FFE0 242Ch	-
Sound Mixer	Sound Data Channel 0 Control Register (SNDCON0)	FFE0 3000h	00FF 00FFh
	Sound Data Channel 0 Start Address Set Register (SNDADR0)	FFE0 3004h	0h
	Sound Data Channel 0 Size Set Register (SNDISIZ0)	FFE0 3008h	0h
	Sound Data Channel 0 FIFO Buffer Register (SNDBUF0)	FFE0 300Ch	0h
	Sound Data Channel On / Status Register (SNDCHON)	FFE0 3010h	0h
	Sound Data Channel Interrupt Status Register (SNDIRQSTAT)	FFE0 3014h	0h
	Sound Mixer Playback Set Register (SNDPLAY)	FFE0 3018h	0h
	Sound Data Channel 0 Level Status Register (SNDLEV0)	FFE0 301Ch	0h
	Sound Data Channel 1 Control Register (SNDCON1)	FFE0 3020h	00FF 00FFh
	Sound Data Channel 1 Start Address Set Register (SNDADR1)	FFE0 3024h	0h
	Sound Data Channel 1 Size Set Register (SNDISIZ0)	FFE0 3028h	0h
	Sound Data Channel 1 FIFO Buffer Register (SNDBUF1)	FFE0 302Ch	0h
	Sound Data Channel 1 Level Status Register (SNDLEV1)	FFE0 303Ch	0h
	Sound Data Channel 2 Control Register (SNDCON2)	FFE0 3040h	00FF 00FFh
	Sound Data Channel 2 Start Address Set Register (SNDADR2)	FFE0 3044h	0h
	Sound Data Channel 2 Size Set Register (SNDISIZ0)	FFE0 3048h	0h
	Sound Data Channel 2 FIFO Buffer Register (SNDBUF2)	FFE0 304Ch	0h
	Sound Data Channel 2 Level Status Register (SNDLEV2)	FFE0 305Ch	0h
	Sound Data Channel 3 Control Register (SNDCON3)	FFE0 3060h	00FF 00FFh
	Sound Data Channel 3 Start Address Set Register (SNDADR3)	FFE0 3064h	0h
	Sound Data Channel 3 Size Set Register (SNDISIZ0)	FFE0 3068h	0h
	Sound Data Channel 3 FIFO Buffer Register (SNDBUF3)	FFE0 306Ch	0h
	Sound Data Channel 3 Level Status Register (SNDLEV3)	FFE0 307Ch	0h
	Sound Data Channel 4 Control Register (SNDCON4)	FFE0 3080h	00FF 00FFh
	Sound Data Channel 4 Start Address Set Register (SNDADR4)	FFE0 3084h	0h
	Sound Data Channel 4 Size Set Register (SNDISIZ0)	FFE0 3088h	0h
	Sound Data Channel 4 FIFO Buffer Register (SNDBUF4)	FFE0 308Ch	0h
	Sound Data Channel 4 Level Status Register (SNDLEV4)	FFE0 309Ch	0h
	Sound Data Channel 5 Control Register (SNDCON5)	FFE0 30A0h	00FF 00FFh
	Sound Data Channel 5 Start Address Set Register (SNDADR5)	FFE0 30A4h	0h
	Sound Data Channel 5 Size Set Register (SNDISIZ0)	FFE0 30A8h	0h
	Sound Data Channel 5 FIFO Buffer Register (SNDBUF5)	FFE0 30ACh	0h
	Sound Data Channel 5 Level Status Register (SNDLEV5)	FFE0 30BCh	0h
	Sound Data Channel 6 Control Register (SNDCON6)	FFE0 30C0h	00FF 00FFh
	Sound Data Channel 6 Start Address Set Register (SNDADR6)	FFE0 30C4h	0h

	Sound Data Cannel 6 Size Set Register (SNSDIZ0)	FFE0 30C8h	0h
	Sound Data Channel 6 FIFO Buffer Register (SNDBUF6)	FFE0 30CCh	0h
	Sound Data Channel 6 Level Status Register (SNDLEV6)	FFE0 30DCh	0h
	Sound Data Channel 7 Control Register (SNDCON7)	FFE0 30E0h	00FF 00FFh
	Sound Data Channel 7 Start Address Set Register (SNDADR7)	FFE0 30E4h	0h
	Sound Data Cannel 7 Size Set Register (SNSDIZ0)	FFE0 30E8h	0h
	Sound Data Channel 7 FIFO Buffer Register (SNDBUF7)	FFE0 30ECh	0h
	Sound Data Channel 7 Level Status Register (SNDLEV7)	FFE0 30FCh	0h
GUN Controller	CRT GUN Control Register (GUNCON)	FFE0 4000h	0h
	CRT GUN 0 / 1 X Position Register (GUNXP0 \ GUNXP1)	FFE0 4004h	0h
	CRT GUN 0 / 1 Y Position Register (GUNYP0 \ GUNYP1)	FFE0 4008h	0h
	CRT GUN Interrupt Status Register (GUNIRQSTAT)	FFE0 400Ch	0h
Video Encoder	Enc_Mode Register (ENCMODE)	FFE0 4400h	0h
	Enc_Hue Adjust Register (ENCHUE)	FFE0 4404h	0h
	Enc_VPC Register (ENCVPC)	FFE0 4408h	0040h
	Enc_HPC Register (ENCHPC)	FFE0 440Ch	0040h
	Enc_Test Register (ENCTEST)	FFE0 4410h	0h
	Enc_Brightness Register (ENCBRIGHT)	FFE0 4414h	0080h
	Enc_Contrast Register (ENCCONTRAST)	FFE0 4418h	0080h
	Enc_Saturation Register (ENCSATURATION)	FFE0 441Ch	0080h
CSC Image Capturer	Engine Control Register (CSCICCON)	FFE0 4800h	0h
	Pixel Gain Control Register (CSCICPGCON)	FFE0 4804h	FFFF FF00h
	X Coordinate Down Scaling Control Register (CSCICXDSCON)	FFE0 4808h	1F00h
	Y Coordinate Down Scaling Control Register (CSCICYDSCON)	FFE0 480Ch	0F00h
	Rendering X Start Point Register (CSCICXSP)	FFE0 4810h	0h
	Rendering Y Start Point Register (CSCICYSP)	FFE0 4814h	0h
OSD	OSD Control Register (OSDCON)	FFE0 4C00h	0h
	OSD Transparent Color Register (OSDTC)	FFE0 4C04h	0h
	Alpha Blending Control Register (OSDACON)	FFE0 4C08h	0h
	OSD Alpha Blending Color Register#0 (OSDAC0)	FFE0 4C0Ch	0h
	OSD Alpha Blending Color Register#1 (OSDAC1)	FFE0 4C10h	0h
	OSD Alpha Blending Color Register#2 (OSDAC2)	FFE0 4C14h	0h
	OSD Alpha Blending Color Register#3 (OSDAC3)	FFE0 4C18h	0h
	OSD Frame Memory Start Address Register (OSDFMSA)	FFE0 4C1Ch	0h
	Palette RAM Data Register (OSDPRD)	FFE0 4C20h	-
	First OSD window start position Register (OSDWSP0)	FFE0 4C24h	0h
	First OSD window size Register (OSDWS0)	FFE0 4C28h	0h
	Second OSD window start position Register (OSDWSP1)	FFE0 4C2Ch	0h
	Second OSD window size Register (OSDWS1)	FFE0 4C30h	0h
JPEG Image Capturer	Engine Control Register (JICCON)	FFE0 5000h	0h
	Pixel Gain Control Register (JICPGCON)	FFE0 5004h	FFFF FF00h
	Rendering X Start Point Register (JICXSP)	FFE0 5008h	0h
	Rendering Y Start Point Register (JICYSP)	FFE0 500Ch	0h
	Rendering Base Start Address Register (JICBSA)	FFE0 5010h	0h
	Rendering Status Register (JICSTAT)	FFE0 5014h	0h
	Rendering Y Offset Address Register (JICYOFFA)	FFE0 5018h	0h
USB Host Controller	HcRevision	FFE0 5400h	0h
	HcControl	FFE0 5404h	0h
	HcCommandStatus	FFE0 5408h	0h
	HcInterruptStatus	FFE0 540Ch	0h
	HcInterruptEnable	FFE0 5410h	0h
	HcInterruptDisable	FFE0 5414h	0h
	HcHCCA	FFE0 5418h	0h
	HcPeriodCurrentED	FFE0 541Ch	0h
	HcControlHeadED	FFE0 5420h	0h
	HcControlCurrentED	FFE0 5424h	0h
	HcBulkHeadED	FFE0 5428h	0h
	HcBulkCurrentED	FFE0 542Ch	0h
	HcDoneHead	FFE0 5430h	0h

	HcFmInterval	FFE0 5434h	0h
	HcFmRemaining	FFE0 5438h	0h
	HcFmNumber	FFE0 543Ch	0h
	HcPeriodicStart	FFE0 5440h	0h
	HcLSThreshold	FFE0 5444h	0h
	HcRhDescriptorA	FFE0 5448h	0h
	HcRhDescriptorB	FFE0 544Ch	0h
	HcRhStatus	FFE0 5450h	0h
	Reserved	FFE0 5454h	0h
	HcRhPortStatus[1]	FFE0 5458h	0h
YC Image Capturer	Engine Control Register (YCICCON)	FFE0 5800h	0h
	Y Buffer 0 Start Address Register (YCICYB0SA)	FFE0 5804h	0h
	Y Buffer 1 Start Address Register (YCICYB1SA)	FFE0 5808h	0h
	Y Buffer 2 Start Address Register (YCICYB2SA)	FFE0 580Ch	0h
	C Buffer 0 Start Address Register (YCICCB0SA)	FFE0 5810h	0h
	C Buffer 1 Start Address Register (YCICCB1SA)	FFE0 5814h	0h
	C Buffer 2 Start Address Register (YCICCB2SA)	FFE0 5818h	0h
	Input Source Image X Size Register (YCICISXS)	FFE0 581Ch	0h
	Input Source Image Y Size Register (YCICISYS)	FFE0 5820h	0h
	Output Image X Size Register (YCICOXS)	FFE0 5824h	0h
	Output Image Y Size Register (YCICOYS)	FFE0 5828h	0h
UART	UART Channel 0 Receiver Buffer Register (URB0)	FFE0 8000h	0h
	UART Channel 0 Transmitter Holding Register (UTH0)	FFE0 8000h	-
	UART Channel 0 Divisor Latch LSB Register (UDL0)	FFE0 8000h	0h
	UART Channel 0 Interrupt Identification Register (UII0)	FFE0 8004h	0h
	UART Channel 0 Divisor Latch MSB Register (UDLM0)	FFE0 8004h	0h
	UART Channel 0 FIFO Control Register (UFCON0)	FFE0 8008h	0h
	UART Channel 0 Line Control Register (ULCON0)	FFE0 800Ch	0h
	UART Channel 0 Line Status Register (ULSTAT0)	FFE0 8014h	0060h
	UART Channel 1 Receiver Buffer Register (URB1)	FFE0 8020h	0h
	UART Channel 1 Transmitter Holding Register (UTH1)	FFE0 8020h	-
	UART Channel 1 Divisor Latch LSB Register (UDLL1)	FFE0 8020h	0h
	UART Channel 1 Interrupt Identification Register (UII1)	FFE0 8024h	0h
	UART Channel 1 Divisor Latch MSB Register (UDLM1)	FFE0 8024h	0h
	UART Channel 1 FIFO Control Register (UFCON1)	FFE0 8028h	0h
	UART Channel 1 Line Control Register (ULCON1)	FFE0 802Ch	0h
	UART Channel 1 Line Status Register (ULSTAT1)	FFE0 8034h	0060h
	UART Channel 2 Receiver Buffer Register (URB2)	FFE0 8040h	0h
	UART Channel 2 Transmitter Holding Register (UTH2)	FFE0 8040h	-
	UART Channel 2 Divisor Latch LSB Register (UDLL2)	FFE0 8040h	0h
	UART Channel 2 Interrupt Identification Register (UII2)	FFE0 8044h	0h
	UART Channel 2 Divisor Latch MSB Register (UDLM2)	FFE0 8044h	0h
	UART Channel 2 FIFO Control Register (UFCON2)	FFE0 8048h	0h
	UART Channel 2 Line Control Register (ULCON2)	FFE0 804Ch	0h
	UART Channel 2 Line Status Register (ULSTAT2)	FFE0 8054h	0060h
	UART Channel 3 Receiver Buffer Register (URB3)	FFE0 8060h	0h
	UART Channel 3 Transmitter Holding Register (UTH3)	FFE0 8060h	-
	UART Channel 3 Divisor Latch LSB Register (UDLL3)	FFE0 8060h	0h
	UART Channel 3 Interrupt Identification Register (UII3)	FFE0 8064h	0h
	UART Channel 3 Divisor Latch MSB Register (UDLM3)	FFE0 8064h	0h
	UART Channel 3 FIFO Control Register (UFCON3)	FFE0 8068h	0h
	UART Channel 3 Line Control Register (ULCON3)	FFE0 806Ch	0h
	UART Channel 3 Line Status Register (ULSTAT3)	FFE0 8074h	0060h
Key Scan	Key Scan Control Register (KSCON)	FFE0 8C00h	0h
	Key Scan Counter Register (KSCNT)	FFE0 8C04h	FFFFh
	Key Scan Data Register 1 (KSD1)	FFE0 8C08h	0h
	Key Scan Data Register 2 (KSD2)	FFE0 8C0Ch	-
I2S	I2S Control Register (I2SCON)	FFE0 9400h	0h
	I2S Mode Register (I2SMOD)	FFE0 9404h	0h

	I2S Pre-Scaler Register (I2SPS)	FFE0 9408h	0h
	I2S Status Register (I2SSTAT)	FFE0 940Ch	0h
	I2S Data Register (I2SDATA)	FFE0 9410h	0h
USB Device Controller	Function address register (USBFA)	FFE0 9800h	0h
	Power management register (USBPM)	FFE0 9804h	0h
	Endpoint interrupt register (USBEP1)	FFE0 9808h	0h
	USB interrupt register (USBINT)	FFE0 9810h	0h
	Endpoint interrupt enable register (USBEP1EN)	FFE0 9814h	001Fh
	USB interrupt enable register (USBINTEN)	FFE0 9818h	0004h
	Frame number1 register (USBLBFN)	FFE0 981Ch	0h
	Frame number2 register (USBHBFN)	FFE0 9820h	0h
	Index register (USBIND)	FFE0 9824h	0h
	MAXP register (USBMP)	FFE0 9828h	0h
	EP0 control register (USBEP0CON)	FFE0 982Ch	0h
	EP2, 4 IN Control register1 (USBICON1)	FFE0 982Ch	0h
	EP2, 4 IN Control register2 (USBICON2)	FFE0 9830h	0h
	EP1, 3 OUT Control register 1 (USBOCON1)	FFE0 9838h	0h
	EP1, 3 OUT Control register 2 (USBOCON2)	FFE0 983Ch	0h
	Low Byte OEP Write count register (USBLBOWC)	FFE0 9840h	0h
	High Byte OEP write count register (USBHBOWC)	FFE0 9844h	0h
	EP0 FIFO data register (USBEP0D)	FFE0 9848h	0h
	EP1 FIFO data register (USBEP1D)	FFE0 984Ch	0h
	EP2 FIFO data register (USBEP2D)	FFE0 9850h	0h
	EP3 FIFO data register (USBEP3D)	FFE0 9854h	0h
	EP4 FIFO data register (USBEP4D)	FFE0 9858h	0h
Watch Dog Timer	Watch Dog Timer Control Register (WDCON)	FFE0 9C00h	0h
	Watch Dog Timer Count Register (WDCNT)	FFE0 9C04h	FFFF FFFFh
Timer / PWM / Capture	Timer Clock Selection Register 0 (TCSR0)	FFE0 A000h	0h
	Timer Control Register 0 (TCON0)	FFE0 A004h	000Eh
	Timer Counter / Output Period Register 0 (TCNT0)	FFE0 A008h	FFFF FFFFh
	Capture Counter / PWM Duty Compare Register 0 (TDUT0)	FFE0 A00Ch	FFFF FFFFh
	Output Pulse Count Register 0 (TPUL0)	FFE0 A010h	FFFF FFFFh
	Timer Clock Selection Register 1 (TCSR1)	FFE0 A100h	0h
	Timer Control Register 1 (TCON1)	FFE0 A104h	000Eh
	Timer Counter / Output Period Register 1 (TCNT1)	FFE0 A108h	FFFF FFFFh
	Capture Counter / PWM Duty Compare Register 1 (TDUT1)	FFE0 A10Ch	FFFF FFFFh
	Output Pulse Count Register 1 (TPUL1)	FFE0 A110h	FFFF FFFFh
	Timer Clock Selection Register 2 (TCSR2)	FFE0 A200h	0h
	Timer Control Register 2 (TCON2)	FFE0 A204h	000Eh
	Timer Counter / Output Period Register 2 (TCNT2)	FFE0 A208h	FFFF FFFFh
	Capture Counter / PWM Duty Compare Register 2 (TDUT2)	FFE0 A20Ch	FFFF FFFFh
	Output Pulse Count Register 2 (TPUL2)	FFE0 A210h	FFFF FFFFh
	Timer Clock Selection Register 3 (TCSR3)	FFE0 A300h	0h
	Timer Control Register 3 (TCON3)	FFE0 A304h	000Eh
	Timer Counter / Output Period Register 3 (TCNT3)	FFE0 A308h	FFFF FFFFh
	Capture Counter / PWM Duty Compare Register (TDUT3)	FFE0 A30Ch	FFFF FFFFh
	Output Pulse Count Register 3 (TPUL3)	FFE0 A310h	FFFF FFFFh
GPIO	Port Direction Register (PADIR)	FFE0 A400h	0h
	Port Direction Output Mode Register (PAOUT)	FFE0 A400h	-
	Port Direction Input Mode Register (PAIN)	FFE0 A404h	-
	Port Output Data Level Register (PAOLEV)	FFE0 A408h	0h
	Port Output Data High Level Setting Register (PAOH)	FFE0 A408h	-
	Port Output Data Low Level Setting Register (PAOL)	FFE0 A40Ch	-
	Port Input Data Level Register (PAILEV)	FFE0 A410h	0h
	Port Direction Register (PBDIR)	FFE0 A420h	0h
	Port Direction Output Mode Register (PBOUT)	FFE0 A420h	-
	Port Direction Input Mode Register (PBIN)	FFE0 A424h	-
	Port Output Data Level Register (PBOLEV)	FFE0 A428h	0h
	Port Output Data High Level Setting Register (PBOH)	FFE0 A428h	-

	Port Output Data Low Level Setting Register (PBOL)	FFE0 A42Ch	-
	Port Input Data Level Register (PBILEV)	FFE0 A430h	0h
	Port Direction Register (PCDIR)	FFE0 A440h	0h
	Port Direction Output Mode Register (PCOUT)	FFE0 A440h	-
	Port Direction Input Mode Register (PCIN)	FFE0 A444h	-
	Port Output Data Level Register (PCOLEV)	FFE0 A448h	0h
	Port Output Data High Level Setting Register (PCOH)	FFE0 A448h	-
	Port Output Data Low Level Setting Register (PCOL)	FFE0 A44Ch	-
	Port Input Data Level Register (PCILEV)	FFE0 A450h	0h
	Port Direction Register (PDDIR)	FFE0 A460h	0h
	Port Direction Output Mode Register (PDOUT)	FFE0 A460h	-
	Port Direction Input Mode Register (PDIN)	FFE0 A464h	-
	Port Output Data Level Register (PDOLEV)	FFE0 A468h	0h
	Port Output Data High Level Setting Register (PDOH)	FFE0 A468h	-
	Port Output Data Low Level Setting Register (PDOL)	FFE0 A46Ch	-
	Port Input Data Level Register (PDILEV)	FFE0 A470h	0h
RTC	RTC Control Register (RTCCON)	FFE0 A800h	0h
	SEC Register (RTCSEC)	FFE0 A804h	0h
	MIN Register (RTCMIN)	FFE0 A808h	0h
	HOUR Register (RTCHOUR)	FFE0 A80Ch	0h
	DAY Register (RTCDAY)	FFE0 A810h	0h
	WEEK Register (RTCWEEK)	FFE0 A814h	0h
	MONTH Register (RTCMON)	FFE0 A818h	0h
	YEAR Register (RTCYEAR)	FFE0 A81Ch	0h
TWI	TWI Control Register (TWICON)	FFE0 AC00h	0h
	TWI Status Register (TWISTAT)	FFE0 AC04h	0201h
	TWI Address Register (TWIADDR)	FFE0 AC08h	0h
	TWI Data Register (TWIDATA)	FFE0 AC0Ch	0h
	TWI Baud-rate 0 Register (TWIBR0)	FFE0 AC10h	0h
	TWI Baud-rate 1 Register (TWIBR1)	FFE0 AC14h	0h
SPI	SPI Control Register (SPICON)	FFE0 B000h	0h
	SPI Baud Rate Register (SPIBR)	FFE0 B004h	00FFh
	SPI Status Register (SPISTAT)	FFE0 B008h	0h
	SPI Data Register (SPID)	FFE0 B00Ch	0h
	SPI SSX Control Register (SPISCON)	FFE0 B010h	0001h
	SPI Interrupt Mask Register (SPIIM)	FFE0 B014h	0h
	SPI Transfer Mode Register (SPITM)	FFE0 B018h	0h
	SPI Clock Select Register (SPICS)	FFE0 B01Ch	0h
JPEG Decoder	JPEG DECODER MCU WIDTH Register (JDMWIDTH)	FFE1 0234h	0h
	JPEG DECODER MCU HEIGHT Register (JDMHEIGHT)	FFE1 0238h	0h
	JPEG DECODER Quantization Scale Control Register (JDQSC)	FFE1 023Ch	0h
	JPEG DECODER Command Control Register (JDCOMCON)	FFE1 0240h	0h
	JPEG DECODER YDC NODE Table (JDYDCNT)	FFE1 0800h ~FFE1 0830h	0h
	JPEG DECODER YDC LEAF Table (JDYDCLT)	FFE1 0C00h ~FFE1 0C30h	0h
	JPEG DECODER YAC NODE Table (JDYACNT)	FFE1 2800h ~FFE1 2A88h	0h
	JPEG DECODER YAC LEAF Table (JDYACLT)	FFE1 3000h ~FFE1 3288h	0h
	JPEG DECODER UVDC NODE Table (JDUVDCNT)	FFE1 4800h ~FFE1 4830h	0h
	JPEG DECODER UVDC LEAF Table (JDUVDCLT)	FFE1 5000h ~FFE1 5030h	0h
	JPEG DECODER UVAC NODE Table (JDUVACNT)	FFE1 6800h ~FFE1 6A88h	0h
	JPEG DECODER UVAC LEAF Table (JDUVACLT)	FFE1 7000h ~FFE1 7288h	0h
	JPEG DECODER STATUS Register (JDSTAT)	FFE1 8000h	0h

	JPEG DECODER IRQ STATUS Register (JDIRQSTAT)	FFE1 8004h	0h
	JPEG DECODER Data FIFO Status Register (JDDFSTAT)	FFE1 8008h	0h
	JPEG DECODER Enable Register (JDENA)	FFE1 8010h	0b
	JPEG DECODER FIFO Clear Register (JDFCLR)	FFE1 8014h	0h
	JPEG DECODER FIFO Control Register (JDFCON)	FFE1 8018h	0h
	JPEG DECODER WAITE CONTROL Register (JDWCON)	FFE1 801Ch	0h
	JPEG DECODER SOFTWARE RESET Register (JDSRST)	FFE1 8024h	0008h
	JPEG DECODER INPUT DATA FIFO Register (JDIDF)	FFE1 9000h	0001h

표 3-5 EAGLE Register Summary

Preliminary

3.1 System

3.1.1 System ID Register (SYSID)

Address : FFE0 0000h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved.	-
15 : 8	R	Device ID	1Ah
7 : 0	R	Revision Number	00h

3.1.2 Configuration Register (CFG)

Power On시 외부 Configuration Pin으로부터 설정된 값을 읽어온다. 해당 Pin은 반드시 Pull-up 또는 Pull-down Register를 연결시켜야 한다. Configuration Pin으로 사용되는 Pin은 TA[6:1]로 총 6개이다.

Address : FFE0 0004h

Bit	R/W	Description	Assigned Pin
31: 7	R	Reserved.	-
6	R	Security mode Enable/Disable 0 : Security mode disable 1 : Security mode enable	Cfg[6] : TA[6]
5	R	Local ROM Data Bus Width 0 : 8Bit 1 : 16Bit	Cfg[5] : TA[5]
4	R	Auto Load Select 0 : Normal flash 1 : Auto Load mode	Cfg[4] : TA[4]
3 : 2	R	Auto Load Address Select 00 : NAND Flash Small type 3cycle 01 : NAND Flash Small type 4cycle 10 : NAND Flash Large type 4cycle 11 : NAND Flash Large type 5cycle	Cfg[3:2] : TA[3:2]
1	R	OSI mode Enable/Disable 0 : OSI mode disable 1 : OSI mode enable	Cfg[1] : TA[1]
0	R	Reserved.	-

3.1.3 USB Host/Device Select Register (USBSEL)

Address : FFE0 0008h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved.	-
0	R/W	USB Host / Device Select 0 : USB Device 1 : USB Host	0b

3.2 Pin Mux

Pin Mux는 4개의 IO가 Mux된 형태로 특정 Pin에 대해서는 Multi-IO로 구성되어 있으며, 이러한 Multi-IO는 설정 시 주의가 필요하다. 예를 들어 EXT_IRQ[2] Pin의 경우, PINMUX0 레지스터에서 BEx[1] Pin과 Mux되어 있고 PINMUX2 레지스터에서 D[28] Pin과 Mux되어 있으며 다른 PINMUX 레지스터에서도 Mux되어 있다. 따라서 BEx[1] Pin과 Mux되어 있는 PINMUX0 레지스터의 EXT_IRQ[2] Pin을 사용할 경우, 다른 PINMUX 레지스터에서는 EXT_IRQ[2] Pin이 아닌 다른 Pin으로 설정하여야 한다. Multi-IO는 다음과 같다.

EXT_IRQ[7:0], GUN[1:0], KEY_IN[4:0], KEY_OUT[4:0], UART_Tx[3:2], UART_Rx[3:2], DMA_REQx[0], DMA_ACKx[0], DEC_DIN[7:0], DEC_ACTIVE, HSYNC_IN, VSYNC_IN, DEC_FILED, I2S_SDO, I2S_SDI, I2S_SCK, I2S_LRCK, I2S_MCLK, SND_SDO, SND_SCK, SND_LRCK, SND_MCLK, USB_ovrcur, USB_ptpwr

3.2.1 Pin Mux Control Register 0 (PINMUX0)

Address : FFE0 0010h

Bit	R/W	Description	Default Value
31 : 30	R/W	00 : BEx[1] 10 : EXT_IRQ[2] 01 : 11 : GPIO[15]	0000 0h
29 : 28		00 : NDFL_CLE 10 : A[25] 01 : 11 : GPIO[14]	
27 : 26		00 : NDFL_ALE 10 : A[24] 01 : 11 : GPIO[13]	
25 : 24		00 : A[23] 10 : EXT_IRQ[4] 01 : GUN[1] 11 : GPIO[12]	
23 : 22		00 : A[22] 10 : EXT_IRQ[5] 01 : GUN[0] 11 : GPIO[11]	
21 : 20		00 : A[21] 10 : EXT_IRQ[6] 01 : 11 : GPIO[10]	
19 : 18		00 : A[20] 10 : EXT_IRQ[7] 01 : 11 : GPIO[9]	
17 : 16		00 : A[19] 10 : 01 : 11 : GPIO[8]	
15 : 14		00 : A[18] 10 : 01 : 11 : GPIO[7]	
13 : 12		00 : A[17] 10 : 01 : 11 : GPIO[6]	
11 : 6	R	Reserved	-
5 : 4	R/W	00 : TA[9] 10 : 01 : 11 : GPIO[2]	00h
3 : 2		00 : TA[8] 10 : 01 : 11 : GPIO[1]	
1 : 0		00 : TA[7] 10 : 01 : 11 : GPIO[0]	

3.2.2 Pin Mux Control Register 1 (PINMUX1)

Address : FFE0 0014h

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 8	R/W	00 : NDFL_BUSYx 10 : NMIX 01 : 11 : GPIO[20]	000h
7 : 6		00 : CSx[4] 10 : SPI_SSx 01 : 11 : GPIO[19]	
5 : 4		00 : CSx[3] 10 : 01 : 11 : GPIO[18]	
3 : 2		00 : CSx[2] 10 : 01 : 11 : GPIO[17]	
1 : 0		00 : CSx[1] 10 : 01 : 11 : GPIO[16]	

3.2.3 Pin Mux Control Register 2 (PINMUX2)

Address : FFE0 0018h

Bit	R/W	Description	Default Value
31 : 30	R/W	00 : R[4] / DAC_DIN[0] 10 : DEC_DIN[1] 01 : 11 : GPIO[47]	0000 00h
29 : 28		00 : R[3] / DAC_PD[3] 10 : DEC_DIN[0] 01 : 11 : GPIO[46]	
27 : 26		00 : R[2] / DAC_PD[2] 10 : EXT_IRQ[5] 01 : 11 : GPIO[45]	
25 : 24		00 : R[1] / DAC_PD[1] 10 : DMA_REQx[0] 01 : EXT_IRQ[4] 11 : I2S_SDI	
23 : 22		00 : R[0] / DAC_PD[0] 10 : EXT_IRQ[0] 01 : GUN[0] 11 : I2S_SDO	
21 : 20		00 : CAPTURE[3] / VCLK2_IN 10 : EXT_IRQ[3] 01 : PWM[3] 11 : GPIO[42]	
19 : 18		00 : CAPTURE[2] / EXT_CLK 10 : EXT_IRQ[2] 01 : PWM[2] 11 : GPIO[41]	
17 : 16		00 : UART_Rx[1] 10 : OSI_Rx 01 : CAPTURE[0] 11 : GPIO[40]	
15 : 14		00 : UART_Tx[1] 10 : OSI_Tx 01 : PWM[0] 11 : GPIO[39]	
13 : 12		00 : NDFL_WEx 10 : DMA_ACKx[0] 01 : UART_Rx[2] 11 : GPIO[38]	
11 : 10		00 : NDFL_REx 10 : DMA_REQx[0] 01 : UART_Tx[2] 11 : GPIO[37]	
9 : 0	R	Reserved	-

3.2.4 Pin Mux Control Register 3 (PINMUX3)

Address : FFE0 001Ch

Bit	R/W	Description	Default Value
31 : 30	R/W	00 : B[4] / PLL_IVD[6] 01 : 11 : GPIO[63]	0000 0000h
29 : 28		00 : B[3] / PLL_IVD[5] 01 : 11 : GPIO[62]	
27 : 26		00 : B[2] / PLL_IVD[4] 01 : 11 : GPIO[61]	
25 : 24		00 : B[1] / PLL_IVD[3] 01 : PWM[1] 11 : GPIO[60]	
23 : 22		00 : B[0] / PLL_IVD[2] 01 : UART_Tx[3] 11 : I2S_MCLK	
21 : 20		00 : G[7] / PLL_IVD[1] 01 : 11 : GPIO[58]	
19 : 18		00 : G[6] / PLL_IVD[0] 01 : 11 : GPIO[57]	
17 : 16		00 : G[5] / DAC_DIN[9] 01 : USB_ptpwr 11 : GPIO[56]	
15 : 14		00 : G[4] / DAC_DIN[8] 01 : USB_ovrcur 11 : GPIO[55]	
13 : 12		00 : G[3] / DAC_DIN[7] 01 : 11 : GPIO[54]	
11 : 10		00 : G[2] / DAC_DIN[6] 01 : 11 : GPIO[53]	
9 : 8		00 : G[1] / DAC_DIN[5] 01 : GUN[1] 11 : I2S_LRCK	
7 : 6		00 : G[0] / DAC_DIN[4] 01 : EXT_IRQ[1] 11 : I2S_SCK	
5 : 4		00 : R[7] / DAC_DIN[3] 01 : 11 : GPIO[50]	
3 : 2		00 : R[6] / DAC_DIN[2] 01 : 11 : GPIO[49]	
1 : 0		00 : R[5] / DAC_DIN[1] 01 : 11 : GPIO[48]	

3.2.5 Pin Mux Control Register 4 (PINMUX4)

Address : FFE0 0020h

Bit	R/W	Description	Default Value
31 : 30	R/W	00 : TD[7] 01 : DEC_DIN[7]	0000 0000h
		10 : KEY_OUT[3] 11 : GPIO[79]	
29 : 28		00 : TD[6] / USB_VMO 01 : DEC_DIN[6]	
		10 : KEY_IN[3] 11 : GPIO[78]	
27 : 26		00 : TD[5] 01 : DEC_DIN[5]	
		10 : KEY_OUT[4] 11 : GPIO[77]	
25 : 24		00 : TD[4] / USB_VPO 01 : DEC_DIN[4]	
		10 : KEY_IN[4] 11 : GPIO[76]	
23 : 22		00 : TD[3] 01 : DEC_DIN[3]	
		10 : EXT_IRQ[3] 11 : GPIO[75]	
21 : 20		00 : TD[2] / PLL_FOUT 01 : DEC_DIN[2]	
		10 : EXT_IRQ[2] 11 : GPIO[74]	
19 : 18		00 : TD[1] / PLL_PD 01 : DEC_DIN[1]	
		10 : EXT_IRQ[1] 11 : GPIO[73]	
17 : 16		00 : TD[0] / PLL_IVD[15] 01 : DEC_DIN[0]	
		10 : EXT_IRQ[0] 11 : GPIO[72]	
15 : 14		00 : TBA[1] / PLL_IVD[14] 01 :	
		10 : I2S_MCLK 11 : GPIO[71]	
13 : 12		00 : TBA[0] / PLL_IVD[13] 01 :	
		10 : I2S_LRCK 11 : GPIO[70]	
11 : 10		00 : TA[12] / PLL_IVD[12] 01 :	
		10 : I2S_SCK 11 : GPIO[69]	
9 : 8		00 : TA[11] / PLL_IVD[11] 01 :	
		10 : I2S_SDI 11 : GPIO[68]	
7 : 6		00 : TA[10] / PLL_IVD[10] 01 : EXT_IRQ[0]	
		10 : I2S_SDO 11 : GPIO[67]	
5 : 4		00 : B[7] / PLL_IVD[9] 01 :	
		10 : CSYNC_OUT 11 : GPIO[66]	
3 : 2		00 : B[6] / PLL_IVD[8] 01 :	
		10 : DEC_FIELD 11 : GPIO[65]	
1 : 0		00 : B[5] / PLL_IVD[7] 01 :	
		10 : 11 : GPIO[64]	

3.2.6 Pin Mux Control Register 5 (PINMUX5)

Address : FFE0 0024h

Bit	R/W	Description	Default Value
31 : 30	R/W	00 : TCSx2 10 : 01 : 11 : GPIO[95]	0000 0000h
29 : 28		00 : TCSx 10 : 01 : 11 : GPIO[94]	
27 : 26		00 : TWEx 10 : 01 : 11 : GPIO[93]	
25 : 24		00 : TCASx / KEY_OUT 10 : 01 : 11 : GPIO[92]	
23 : 22		00 : TRASx / RTC_OUT 10 : 01 : 11 : GPIO[91]	
21 : 20		00 : TDQM[1] / USB_VM 10 : 01 : 11 : GPIO[90]	
19 : 18		00 : TDQM[0] 10 : SND_SDO 01 : USB_prtpwr 11 : GPIO[89]	
17 : 16		00 : TCLK / USB_VP 10 : SND_MCLK 01 : USB_ovrcur 11 : GPIO[88]	
15 : 14		00 : TD[15] 10 : SND_LRCK 01 : EXT_IRQ[3] 11 : GPIO[87]	
13 : 12		00 : TD[14] / USB_RCV 10 : SND_SCK 01 : EXT_IRQ[1] 11 : GPIO[86]	
11 : 10		00 : TD[13] 10 : KEY_OUT[0] 01 : UART_Rx[2] 11 : GPIO[85]	
9 : 8		00 : TD[12] / USB_SPEED 10 : KEY_IN[0] 01 : UART_Tx[2] 11 : GPIO[84]	
7 : 6		00 : TD[11] 10 : KEY_OUT[1] 01 : DEC_FIELD 11 : GPIO[83]	
5 : 4		00 : TD[10] / USB_SUSPEND 10 : KEY_IN[1] 01 : VSYNC_IN 11 : GPIO[82]	
3 : 2		00 : TD[9] 10 : KEY_OUT[2] 01 : HSYNC_IN 11 : GPIO[81]	
1 : 0		00 : TD[8] / USB_OEB 10 : KEY_IN[2] 01 : DEC_ACTIVE 11 : GPIO[80]	

3.2.7 Pin Mux Control Register 6 (PINMUX6)

Address : FFE0 0028h

Bit	R/W	Description		Default Value
31 : 30	R/W	00 : NDFL_DATA[3] 01 : KEY_OUT[0]	10 : USB_prtpwr 11 : GPIO[111]	0000 0000h
29 : 28		00 : NDFL_DATA[2] 01 : KEY_IN[0]	10 : USB_ovrcur 11 : GPIO[110]	
27 : 26		00 : NDFL_DATA[1] 01 : KEY_OUT[1]	10 : 11 : GPIO[109]	
25 : 24		00 : NDFL_DATA[0] 01 : KEY_IN[1]	10 : 11 : GPIO[108]	
23 : 22		00 : TWI_SCL 01 : UART_Rx[3]	10 : 11 : GPIO[107]	
21 : 20		00 : TWI_SDA 01 : UART_Tx[3]	10 : 11 : GPIO[106]	
19 : 18		00 : SD CD_DATA[3] 01 : KEY_OUT[2]	10 : EXT_IRQ[7] 11 : BEx[3]	
17 : 16		00 : SD CD_DATA[2] 01 : KEY_IN[2]	10 : EXT_IRQ[6] 11 : BEx[2]	
15 : 14		00 : SD CD_DATA[1] 01 : SPI_MOSI	10 : DMA_ACKx[1] 11 : GPIO[103]	
13 : 12		00 : SD CD_DATA[0] 01 : SPI_MISO	10 : DMA_REQx[1] 11 : GPIO[102]	
11 : 10		00 : SD CD_CLK 01 : SPI_SCK	10 : EXT_IRQ[4] 11 : GPIO[101]	
9 : 8		00 : SD CD_CMD 01 : WAITx	10 : I2S_SDI 11 : GPIO[100]	
7 : 6		00 : SND_MCLK 01 : KEY_OUT[3]	10 : I2S_MCLK 11 : GPIO[99]	
5 : 4		00 : SND_LRCK 01 : KEY_IN[3]	10 : I2S_LRCK 11 : GPIO[98]	
3 : 2		00 : SND_SCK 01 : KEY_OUT[4]	10 : I2S_SCK 11 : GPIO[97]	
1 : 0		00 : SND_SDO 01 : KEY_IN[4]	10 : I2S_SDO 11 : GPIO[96]	

3.2.8 Pin Mux Control Register 7 (PINMUX7)

Address : FFE0 002Ch

Bit	R/W	Description		Default Value
31 : 8	R	Reserved		-
7 : 6	R/W	00 : NDFL_DATA[7] 01 :	10 : 11 : GPIO[115]	00h
5 : 4		00 : NDFL_DATA[6] 01 :	10 : 11 : GPIO[114]	
3 : 2		00 : NDFL_DATA[5] 01 :	10 : 11 : GPIO[113]	
1 : 0		00 : NDFL_DATA[4] 01 :	10 : 11 : GPIO[112]	

3.3 Local & Texture Memory Control Registers

3.3.1 Local Memory Bank Control Register (MEMCONn)

Register Name	Address	Description
MEMCON0	FFE0 0400h	Memory Bank 0 Control Register

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16	R/W	Bank 0 (ROM Area) Write 할 때, Error Response 발생 0 : Error Response 비활성 1 : Error Response 활성	0b
15 : 14	R/W	Address Set-up before CSx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
13 : 12	R/W	Chip Selection Set-up RDx / WRx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
11 : 8	R/W	Access Cycle 0000 : 1 Clock 0001 : 2 Clock 0010 : 3 Clock 0011 : 4 Clock 0100 : 6 Clock 0101 : 8 Clock 0110 : 10 Clock 0111 : 12 Clock 1000 : 14 Clock 1001 : 16 Clock 1010 : 18 Clock 1011 : 20 Clock 1100 : 22 Clock 1101 : 24 Clock 1110 : 26 Clock 1111 : 30 Clock	1111b
7 : 6	R/W	Chip Selection Hold on RDx / WRx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
5 : 4	R/W	Address Holding Time after CSx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
3	R/W	This bit determines whether using UBEx/LBEx pin of SRAM Memory for bank 0 0 : Not using UBEx/LBEx 1 : Using UBEx/LBEx for 16bit SRAM	0b
2	R/W	This bit determines WAIT status for bank 0. 0 : WAIT 비활성 1 : WAIT 활성	0b
1 : 0	R	Reserved	-

Bank 0 는 Boot Memory 영역으로 Power on configuration으로 초기 동작 Data Bus 폭을 결정한다.

Bank 0의 Data Bus 설정 폭은 Configuration Register(CFG) Bit[5]을 통해 읽어볼 수 있다.

Data Access를 위한 Timing Control은 MEMCON0 Register에 따른다.

< Register 설명 >

- (1) Bit [16] : ROM Area에 Write할 경우에 AMBA에 Error 응답을 보냄. 이것은 사용 옵션에 따라 활성/비활성 할 수 있다.
- (2) Bit [15:14] : Address와 Chip Select 신호 사이에 필요한 Cycle 수를 결정함. (그림 3.1의 tCSS 참조)
- (3) Bit [13:12] : Chip select 와 RDx / WRx 신호 사이의 필요한 Cycle 수를 결정함. (그림 3.1의 tOES 참조)
- (4) Bit [11:8] : RDx / WRx 신호가 유지되는 Cycle (Access Time) 수를 결정함. (그림 3.1의 tACC 참조)
- (5) Bit [7:6] : RDx / WRx 신호가 비활성 된 후 Chip Select 가 비활성 되기 까지 걸리는 Cycle (그림 3.1의 tOEH 참조)
- (6) Bit[5:4] : Chip Select 신호와 Address사이의 필요한 Hold Time Cycle 수를 결정함. (그림 3.1의 tCSH 참조)
- (7) Bit [3] : 외부 Data bus가 16bit나 32bit인 경우, 8bit SRAM을 사용하여 구성 시에는 '0'으로 설정하여 사용하며, SRAM의 Write Enable 신호에 각각 해당하는 BEx신호를 할당하여 연결한다. 16bit SRAM을 사용할

시에는 '1'로 설정하여 사용하며, SRAM의 UBEx, LBEx에 각각 해당하는 BEx 신호를 할당하여 연결한다.

(8) Bit [2] : Wait 신호의 사용 여부를 결정한다.

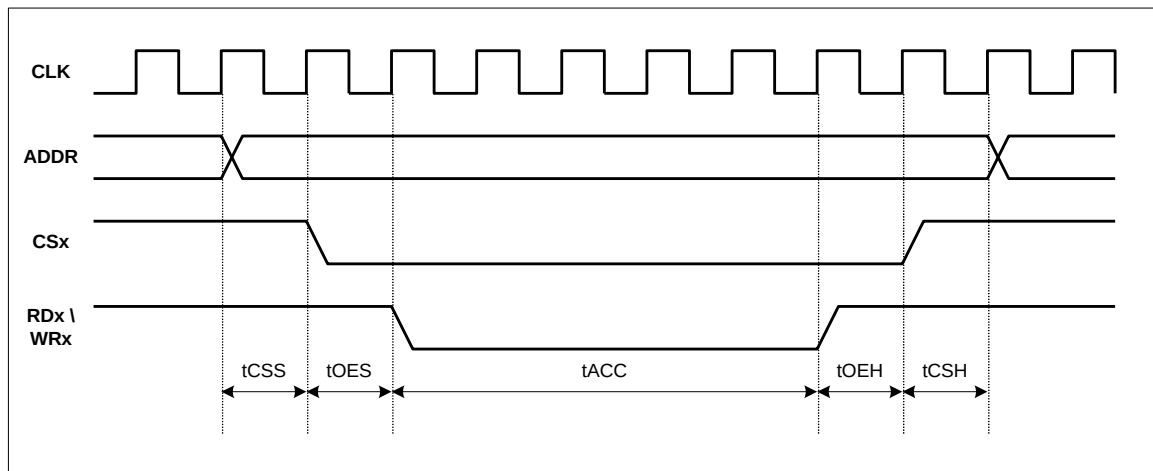


그림 3-1 ROM/SRAM/IO Timing Diagram

Register Name	Address	Description
MEMCON1	FFE0 0404h	Memory Bank 1 Control Register
MEMCON2	FFE0 0408h	Memory Bank 2 Control Register
MEMCON3	FFE0 040Ch	Memory Bank 3 Control Register
MEMCON4	FFE0 0410h	Memory Bank 4 Control Register

Memory Bank 1 ~ 4은 SRAM, ROM 형태의 메모리를 이용할 수 있으며, 하위 Bank와 동일한 Register 형태를 취한다.

SRAM, ROM Mode

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	Address Set-up before CSx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
13 : 12	R/W	Chip Selection Set-up RDx / WRx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
11 : 8	R/W	Access Cycle 0000 : 1 Clock 0001 : 2 Clock 0010 : 3 Clock 0011 : 4 Clock 0100 : 6 Clock 0101 : 8 Clock 0110 : 10 Clock 0111 : 12 Clock 1000 : 14 Clock 1001 : 16 Clock 1010 : 18 Clock 1011 : 20 Clock 1100 : 22 Clock 1101 : 24 Clock 1110 : 26 Clock 1111 : 30 Clock	1111b
7 : 6	R/W	Chip Selection Hold on RDx / WRx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
5 : 4	R/W	Address Holding Time after CSx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
3	R/W	This bit determines whether using UBEx/LBEx pin of SRAM Memory for each bank. (Bank 1~Bank 4) 0 : Not using UBEx/LBEx 1 : Using UBEx/LBEx for 16bit SRAM	0b
2	R/W	This bit determines WAIT status for each bank. (Bank 1~Bank 4) 0 : WAIT Inactivation 1 : WAIT Activation	0b
1 : 0	R/W	This bit determine data bus width for each bank. (Bank 1~Bank 4) 00 : 8 bit 01 : 16 bit 10 : 32 bit 11 : Reserved	01b

< Register 설명 >

- (1) Bit [15:14] : Address와 Chip Select 신호 사이에 필요한 Cycle 수를 결정함. (그림 3.1의 tCSS 참조)
- (2) Bit [13:12] : Chip select 와 RDx / WRx 신호 사이의 필요한 Cycle 수를 결정함. (그림 3.1의 tOES 참조)
- (3) Bit [11:8] : RDx / WRx 신호가 유지되는 Cycle (Access Time) 수를 결정함. (그림 3.1의 tACC 참조)
- (4) Bit [7:6] : RDx / WRx 신호가 inactive 된 후 Chip Select 가 Inactive되기 까지 걸리는 Cycle (그림 3.1의 tOEH 참조)
- (5) Bit[5:4] : Chip Select 신호와 Address사이의 필요한 Hold Time Cycle 수를 결정함. (그림 3.1의 tCSH 참조)
- (6) Bit [3] : 외부 Data bus 가 16bit나 32bit인 경우, 8bit SRAM을 사용하여 구성 시에는 '0'으로 설정하여 사용하며, SRAM의 Write Enable 신호에 각각 해당하는 BEx신호를 할당하여 연결한다. 16bit SRAM을 사용할 시에는 '1'로 설정하여 사용하며, SRAM의 UBEx, LBEx에 각각 해당하는 BEx 신호를 할당하여 연결한다.
- (7) Bit [2] : Wait 신호의 사용 여부를 결정한다.
- (8) Bit [1:0] : 해당 Bank의 ROM/SRAM/IO의 Data Bus 폭을 결정한다.

Register Name	Address	Description
MEMCON5	FFE0 0414h	Memory Bank 5 Control Register
MEMCON6	FFE0 0418h	Memory Bank 6 Control Register

Memory Bank 5 ~ 6은 SRAM, ROM 뿐 아니라 SDRAM 메모리를 사용할 수 있다.

단, Full Page Burst 모드를 지원하는 SDRAM을 사용하여야 한다.

따라서 SRAM, ROM Mode 인 경우와 SDRAM Mode로 나누어 Register Bit의 의미가 다르게 작용된다.

SRAM, ROM Mode의 경우 하위 Bank와 동일한 Register 형태를 취한다.

SRAM, ROM Mode

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16	R/W	Memory Type for Bank 5 to Bank 6 0 : SRAM or ROM 1 : SDR SDRAM	0b
15 : 14	R/W	Address Set-up before CSx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
13 : 12	R/W	Chip Selection Set-up RDx / WRx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
11 : 8	R/W	Access Cycle 0000 : 1 Clock 0001 : 2 Clock 0010 : 3 Clock 0011 : 4 Clock 0100 : 6 Clock 0101 : 8 Clock 0110 : 10 Clock 0111 : 12 Clock 1000 : 14 Clock 1001 : 16 Clock 1010 : 18 Clock 1011 : 20 Clock 1100 : 22 Clock 1101 : 24 Clock 1110 : 26 Clock 1111 : 30 Clock	1111b
7 : 6	R/W	Chip Selection Hold on RDx / WRx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
5 : 4	R/W	Address Holding Time after CSx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11b
3	R/W	This bit determines whether using UBEx/LBEx pin of SRAM Memory for each bank. (Bank 5~Bank 6) 0 : Not using UBEx/LBEx 1 : Using UBEx/LBEx for 16bit SRAM	0b
2	R/W	This bit determines WAIT status for each bank. (Bank 5~Bank 6) 0 : WAIT Inactivation 1 : WAIT Activation	0b
1 : 0	R/W	This bit determine data bus width for each bank. (Bank 5~Bank 6) 00 : 8 bit 01 : 16 bit 10 : 32 bit 11 : Reserved	10b

< Register 설명 >

- (1) Bit [16] : Bank 5 / 6에 대하여 사용하는 Memory 종류를 선택 한다.
- (2) Bit [15:14] : Address와 Chip Select 신호 사이에 필요한 Cycle 수를 결정함. (그림 3.1의 tCSS 참조)
- (3) Bit [13:12] : Chip select 와 RDx / WRx 신호 사이의 필요한 Cycle 수를 결정함. (그림 3.1의 tOES 참조)
- (4) Bit [11:8] : RDx / WRx 신호가 유지되는 Cycle (Access Time) 수를 결정함. (그림 3.1의 tACC 참조)
- (5) Bit [7:6] : RDx / WRx 신호가 비활성 된 후 Chip Select 가 비활성 되기 까지 걸리는 Cycle (그림 3.1의 tOEH 참조)
- (6) Bit[5:4] : Chip Select 신호와 Address사이의 필요한 Hold Time Cycle 수를 결정함. (그림 3.1의 tCSH 참조)
- (7) Bit [3] : 외부 Data bus 가 16bit나 32bit인 경우, 8bit SRAM을 사용하여 구성 시에는 '0'으로 설정하여 사용하며, SRAM의 Write Enable 신호에 각각 해당하는 BEx신호를 할당하여 연결한다. 16bit SRAM을 사용할

시에는 '1'로 설정하여 사용하며, SRAM의 UBEx, LBEx에 각각 해당하는 BEx 신호를 할당하여 연결한다.

- (8) Bit [2] : Wait 신호의 사용 여부를 결정한다.
 (9) Bit [1:0] : 해당 Bank의 ROM/SRAM/IO의 Data Bus 폭을 결정한다.

SDRAM Mode

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16	R/W	Memory Type for Bank 5 to Bank 6 0 : SRAM 또는 ROM 1 : SDR SDRAM	0b
15 : 8	R	Reserved	-
7 : 6	R/W	Row Address Line Number 00 : 11 bit 01 : 12 bit 10 : 13 bit 11 : 14 bit	11b
5 : 4	R/W	Column Address Line Number 00 : 8 bit 01 : 9 bit 10 : 10 bit 11 : 11 bit	11b
3	R/W	Timing Constraint Select (0 : 100MHz 초과, 1 : 100 MHz 이하) 0 : tRCD = 3 Clock, tRP = 3 Clock, tRAS = 7 Clock, tRC = 10 Clock 1 : tRCD = 2 Clock, tRP = 2 Clock, tRAS = 5 Clock, tRC = 7 Clock	0b
2	R/W	CAS Latency 0 : 2 Clock 1 : 3 Clock	0b
1 : 0	R/W	This bit determine data bus width for each bank. (bank 5~bank 6) (Only 32 bit support) 00 : Reserved 01 : Reserved 10 : 32 bit 11 : Reserved	10b

< Register 설명 >

- (1) Bit [16] : Bank 5 / 6에 대하여 사용하는 Memory 종류를 선택 한다.
 (2) Bit [7:6] : SDRAM의 Row Address 수를 선택한다.
 (3) Bit [5:4] : SDRAM의 Column Address 수를 선택한다.
 (4) Bit [3] : SDRAM 동작에 필요한 Timing 조건을 결정한다.
 100MHz를 기준으로 100MHz 이상인 경우에는 '0'을 선택하여 Timing을 맞춰준다.
 (5) Bit [2] : SDRAM 동작에서 CAS Latency Cycle을 선택한다.
 (6) Bit [1:0] : 해당 Bank의 SDRAM의 Data Bus 폭을 결정한다(Only 32 bit support).

3.3.2 Local SDRAM Clock Delay & Refresh Control (MEMCLKCON)

Address : FFE0 041Ch

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 8	R/W	Local SDRAM Clock Generation (Clock delay) 0000 : CLOCK 1000 : Invert CLOCK 0001 : CLOCK + 1ns 1001 : Invert CLOCK + 1ns 0010 : CLOCK + 2ns 1010 : Invert CLOCK + 2ns 0011 : CLOCK + 3ns 1011 : Invert CLOCK + 3ns 0100 : CLOCK + 4ns 1100 : Invert CLOCK + 4ns 0101 : CLOCK + 5ns 1101 : Invert CLOCK + 5ns 0110 : CLOCK + 6ns 1110 : Invert CLOCK + 6ns 0111 : CLOCK + 7ns 1111 : Invert CLOCK + 7ns	0h
7 : 4	R	Reserved	-
3	R/W	Refresh Source Select 0 : 1Mhz (mClock / (n+1)) 1 : CRT Hsync	0b
2	R/W	Refresh Period < Refresh Source : 1Mhz >	1b

		0 : 15 usec 1 : 30 usec	
1 : 0	R/W	Number of Refresh Cycle / Period < Refresh Source : 1Mhz > x0 : 1 Cycle x1 : 2 Cycle < Refresh Source : CRT Hsync > 00 : 2 Cycle 01 : 3 Cycle 10 : 4 Cycle 11 : 5 Cycle	11b

< Register 설명 >

- (1) Bit [11:8] : SDRAM의 Data 읽기 시에 사용되는 SDRAM Feedback Clock의 지연 정도를 결정한다.
- (2) Bit [3] : SDRAM의 Refresh를 위한 Source를 선택한다. 1MHz 단위의 clock 또는 CRT의 수평 동기를 이용한다.
- (3) Bit [2] : Bit [3] 에서 1MHz를 사용하는 경우에 Refresh 주기에 대한 선택을 한다.
- (4) Bit [1:0] : 한 주기 또는 수평동기에 의해서 몇 번의 Refresh를 할 것인지 선택한다.

3.3.3 Frame Memory Area Start Address (FMASA)

Address : FFE0 0420h

Bit	R/W	Description	Default Value
31 : 20	R/W	Frame Memory Area Start Address	000h
19 : 0	R	Reserved	-

Note: Local Memory의 일부분을 Frame 영역으로 사용할 경우 (Rendering Engine 및 CRT를 사용하는 경우) 이 영역은 Cache 불가능 (Non-Cacheable) 영역이 되어야 한다.

Frame 영역은 CRT의 수평해상도 설정 (X-Resolution), 수직해상도 설정 (Y-Resolution), Current Render Buffer 그리고 Image Capture mode 4개의 변수로 결정되어 진다.

화면의 수평 해상도 (X-Resolution) 가 512 Dot보다 작은 경우, 화면상의 한 행에 대하여 1KB의 frame영역이 필요하게 되고(512Dot * 2B), 마찬가지로 수직해상도 (Y-Resolution)이 512 line보다 작은 경우 512*1KB의 frame 영역이 필요하게 된다.

	0 < DX <= 511	512 <= DX < 1024
0 < DY <= 511	1KB * 512	2KB * 512
512 <= DY < 1024	1KB * 1024	2KB * 1024

즉, 1개의 Frame Bank 에 대해서 위와 같은 Frame Memory 영역이 확보되어야 한다.

이때, Rendering 을 현재 Display 되고 있는 Bank에 진행하게 된다면 1개의 Frame Bank가 필요하게 되고, Rendering을 Display되고 있는 Bank에 진행하지 않는 경우에 대해서는 Bank의 Pipe-Line 동작을 위해 2개 또는 4개의 Frame Buffer가 필요하게 된다. (Image Capture Engine의 활성 여부에 따라..) 해당 변수의 설정에 따라 최소 512KB, 최대 8MB의 frame 영역이 설정되게 된다.

3.3.4 1 MHz Frequency Generation Register (1MFREQGEN)

Source Clock = Main Clock

Address : FFE0 0424h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	1Mhz Clock generation Divider Value	FFh

< Register 설명 >

- (1) Bit [7:0] : SDRAM Refresh 동작을 위하여 1MHz 주파수를 생성하는데 필요한 값을 설정한다.
사용되는 Main Clock에 따라서 Main Clock / (n+1)로 생성되므로 divider값에는 n-1 값을 설정한다.

3.3.5 Texture Memory Control Register (TMEMCON)

Bank 7 Texture Memory 영역으로써, Full Page Burst 모드를 지원하는 SDRAM만 지원한다.
또한 Page-Miss를 방지하기 위해서 DMA동작은 항상 Transfer Block Size 경계에서 이루어져야 한다.
예를 들면 Word, Transfer Size 16인 경우, 16Word의 경계에서 DMA Source/Destination Address setting이 설정되어야 한다.

Bank 7에는 두 개의 SDRAM(선형적으로 Address 확장)을 붙여서 확장하여 사용할 수 있다. 각각의 Chip Select 신호는 TSD_CSx, TSD_CSx2 이다.

Register Name	Address	Description
TMEMCON	FFE0 0430h	Texture Memory Control Register (SDRAM)

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16	R/W	Texture Memory Access Enable 0 : Access 비활성 1 : Access 활성	0b
15 : 8	R	Reserved	-
7 : 6	R/W	Row Address Line Number 00 : 11 bit 01 : 12 bit 10 : 13 bit 11 : Reserved	11b
5 : 4	R/W	Column Address Line Number 00 : 8 bit 01 : 9 bit 10 : 10 bit 11 : Reserved	11b
3	R/W	Timing Constraint Select (0 : 100MHz 초과, 1 : 100 MHz 이하) 0 : tRCD = 3 Clock, tRP = 3 Clock, tRAS = 7 Clock, tRC = 10 Clock 1 : tRCD = 2 Clock, tRP = 2 Clock, tRAS = 5 Clock, tRC = 7 Clock	0b
2	R/W	CAS Latency 0 : 2 Clock 1 : 3 Clock	0b
1	R	Reserved	-
0	R	This bit determine data bus width for bank 7 16 bit only	0b

< Register 설명 >

- (1) Bit [16] : Texture Memory의 사용 여부를 결정한다.
- (2) Bit [7:6] : SDRAM의 Row Address 수를 선택한다.
- (3) Bit [5:4] : SDRAM의 Column Address 수를 선택한다.
- (4) Bit [3] : SDRAM 동작에 필요한 Timing Constraint를 결정한다. 100MHz를 기준으로 100MHz 이상인 경우에는 '0'을 선택하여 Timing을 맞춰준다.
- (5) Bit [2] : SDRAM 동작에서 CAS Latency Cycle을 선택한다.

3.3.6 Texture SDRAM Clock Delay & Refresh Control (TMEMCLKCON)

Address : FFE0 0434h

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 8	R/W	Texture SDRAM Clock Generation (Clock delay) 0000 : CLOCK 1000 : Invert CLOCK 0001 : CLOCK + 1ns 1001 : Invert CLOCK + 1ns 0010 : CLOCK + 2ns 1010 : Invert CLOCK + 2ns 0011 : CLOCK + 3ns 1011 : Invert CLOCK + 3ns 0100 : CLOCK + 4ns 1100 : Invert CLOCK + 4ns 0101 : CLOCK + 5ns 1101 : Invert CLOCK + 5ns 0110 : CLOCK + 6ns 1110 : Invert CLOCK + 6ns 0111 : CLOCK + 7ns 1111 : Invert CLOCK + 7ns	0h
7 : 2	R	Reserved	-
1	R/W	Refresh Period	1b

		< Refresh Source : 1MHz > 0 : 15 usec 1 : 30 usec	
0	R/W	Number of Refresh Cycle / Period < Refresh Source : 1MHz > 0 : 1 Cycle 1 : 2 Cycle	1b

< Register 설명 >

- (1) Bit [11:8] : SDRAM의 Data Read시에 사용되는 SDRAM Feedback Clock의 지연 정도를 설정한다.
- (2) Bit [1] : 1MHz를 이용하여 Refresh Period를 설정한다.
- (3) Bit [0] : 한 주기에 몇 번의 Refresh를 할 것인지 선택한다.

3.3.7 Texture Memory Area Start Address (TMASA)

Address : FFE0 0438h

Bit	R/W	Description	Default Value
31 : 20	R/W	Texture Memory Area Start Address	000h
19 : 0	R	Reserved	-

Note:

Graphic Engine에서 Non-Texture Memory Mode (별도의 Texture Memory를 사용하지 않고 Texture Memory 영역을 Main Memory 영역에 할당하여 사용하는 경우)를 설정한 경우, 이 register를 설정하도록 한다.

별도의 Texture Memory를 사용한 경우, 즉 Graphic Engine의 Non-Texture Memory Mode의 상태 bit가 “0”인 경우, 해당 register의 설정이 필요 없으며, 자동적으로 Texture Memory Start address는 Bank 7영역으로 설정 된다.

Local Memory의 일부분을 Texture 영역으로 사용할 경우, 이 영역은 Cache 불가능 (Non-Cacheable)영역이 되어야 한다.

3.4 General DMA

이 DMA 제어기는 범용 DMA 제어기로 메모리, IO에 대한 대규모 데이터 전송이 가능하다.
 2개의 채널을 가지고, 각 채널당 5개의 request Source 를 선택 가능하다.
 각 채널당 16x4 byte의 FIFO를 가지며, word 단위 전송 시 4/8/16 Burst 모드로 동작 할 수 있다..
 DMA 에러나 DMA 카운트 종료 시 인터럽트 신호가 발생된다.

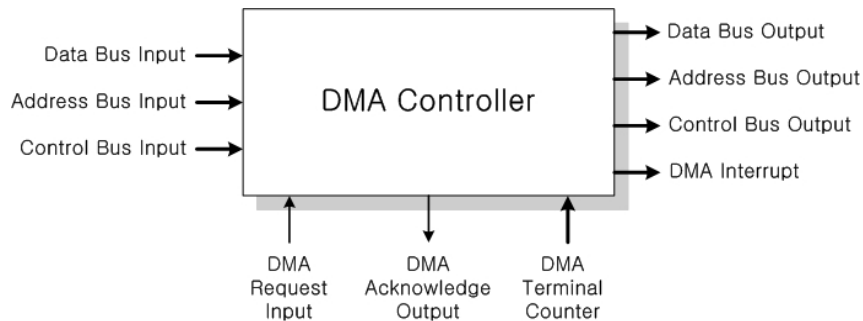


그림 3-2 Structure of DMA Controller

GDMA Feature

2채널 DMA

4GByte 영역의 32bit 주소 제어

최대 16MByte까지 한 번에 전송할 수 있는 24bit 카운터

4개의 외부 DMA 요구 입력

소프트웨어에 의한 DMA 요구 기능

무한개의 데이터 블록에 대한 scattering/gathering를 지원하는 chain mode

직접 설정 가능한 direct mode 지원

no burst 와 16 x 4 byte의 FIFO를 이용한 4,8,16 burst

주소 고정, 증가, 감소 기능 지원

polling 인터럽트를 지원하기 위한 인터럽트 상태 flag

byte 단위 까지 접근 가능하게 하는 data size 조정기능

DMA Register Summary

Address	Register Name	Description
FFE0 0800h	DMA status register(GDMASTAT)	에러 와 종료 인터럽트 상태
FFE0 0804h	DMA interrupt mask register(GDMAIM)	인터럽트 비활성 제어
FFE0 0808h	DMA enable status register(GDMAESTAT)	채널 상태
FFE0 080Ch	DMA request status & synchronization register (GDMA RSS)	DMA 요구 상태 및 동기 제어
FFE0 0810h	DMA configuration register(GDMACFG)	DMA 구성 제어
FFE0 0818h	DMA last request register(GDMALR)	마지막 요구 제어
FFE0 0820h	DMA Ch.0 Control Register(GDMACON0)	제어 비트
FFE0 0824h	DMA Ch.0 Source Address Register(GDMAS0)	데이터 전송을 위한 읽기 주소
FFE0 0828h	DMA Ch.0 Destination Address Register(GDMAD0)	데이터 전송을 위한 쓰기 주소
FFE0 082Ch	DMA Ch.0 Transfer Count Register(GDMAT0)	데이터 전송을 위한 횟수
FFE0 0830h	DMA Ch.0 Descriptor Table Address Register(GDMADT0)	Descriptor의 주소
FFE0 0840h	DMA Ch.1 Control Register(GDMACON1)	채널 제어
FFE0 0844h	DMA Ch.1 Source Address Register(GDMAS1)	데이터 전송을 위한 읽기 주소
FFE0 0848h	DMA Ch.1 Destination Address Register(GDMAD1)	데이터 전송을 위한 쓰기 주소
FFE0 084Ch	DMA Ch.1 Transfer Count Register(GDMAT1)	데이터 전송을 위한 횟수
FFE0 0850h	DMA Ch.1 Descriptor Table Address Register(GDMADT1)	Descriptor의 주소

표 3-6 DMA Registers Table

DMA Operation

DMA 제어기는 5개의 개별 DMA 요구를 받을 수 있다. DMA 동작은 선택된 요구에 대해서만 반응한다.

DMA 제어기가 설정된 DMA 동작을 수행하기 위해서는 GDMACON의 Run DMA Operation bit를 set해야 한다. 이후 DMA 제어기는 동작이 완료되면 Run DMA Operation bit를 자동적으로 clear 한다.

DMA request는 외부 핀, 프로그램 또는 다른 주변장치에 의해 생성된다. GDMACON의 DMA Request Source Selection bit의 설정을 통해서 request source는 결정된다.

DMA 제어기는 direct mode와 chain mode의 2가지 mode가 있다. direct mode에서는 사용자가 GDMAS, GDMAD, GDMAT에 직접 기록 후 GDMACON의 Run DMA Operation bit 와 Direct mode를 설정하면 DMA 동작을 진행한다. Chain mode에서는 사용자가 직접 구성한 Descriptor의 주소를 GDMADT에 기록한 후 GDMACON의 Run DMA Operation bit 와 Chain mode를 설정하면 DMA 동작이 수행된다.

DMA 제어기는 Source, Destination address에 대하여 3가지 형태의 주소를 발생시킨다. Fixed address는 데이터 전송 시 마다 GDMAS과 GDMAD의 기록된 주소를 바로 출력한다. Increment address는 DMA 제어기가 데이터 전송 시 마다 GDMAS 과 GDMAD의 기록된 주소를 증가시킨다. Decrement address는 DMA 제어기가 데이터 전송 시 마다 GDMAS과 GDMAD의 기록된 주소를 감소시킨다. 만약 전송될 Data size가 8bit라면 전송 후에는 GDMAS과 GDMAD에 기록된 주소 값은 현재 주소 값에 0, +1, -1이 되고, 16bit라면 0, +2, -2 그리고 32bit라면 0, +4, -4의 형태로 변한다.

GDMA Descriptor Table

Descriptor는 DMA 제어기가 데이터 전송을 위해 필요한 정보로 구성된다. 사용자는 전송하고자 하는 블록에 해당하는 각각의 descriptor를 작성하여야 하며, descriptor의 filed 중 next description address를 이용하여 각각의 descriptor를 연결해야 한다. 처음 시작하여야 할 descriptor의 위치를 GDMADT에 저장한 후 DMA 제어기를 동작시키면 DMA 제어기는 descriptor를 읽기 시작한다. 하나의 descriptor를 읽은 DMA 제어기는 descriptor에 포함된 정보를 이용하여 데이터 전송을 처리하고 마지막 descriptor를 수행할 때까지 읽기와 실행을 반복한다. descriptor의 내용은 다음과 같다.

<i>Descriptor field</i>	<i>Description</i>
Source address	DMA 전송에 필요한 source address. DMA 제어기가 메모리로부터 descriptor를 읽은 후 이 필드의 내용을 GDMAS에 저장한다.
Destination address	DMA 전송에 필요한 destination address. DMA 제어기가 메모리로부터 descriptor를 읽은 후 이 필드의 내용을 GDMAD에 저장한다.
Count	DMA 전송에 필요한 회수. DMA 제어기가 메모리로부터 descriptor를 읽은 후 이 필드의 내용을 GDMAT에 저장한다.
Next Description address	메모리에 존재하는 다음 descriptor의 시작 address. DMA 제어기가 메모리로부터 descriptor를 읽은 후 이 필드의 내용을 DMA 제어기 내부에 존재하는 next description address buffer에 저장한다.
Control flag	DMA 전송에 필요한 제어설정. DMA 제어기가 메모리로부터 descriptor를 읽은 후, 이 필드의 내용을 GDMACON과 임시 flag buffer에 저장한다.

표 3-7 DMA Descriptor summary

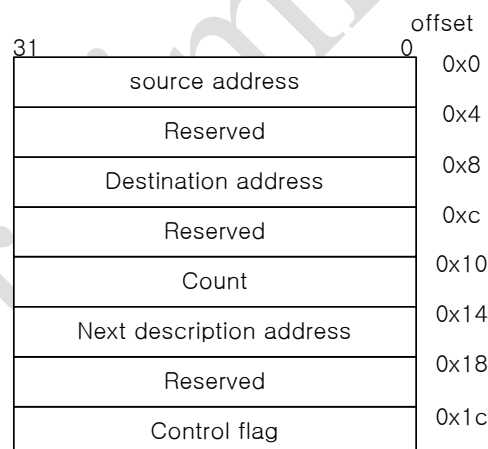


그림 3-3 Structure of DMA Descriptor

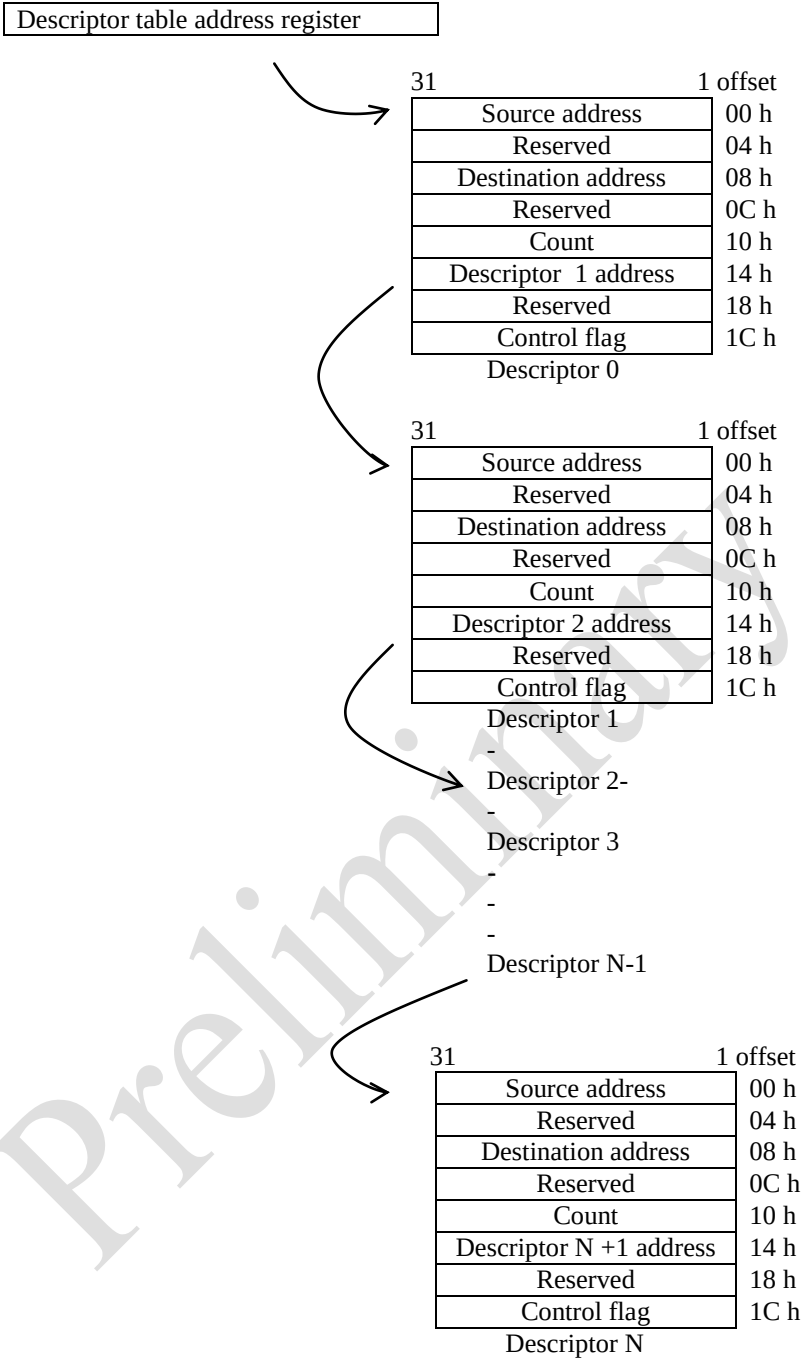


그림 3-4 Example of DMA Descriptor flow

Structure of Descriptor

```
struct {  
    long a;          /* 0x11223344      */  
    long Ra;         /* 0xxxxxxxxx      */  
    long b;          /* 0x55667788      */  
    long Rb;         /* 0xxxxxxxxx      */  
    long c;          /* 0x123456        */  
    long d;          /* 0abcdef01       */  
    long Rd;         /* 0xxxxxxxxx      */  
    long e;          /* 0x00000000      */  
} descriptor;
```

결과 :

Source address	=	0x11223344
Destination address	=	0x55667788
Count	=	0x123456
Next descriptor address	=	0abcdef01
State flag	=	0x00000000

Control flag of Descriptor

descriptor에 기록되는 control flag 는 DMA 제어가 읽어 GDMACON에 기록된다. flag의 역할은 GDMACON의 각 flag 들과 역할이 동일하다. 다만 DMA 제어기 상태를 나타내는 상태 flag가 없는 대신 next descriptor의 유효성을 나타내는 비트 31, 30 번이 존재한다. DMA 제어기는 current descriptor에 해당하는 내용을 참조하여 데이터를 전송한다. Chain Mode인 경우에는 Next Descriptor Flag bit을 참조하여 이 비트가 “1”이면 다음 descriptor 읽기를 시도한다. 그러나 이 비트가 “0”이면 현재 descriptor가 마지막이라고 파악하여 인터럽트를 요청하고 동작을 종료한다. 비트 30번은 descriptor를 읽었을 때 인터럽트 발생을 허용하는 비트이다. (그 외 나머지는 GDMACON과 같다.)

이 표는 DMA 제어가 chain 모드 일 때 description 을 표시한다.

Bit	Description	
31	Next Descriptor Flag 0: Enable next descriptor 1: Disable next descriptor	
30	Descriptor Read Interrupt Mask 0: Disable Interrupt Mask 1: Enable interrupt Mask	
29 : 25	Reserved	
24	Run DMA Operation 0 : Cancels DMA Operation 1 : Starts DMA Operation by S/W	
23 : 19	Reserved	
18 : 16	Channel 0	Channel 1
	DMA Request Source Selection 000 : External DREQx0 001 : I2S (CH0) 010 : SPI DREQx 011 : Reserved 100 : Reserved 101 : Nand Flash TX DREQx 11x : DMA Channel0 (SW)	DMA Request Source Selection 000 : External DREQx1 001 : Nand Flash RX DREQx 010 : SDC(SD Host Controller) DREQx 011 : Reserved 1xx : DMA Channel 1 (SW)
15	Active DMA Chain Mode 0 : Direct Mode 1 : Chain Mode	
14 : 12	Protection and access information bit 12 : Privileged or User bit 13 : Bufferable or not bufferable bit 14 : Cacheable or not cacheable	
11	Lock 0: unLock 1 : Lock	
10	DMA Transfer Count Mode 0 : Reference Count 1 : not used (unlimited transfer)	
9 : 8	DMA Burst Size 00 : No burst 01 : 4 beat incrementing burst 10 : 8 beat incrementing burst 11 : 16 beat incrementing burst	
7 : 6	Direction of DMA Source Address 00 : Fixed Address 01 : Reserved 10 : Increment 11 : Decrement	
5 : 4	Direction of DMA Destination Address 00 : Fixed Address 01 : Reserved 10 : Increment 11 : Decrement	
3 : 2	Data Size for Transfer 00 : 8bit 01 : 16bit 10 : 32bit 11 : Reserved	
1 : 0	Reserved	

3.4.1 GDMA Interrupt Status Register (GDMASTAT)

인터럽트 상태 표시 레지스터는 DMA 동작 중 에러나 종료 시 발생한 인터럽트의 상태를 나타낸다.

Address : FFE0 0800h

Bit	R/W	Description	Default Value
31 : 18	R	Reserved	-
17	R	Ch1 Error Status Bit 0 : Okay 1 : Error	0b
16	R	Ch0 Error Status Bit 0 : Okay 1 : Error	0b
15 : 2	R	Reserved	-
1	R	Ch1 Terminal count Interrupt Status 0 : Idle 1 : Occurred Interrupt	0b
0	R	Ch0 Terminal count Interrupt Status 0 : Idle 1 : Occurred Interrupt	0b

3.4.2 GDMA Interrupt Mask Register (GDMAIM)

인터럽트 마스트 레지스터는 DMA의 제어기에서 인터럽트 신호 선에 출력 유무를 결정한다.

Address : FFE0 0804h

Bit	R/W	Description	Default Value
31 : 18	R	Reserved	-
17	R/W	Ch1 Error interrupt mask 0 : enable interrupt 1 : disable Interrupt	0b
16	R/W	Ch0 Error interrupt mask 0 : enable interrupt 1 : disable Interrupt	0b
15 : 2	R	Reserved	-
1	R/W	Ch1 Terminal count interrupt mask 0 : enable interrupt 1 : disable Interrupt	0b
0	R/W	Ch0 Terminal count interrupt mask 0 : enable interrupt 1 : disable Interrupt	0b

3.4.3 GDMA Enable Status Register (GDMAESTAT)

enable 상태 레지스터는 각 채널의 enable 상태를 표시한다.

Address : FFE0 0808h

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R	Ch1 Status 0 : disable 1 : enable	0b
0	R	Ch0 Status 0 : disable 1 : enable	0b

3.4.4 GDMA Request Status & Synchronization Register (GDMARSS)

DMA 요구 상태 및 동기 레지스터는 외부로부터 요구되는 신호의 상태를 표시하고 DMA 동작 시 동기 유무를 결정한다.

Address : FFE0 080Ch

Bit	R/W	Description	Default Value
31 : 25	R	Reserved	-
24	R/W	Ch1 SDC Request Synchronization 0 : disable sync 1 : enable sync	0b
23	R/W	Ch1 Nand Flash Rx Request Synchronization 0 : disable sync 1 : enable sync	0b
22	R/W	Ch1 External Request Synchronization 0 : disable sync 1 : enable sync	0b
21	R/W	Ch0 Nand Flash Tx Request Synchronization 0 : disable sync 1 : enable sync	0b
20 : 19	R	Reserved	-
18	R/W	Ch0 SPI Request Synchronization 0 : disable sync 1 : enable sync	0b
17	R/W	Ch0 I2S Request Synchronization 0 : disable sync 1 : enable sync	0b
16	R/W	Ch0 External Request Synchronization 0 : disable sync 1 : enable sync	0b
15 : 9	R	Reserved	-
8	R	Ch1 SDC Requesting Status 0 : DMA Requesting 1 : Idle	1b
7	R	Ch1 Nand Flash RX Requesting Status 0 : DMA Requesting 1 : Idle	1b
6	R	Ch1 External Request Status 0 : DMA Requesting 1 : Idle	1b
5	R	Ch0 Nand Flash TX Requesting Status 0 : DMA Requesting 1 : Idle	1b
4 : 3	R	Reserved	-
2	R	Ch0 SPI Requesting Status 0 : DMA Requesting 1 : Idle	1b
1	R	Ch0 I2S Request Status 0 : DMA Requesting 1 : Idle	1b
0	R	Ch0 External Request Status 0 : DMA Requesting 1 : Idle	1b

3.4.5 GDMA Configuration Register (GDMACFG)

configuration 레지스터는 DMA 동작에 대한 구성을 표시한다.

Address : FFE0 0810h

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R/W	DMA endian configuration 0 : little-endian mode 1 : big-endian mode	0b
0	R	DMA controller all channel enable 0 : enable 1 : disable	0b

3.4.6 GDMA Last Request Register (GDMALR)

last 요청 레지스터는 프로그램에 의한 마지막 전송 요청을 표시 한다.

Address : FFE0 0818h

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R/W	Ch1 last request 0 : continues 1 : last transfer	0b
0	R/W	Ch0 last request 0 : continues 1 : last transfer	0b

3.4.7 GDMA Control Register (GDMACONn)

DMA 제어레지스터는 입력 선택, 전송 모드, 전송 데이터의 크기 등에 대한 DMA 채널 제어 정보를 포함한다. 각 레지스터는 소프트웨어에 의해서 DMA 채널이 enable 되기 전에 프로그램 된다. DMA 동작이 종료되면 Run DMA Operation 플래그는 "0" 가 된다.

Address : FFE0 0820h/FFE0 0840h

Bit	R/W	Description		Default Value
31 : 25	R	Reserved		-
24	R/W	Run DMA Operation 0 : Cancels DMA Operation 1 : Starts DMA Operation by S/W		0b
23 : 19	R	Reserved		-
18 : 16	R/W	Channel 0	Channel 1	0b
		DMA Request Source Selection 000 : External DREQx0 001 : I2S (CH0) 010 : SPI DREQx 011 : Reserved 100 : Reserved 101 : Nand Flash TX DREQx 11x : DMA Channel0 (SW)	DMA Request Source Selection 000 : External DREQx1 001 : Nand Flash RX DREQx 010 : SDC DREQx 011 : Reserved 1xx : DMA Channel 1 (SW)	
15	R	Active DMA Chain Mode 0 : Direct Mode 1 : Chain Mode		0b
14 : 12	R/W	Protection and access information(AMBA Protection control) bit 12 : Privileged or User bit 13 : Bufferable or not bufferable bit 14 : Cacheable or not cacheable		0b
11	R/W	Lock(AMBA Lock) 0: unLock 1 : Lock		0b
10	R/W	DMA Transfer Count Mode 0 : Reference Count 1 : not used (unlimited transfer)		0b
9 : 8	R/W	DMA Burst Size 00 : No burst 01 : 4 beat incrementing burst 10 : 8 beat incrementing burst 11 : 16 beat incrementing burst		0b
7 : 6	R/W	Direction of DMA Source Address 00 : Fixed Address :Do not change address 01 : Reserved 10 : Increment Increase address 11 : Decrement Decrease address		0b
5 : 4	R/W	Direction of DMA Destination Address 00 : Fixed Address 01 : Reserved 10 : Increment 11 : Decrement		0b
3 : 2	R/W	Data Size for Transfer 00 : 8bit Transfer using 1Byte size 01 : 16bit Transfer using 1Half word size 10 : 32bit Transfer using 1Word size 11 : Reserved		0b
1 : 0	R	Reserved		-

3.4.8 GDMA Source Address Register (GDMASn)

전송할 데이터의 근원지 주소(바이트 정렬)를 표시한다.

Address : FFE0 0824h/FFE0 0844h

Bit	R/W	Description	Default Value
31 : 0	R/W	DMA Source Address A[31:0]	0h

3.4.9 GDMA Destination Address Register (GDMADn)

전송될 위치의 목적지 주소(바이트 정렬)를 표시한다.

Address : FFE0 0828h/FFE0 0848h

Bit	R/W	Description	Default Value
31 : 0	R/W	DMA Destination Address A[31:0]	0h

3.4.10 GDMA Transfer Count Register (GDMATn)

DMA 제어기가 데이터를 전송할 회수를 표시한다.

Address : FFE0 082Ch/FFE0 084Ch

Bit	R/W	Description	Default Value
31 : 24	R	Reserved	-
23 : 0	R/W	DMA Transfer Count Register. Data transfer 마다 1씩 감소한다. burst인 경우도 1씩 감소한다. ex) 16burst * 32bit * 1(Count) = 64byte	0h

3.4.11 GDMA Descriptor Table Address Register (GDMADTn)

DMA 제어기가 chain 모드로 동작할 때 descriptor table의 주소를 표시한다.

Address : FFE0 0830h/FFE0 0850h

Bit	R/W	Description	Default Value
31 : 0	R/W	DMA Descriptor Table Address A[31:0]	0h

3.5 Interrupt Controller

Eagle의 Interrupt Controller는 32개 채널의 인터럽트를 처리한다. 각 인터럽트 리소스로부터 발생한 인터럽트를 enable 여부 및 mask 상태에 따라 AE32000C 코어에 요청하는 역할을 한다.

인터럽트 리소스는 내부 인터럽트 24개 채널과 외부 인터럽트 8개 채널이 지원되어 모두 32개 채널을 사용할 수 있으며, 외부 인터럽트는 INTMOD 레지스터의 설정에 따라 5가지 방법으로 인터럽트 latch가 가능하다.

내부 인터럽트와 외부 인터럽트의 요청은 INTEN 레지스터의 설정에 따라 disable되어있는 채널(INTEN이 '0'으로 설정된 채널)은 인터럽트 신호는 무시되며, enable되어있는 채널 (INTEN이 '1'로 설정된 채널)은 interrupt controller에 받아들여진다. 하지만, enable되어있더라도 기본적으로 mask되어있기 때문에 AE32000C 코어에 인터럽트가 요청되지 않는다. AE32000C Core에 인터럽트를 요청하기 위해서는 INTMSK 레지스터를 설정하여 사용할 인터럽트를 unmask해줘야 한다. AE32000C 코어에 인터럽트 요청과 함께 INTVEC 레지스터가 설정되어 코어에 인터럽트가 요청된 채널의 인터럽트 벡터 주소를 제공하며, INTSTAT 레지스터가 설정되어 현재 enable되어있는 인터럽트의 요청 상태를 제공한다. 인터럽트 요청을 받은 AE32000C 코어는 해당 인터럽트의 ISR(Interrupt Service Routine)을 수행하고, ISR이 완료될 시, INTVECCLR 레지스터에 해당 인터럽트 벡터 주소를 write하여 인터럽트 요청에 대한 처리를 완료시킨다.

만약 서로 다른 채널의 인터럽트 리소스로부터 인터럽트가 동시에 요청된다면 우선 순위가 높은 순서부터 인터럽트 요청이 처리된다. 같은 인터럽트 리소스로부터 인터럽트 요청이 반복될 때에는 ISR이 종료되지 못한 상태에서 요청되는 인터럽트는 무시되어진다. 물론 같은 인터럽트 리소스로부터 반복되는 인터럽트 요청이라 할지라도 ISR을 처리할 수 있는 충분한 시간이 주어지는 상태에서의 인터럽트 요청은 모두 처리 된다.

인터럽트의 우선 순위는 기본적으로 고정되어 있으나 INTMOD[31] 비트와 INPPR_n 레지스터를 설정하여 사용자가 우선순위를 조정할 수 있다. 우선순위의 변경은 내부 인터럽트의 순위끼리 변경가능하며, 외부인터럽트간의 우선순위는 동일한 trigger모드로 설정된 경우에 한하여 변경이 가능하다. 사용자가 조정한 가변 우선순위를 적용하기 위해서는INTMOD[31] 비트를 '1'로 설정해야 하며, INTMOD[31] 비트를 '0'으로 설정하게 되면 고정 우선순위가 적용된다.

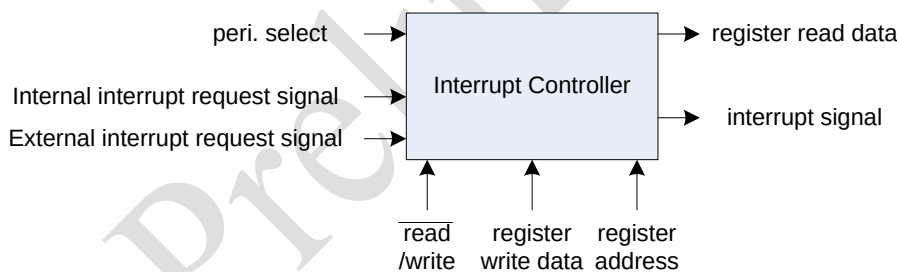


그림 3-5 Structure of Interrupt Controller

Interrupt Controller Register Summary

Address	Register Name	Description
FFE0 0C00h	External Interrupt Source & Mode Select Register (INTMOD)	외부 인터럽트 및 모드 선택
FFE0 0C04h	Interrupt Vector Register (INTVEC)	Interrupt vector를 생성
FFE0 0C08h	Interrupt Vector Clear Register (INTVECCLR)	Interrupt service를 끝내고 clear
FFE0 0C0Ch	Interrupt Enable Register (INTEN)	Interrupt Enable/Disable
FFE0 0C10h	Interrupt Status Register (INTSTAT)	Interrupt의 status 표시
FFE0 0C14h ~ FFE0 0C30h	Interrupt Priority Programmable Register (INPPR _n)	Interrupt source에 대한 Priority를 program으로 설정
FFE0 0C34h	Interrupt Trigger Mode Programmable Register (IRQTRMD)	Internal Interrupt source에 대한 Trigger mode를 설정
FFE0 0C38h	Interrupt Output Masking Register (INTMSK)	Interrupt request에 대한 masking
FFE0 0C40h	MCU Core Handshake Register (INTHSMCU)	MCU core와의 handshake 신호

표 3-8 Interrupt Controller Registers Table

3.5.1 External Interrupt Source Select & Interrupt Mode Register (INTMOD)

Eagle에는 8개의 외부 인터럽트가 존재한다. 외부 인터럽트를 사용하기 위해서는 우선 INTMOD 레지스터를 설정하여야 한다. INTMOD 레지스터의 trigger mode와 active state의 설정으로 모두 5가지 방법으로 인터럽트 latch가 가능하다. 다음 그림은 5가지 방법에 대한 레지스터 설정 및 인터럽트 latch에 대한 설명이다.

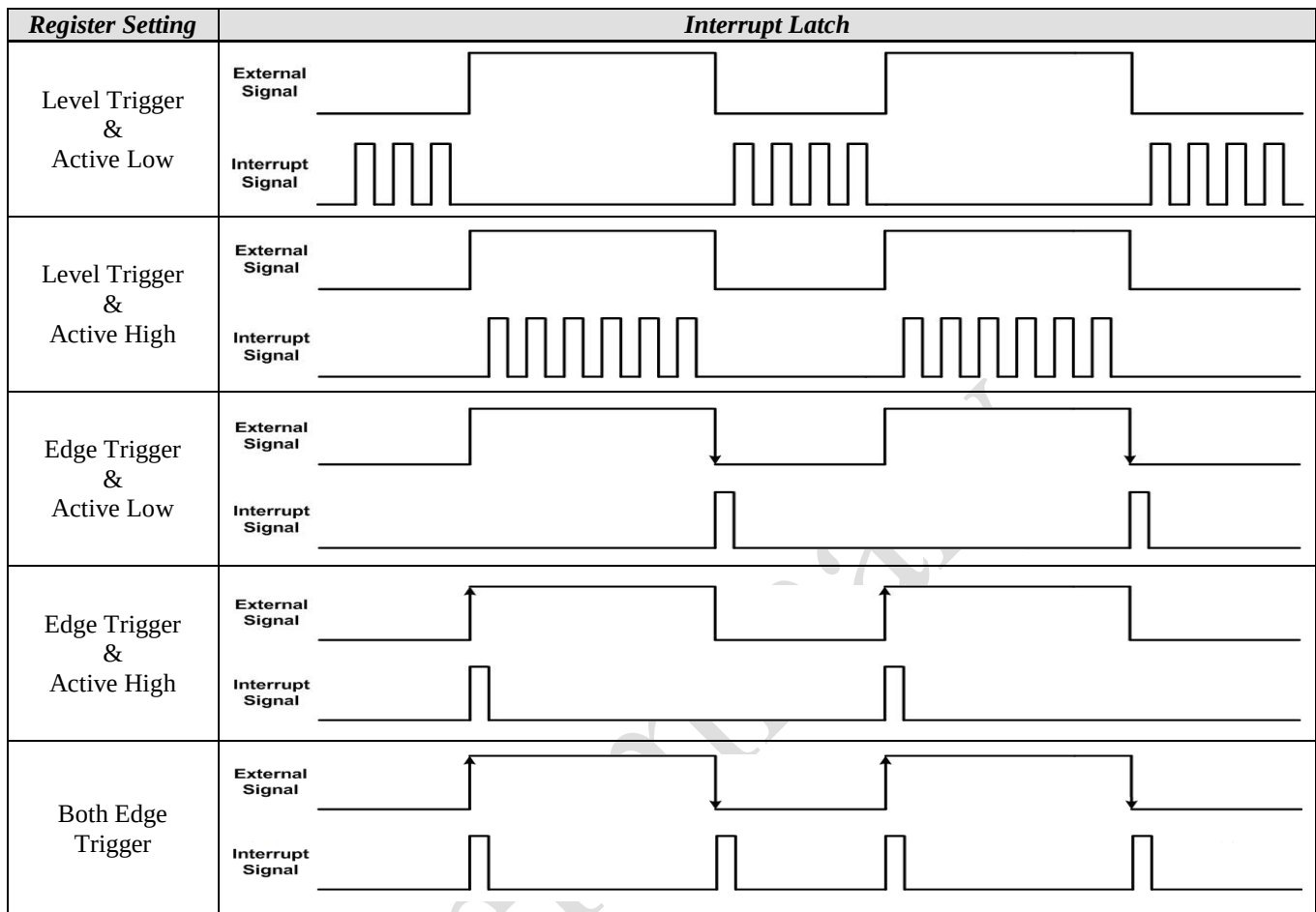


그림 3-6 Interrupt Trigger Mode Description

INTMOD[31] 비트는 프로그램된 우선순위의 적용여부를 결정한다. 우선순위의 변경은 INPPR_n 레지스터 설명을 참조하기 바란다.

Address : FFE0 0C00h

Bit	R/W	Description	Default Value
31	R/W	Interrupt Priority Program bit 0 : Interrupt Priority Program disable 1 : Interrupt Priority Program enable	0b
30 : 24	R	Reserved	-
23 : 16	R/W	External IRQ7 ~ IRQ0 Trigger Mode 0 : Level Trigger 1 : Edge Trigger	FFh
15 : 14	R/W	External IRQ7 ~ IRQ0 Active Mode 00 : Active Low 01 : Active High 1x : Active Both	01b
13 : 12			01b
11 : 10			01b
9 : 8			01b
7 : 6			01b
5 : 4			01b
3 : 2			01b
1 : 0			01b

3.5.2 Interrupt Vector Register (INTVEC)

Interrupt Vector의 상위 3-bit는 프로그램이 가능하며, 아래의 표에서 encoding된 5-bit와 조합되어 8bit의 interrupt vector를 생성시킨다.

Address : FFE0 0C04h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 5	R/W	Interrupt Vector Higher 3 Bit. Programmable Bits.	001b
4 : 0	R	Interrupt Vector Lower 5 Bit. Priority Encoding Data	00h

3.5.3 Interrupt Vector Clear Register (INTVECCLR)

Interrupt service routine에서 interrupt service가 끝나고 빠져나올 때, 해당 인터럽트의 vector code값을 write하여 interrupt status bit를 clear시킨다.

Address : FFE0 0C08h

Bit	R/W	Description	Default Value
31 : 5	R	Reserved.	-
4 : 0	W	Interrupt Clear Vector Value. 내부에서 발생된 Interrupt의 우선순위에 의하여 Interrupt Service Routine처리 후 다시 그 Vector Code 값을 Write함으로써 해당 Interrupt Status Bit를 Clear 시킬 수 있다.	00h

Vector No.	Description	Remark
31	External IRQ7 (Lowest Priority)	Interrupt의 발생은 우선순위에 의하여 순차적으로 발생한다.
30	TWI interrupt or H.264 IRQ1	
29	External IRQ6	
28	External IRQ5	
27	GUN interrupt	
26	JPEG Decoding End IRQ	
25	JPEG FIFO Fill Request IRQ	
24	External IRQ4	
23	Sound Mixer interrupt	
22	I2S interrupt	
21	SDC interrupt	
20	UART Channel 3 interrupt or H.264 IRQ0	
19	UART Channel 2 interrupt	
18	SPI interrupt	
17	USB device interrupt	
16	NAND Flash Controller interrupt	
15	Key Scan interrupt	
14	CRT External Sync. Detect interrupt	
13	USB host interrupt	
12	Frame Vsync interrupt	
11	External IRQ3	
10	External IRQ2	
9	UART Channel 1 interrupt	
8	UART Channel 0 interrupt	
7	Timer 3 interrupt	
6	Timer 2 interrupt	
5	DMA 1 interrupt	
4	DMA 0 interrupt	
3	External IRQ1	
2	External IRQ0	
1	Timer 1 interrupt	
0	Timer 0 interrupt (Highest Priority)	

표 3-9 Interrupt Vector & Priority

3.5.4 Interrupt Enable Register (INTEN)

Interrupt source에 대한 enable bit로 interrupt enable/disable 기능을 한다. Enable Bit가 '0'일 때 interrupt는 disable되고 '1'일 때 enable 된다. 만약 해당 비트가 '0'으로 설정되어 있다면 외부 혹은 peripheral에서 interrupt가 발생하더라도 interrupt controller에 전달되지 않고 무시되므로 사용자는 레지스터 설정 시 항상 유의하여야 한다.

Address : FFE0 0C0Ch

Bit	R/W	Description	Default Value
31	R/W	External IRQ7 (Lowest Priority)	0000 0000h
30	R/W	TWI interrupt or H.264 IRQ1	
29	R/W	External IRQ6	
28	R/W	External IRQ5	
27	R/W	GUN interrupt	
26	R/W	JPEG Decoding End IRQ	
25	R/W	JPEG FIFO Fill Request IRQ	
24	R/W	External IRQ4	
23	R/W	Sound Mixer interrupt	
22	R/W	I2S interrupt	
21	R/W	SDC interrupt	
20	R/W	UART Channel 3 interrupt or H.264 IRQ0	
19	R/W	UART Channel 2 interrupt	
18	R/W	SPI interrupt	
17	R/W	USB device interrupt	
16	R/W	NAND Flash Controller interrupt	
15	R/W	Key Scan interrupt	
14	R/W	CRT External Sync. Detect interrupt	
13	R/W	USB host interrupt	
12	R/W	Frame Vsync interrupt	
11	R/W	External IRQ3	
10	R/W	External IRQ2	
9	R/W	UART Channel 1 interrupt	
8	R/W	UART Channel 0 interrupt	
7	R/W	Timer 3 interrupt	
6	R/W	Timer 2 interrupt	
5	R/W	DMA 1 interrupt	
4	R/W	DMA 0 interrupt	
3	R/W	External IRQ1	
2	R/W	External IRQ0	
1	R/W	Timer 1 interrupt	
0	R/W	Timer 0 interrupt (Highest Priority)	

3.5.5 Interrupt Status Register (INTSTAT)

Interrupt의 status를 알 수 있는 register이다. INTSTAT는 interrupt가 발생하면 해당 비트가 '1'로 설정되며, ISR(Interrupt Service Routine)이 종료되어 interrupt vector를 clear시키면 '0'으로 설정이 된다. INTSTAT 레지스터를 읽어보면 현재 interrupt가 발생했는지, 발생했다면 어떤 interrupt가 발생했는지를 알 수 있다.

Address : FFE0 0C10h

Bit	R/W	Description	Default Value
31	R	External IRQ7 (Lowest Priority)	0000 0000h
30		TWI interrupt or H.264 IRQ1	
29		External IRQ6	
28		External IRQ5	
27		GUN interrupt	
26		JPEG Decoding End IRQ	
25		JPEG FIFO Fill Request IRQ	
24		External IRQ4	
23		Sound Mixer interrupt	
22		I2S interrupt	
21		SDC interrupt	
20		UART Channel 3 interrupt or H.264 IRQ0	
19		UART Channel 2 interrupt	
18		SPI interrupt	
17		USB device interrupt	
16		NAND Flash Controller interrupt	
15		Key Scan interrupt	
14		CRT External Sync. Detect interrupt	
13		USB host interrupt	
12		Frame Vsync interrupt	
11		External IRQ3	
10		External IRQ2	
9		UART Channel 1 interrupt	
8		UART Channel 0 interrupt	
7		Timer 3 interrupt	
6		Timer 2 interrupt	
5		DMA 1 interrupt	
4		DMA 0 interrupt	
3		External IRQ1	
2		External IRQ0	
1		Timer 1 interrupt	
0		Timer 0 interrupt (Highest Priority)	

3.5.6 Interrupt Priority Programmable Register (INPPRn)

Interrupt source에 대한 priority를 설정 가능하도록 하는 레지스터이다. 기본적으로 고정되어있는 인터럽트 우선순위를 사용자가 원하는 우선순위로 바꾸고 싶을 때 INPPR 레지스터를 설정한다. INTMOD[31] 비트가 변경된 우선순위의 적용여부를 결정하므로, 변경된 우선순위를 적용시키기 위해서는 INTMOD[31] 비트를 '1'로 설정해야 한다. 또한 INTMOD[31] 비트가 중간에 '0'으로 설정되면 우선순위가 기본상태로 돌아가므로 사용자가 변경한 우선순위를 사용하고 싶을 때에는 INTMOD[31] 비트를 항상 '1'로 설정해두어야 한다.

Interrupt Priority Programmable Register 0 (INPPR0)

Address : FFE0 0C14h

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	3rd Interrupt Source Number	00011b
23 : 21	R	Reserved	-
20 : 16	R/W	2nd Interrupt Source Number	00010b
15 : 13	R	Reserved	-
12 : 8	R/W	1st Interrupt Source Number	00001b
7 : 5	R	Reserved	-
4 : 0	R/W	0th Interrupt Source Number (Highest priority)	00000b

Interrupt Priority Programmable Register 1 (INPPR1)

Address : FFE0 0C18h

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	7th Interrupt Source Number	00111b
23 : 21	R	Reserved	-
20 : 16	R/W	6th Interrupt Source Number	00110b
15 : 13	R	Reserved	-
12 : 8	R/W	5th Interrupt Source Number	00101b
7 : 5	R	Reserved	-
4 : 0	R/W	4th Interrupt Source Number	00100b

Interrupt Priority Programmable Register 2 (INPPR2)

Address : FFE0 0C1Ch

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	11th Interrupt Source Number	01011b
23 : 21	R	Reserved	-
20 : 16	R/W	10th Interrupt Source Number	01010b
15 : 13	R	Reserved	-
12 : 8	R/W	9th Interrupt Source Number	01001b
7 : 5	R	Reserved	-
4 : 0	R/W	8th Interrupt Source Number	01000b

Interrupt Priority Programmable Register 3 (INPPR3)

Address : FFE0 0C20h

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	15th Interrupt Source Number	01111b
23 : 21	R	Reserved	-
20 : 16	R/W	14th Interrupt Source Number	01110b
15 : 13	R	Reserved	-
12 : 8	R/W	13th Interrupt Source Number	01101b
7 : 5	R	Reserved	-
4 : 0	R/W	12th Interrupt Source Number	01100b

Interrupt Priority Programmable Register 4 (INPPR4)**Address : FFE0 0C24h**

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	19th Interrupt Source Number	10011b
23 : 21	R	Reserved	-
20 : 16	R/W	18th Interrupt Source Number	10010b
15 : 13	R	Reserved	-
12 : 8	R/W	17th Interrupt Source Number	10001b
7 : 5	R	Reserved	-
4 : 0	R/W	16th Interrupt Source Number	10000b

Interrupt Priority Programmable Register 5 (INPPR5)**Address : FFE0 0C28h**

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	23rd Interrupt Source Number	10111b
23 : 21	R	Reserved	-
20 : 16	R/W	22nd Interrupt Source Number	10110b
15 : 13	R	Reserved	-
12 : 8	R/W	21st Interrupt Source Number	10101b
7 : 5	R	Reserved	-
4 : 0	R/W	20th Interrupt Source Number	10100b

Interrupt Priority Programmable Register 6 (INPPR6)**Address : FFE0 0C2Ch**

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	27th Interrupt Source Number	11011b
23 : 21	R	Reserved	-
20 : 16	R/W	26th Interrupt Source Number	11010b
15 : 13	R	Reserved	-
12 : 8	R/W	25th Interrupt Source Number	11001b
7 : 5	R	Reserved	-
4 : 0	R/W	24th Interrupt Source Number	11000b

Interrupt Priority Programmable Register 7 (INPPR7)**Address : FFE0 0C30h**

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	31st Interrupt Source Number (Lowest priority)	11111b
23 : 21	R	Reserved	-
20 : 16	R/W	30th Interrupt Source Number	11110b
15 : 13	R	Reserved	-
12 : 8	R/W	29th Interrupt Source Number	11101b
7 : 5	R	Reserved	-
4 : 0	R/W	28th Interrupt Source Number	11100b

3.5.7 Interrupt Trigger Mode Register (IRQTRMD)

Internal interrupt source에 대한 trigger mode를 설정하는 register이다. External interrupt의 경우는 설정해도 INTMOD 레지스터의 설정이 적용되므로 무시된다. 기본값은 각 peripheral에 해당하는 edge 혹은 level trigger로 설정되어 있으며, 각 interrupt source에 대하여 sensitive trigger를 변경하고자 할 경우 해당 register값을 원하는 값으로 설정한다.

Address : FFE0 0C34h

Bit	R/W	Description	Default Value
31 : 0	R/W	Interrupt trigger mode for each interrupt source (0: Level, 1: Edge)	B980 DCFFh

3.5.8 Interrupt Output Masking Register (INTMSK)

Interrupt controller로부터 AE32000C Core로 전달되는 인터럽트 요청에 대한 masking 역할을 한다. 해당 mask bit이 0인 interrupt만 core로 전달되며, 1인 interrupt는 전달되지 않는다.

Address : FFE0 0C38h

Bit	R/W	Description	Default Value
31 : 0	R/W	Interrupt masking (0: unmasking, 1: masking)	FFFF FFFFh

3.5.9 MCU Core Handshake Register (INTHSMCU)

MCU core와의 handshake 신호로서 사용하며, MCU core 에서 자동적으로 만들어 지는 신호이므로 사용자는 이 레지스터에 접근 할 필요가 없고, 접근 시 오 동작의 우려가 있다.

Address : FFE0 0C40h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R	Core Special Machine Cycle state 0 : normal state 1 : special machine cycle state	0b

3.6 NAND Flash Controller

NAND Flash Controller는 8-bit 타입의 NAND Flash memory와의 데이터 전송을 관리한다. 데이터 전송은 내부 데이터 레지스터를 이용하여 이루어 질 수도 있고 내부 2-Kbyte SRAM을 통해서도 이루어 질 수 있다.

Eagle은 특정 외부 핀(Boot mode)에 pull-up 저항을 달아 NAND Flash memory로 부팅해서 동작시킬 수 있다. 이 때 내부 2-Kbyte SRAM은 외부 NAND Flash 메모리에서 부팅 프로그램을 load하여 최초로 실행되어지는 곳이 된다.

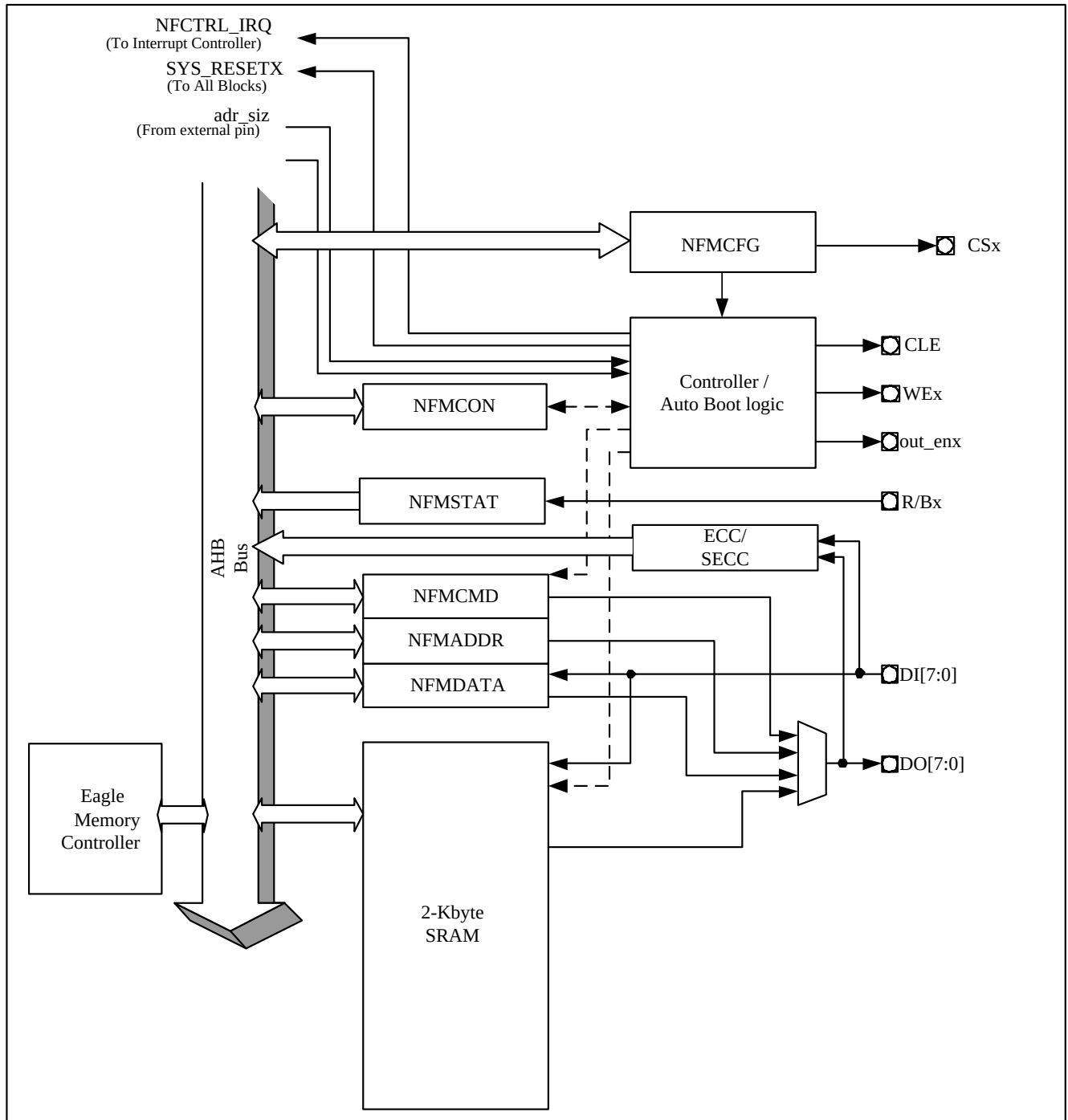


그림 3-7 NAND Flash Controller Block Diagram

Feature

- 8-bit NAND Flash memory를 지원한다.
- 프로그램적으로 NAND Flash memory access cycle을 조절할 수 있다.
- Auto-boot mode 기능을 지원한다.
Power-on-reset 이후에 NAND Flash memory의 첫 번째 블록의 첫 2048-byte의 데이터를 내부 2-Kbyte 메모리로 자동적으로 옮긴 후, 내부 메모리에서 프로그램을 수행하는 기능이다.
- 내부 2-Kbyte 메모리를 buffer로 사용할 수 있다.
- Hardware Error Correcting Code Detecting Block 이 포함되어 있다. NAND Flash memory에 512-byte를 write하거나 read할 때 하드웨어적으로 ECC parity bit을 계산해 준다.

데이터 읽기/쓰기 동작

1. 데이터 전송을 위한 타이밍을 NFMCFG 레지스터에 적절히 설정한다.
2. NAND Flash memory command를 NFMCMD 레지스터에 쓴다.
3. 원하는 NAND Flash memory의 address를 NFMADDR 레지스터에 쓴다. 필요한 address cycle만큼 쓰기 작업을 수행한다.
4. 필요한 수 만큼의 데이터를 읽거나 쓰기 위해서는 NFMDATA 레지스터에다 필요한 수 만큼 읽기/쓰기를 수행한다. 데이터를 읽기 전 또는 데이터를 쓰고 난 뒤에는 반드시 Ready/Busyx 신호를 확인한다.

내부 메모리를 통한 데이터 전송

내부 2-Kbyte 메모리를 이용한 데이터 전송이 가능하다. NFMCON 레지스터의 첫 번째에서 네 번째 비트[3:0] 설정에 의해 각각의 동작을 수행한다. 전송 단위는 NFMCON[4]의 설정으로 결정된다. NAND Flash memory가 small type(1세대)인 경우는 512-byte 전송만 가능하며, large type(2세대)인 경우에는 512-byte와 1024-byte의 전송이 가능하다. 또한, access할 Internal Memory(SRAM)의 시작 주소를 NFMLSM, NFMHSM 레지스터에 설정하게 되면, NAND Flash Controller는 설정된 시작 주소에서부터 설정된 전송 단위만큼 읽거나 쓰기 동작을 수행하게 된다.

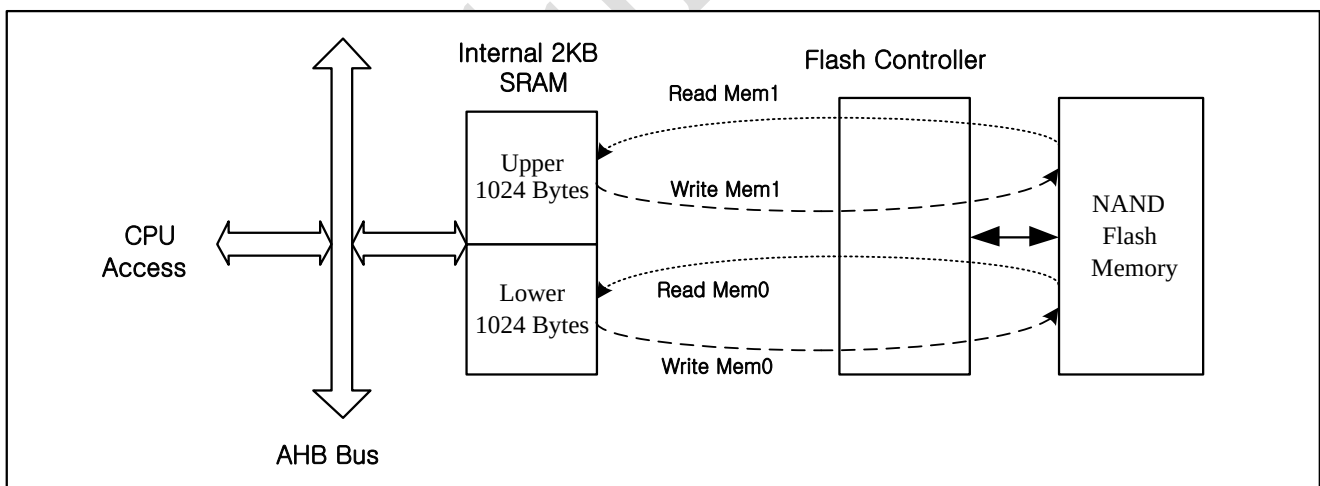


그림 3-8 Transmission through Internal Memory(SRAM) of NAND Flash Controller

GDMA를 이용한 데이터 전송

NAND Flash Controller는 GDMA를 이용한 DMA 전송을 지원한다. 먼저 GDMA Controller를 설정한 후, NAND Flash Controller의 설정을 한다. NFMCON 레지스터에서 GDMA동작을 setting하게 되면 NAND Flash memory와의 GDMA 전송을 시작한다. NAND Flash memory가 large type(2세대)일 경우, 최대 2048-byte까지 전송단위의 설정이 가능하며, small type(1세대)인 경우는 512-byte까지만 설정할 수 있다. GDMA에서의 설정은 single 및 burst 전송설정이 가능하며, 주의할 점은 32-bit data width로만 burst access가 가능하다.

Timing

NFMCFG 레지스터[14:0] 비트의 설정은 다음 그림을 참고하여 설정하면 된다.

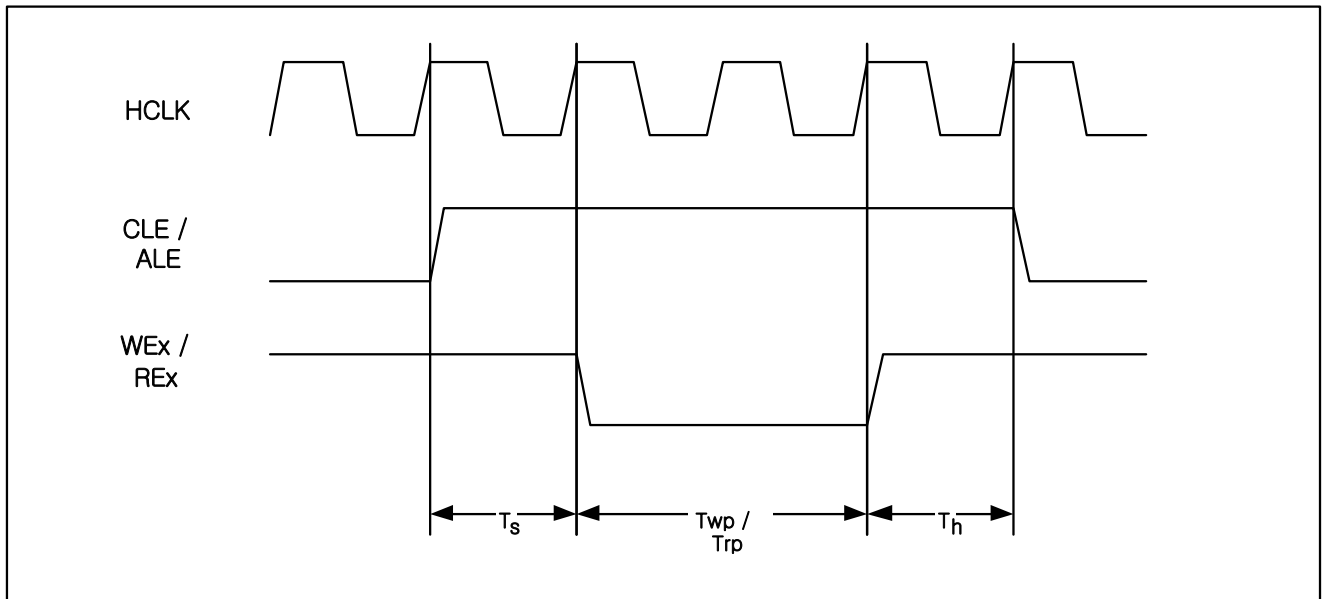


그림 3-9 Read/Write Timing Diagram of NAND Flash Memory by NAND Flash Controller

Auto-boot Mode

Auto-boot mode를 사용하기 위해서는 다음과 같은 설정을 해두어야 한다.

1. CFG[4] 비트를 외부 pull-up으로 '1'을 설정한다. (CFG 참조)
2. 사용할 NAND Flash memory의 address cycle을 확인한 다음, CFG[3:2] 비트를 외부 pull-up 혹은 pull-down으로 해당 cycle에 맞도록 설정한다.
3. Auto-boot mode 시 memory map이 바뀐다. 내부 2-Kbyte memory에 최초 0x00000000로 address가 할당되므로 부팅프로그램 작성시 유의 하여야 한다(즉, CS0x으로 할당된다. - 표 3-2참조)

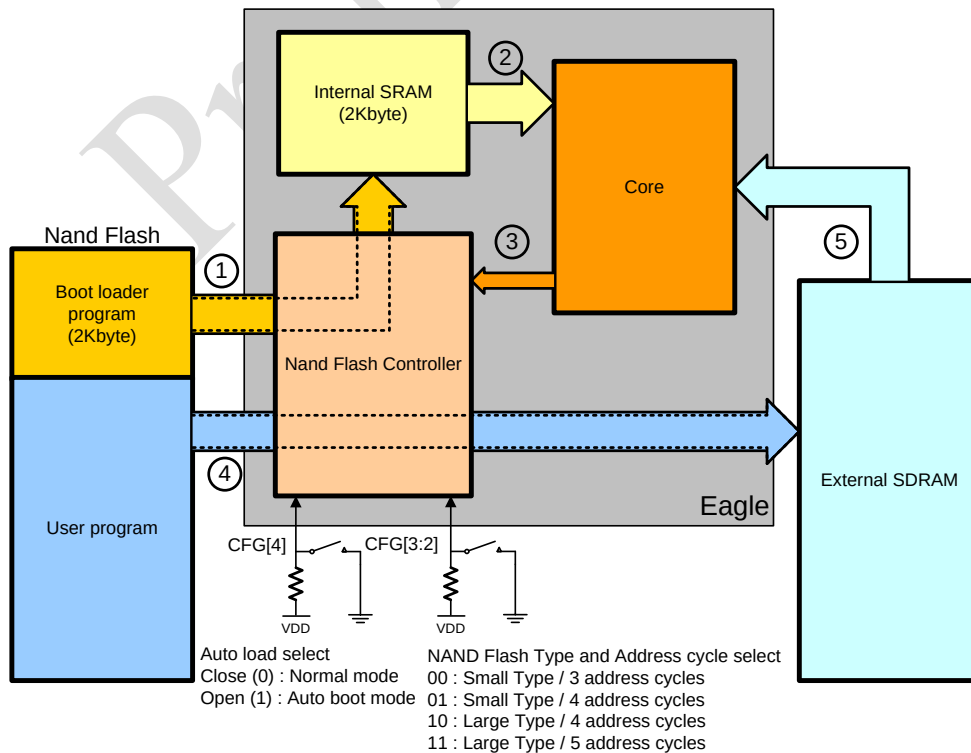


그림 3-10 Auto boot Mode Diagram

3.6.1 NAND Flash Memory Control Register (NFMCON)

NAND Flash memory의 동작방법을 설정하는 레지스터이다.

Address : FFE0 1000h

Bit	R/W	Description	Default Value
31: 15	R	Reserved	-
14	R/W	NAND Flash Direct Read Data byte swap select 0 : Little endian 1 : Big endian	0b
13:12	R/W	NAND Flash Direct Read Transfer size 00 : 512 bytes 01 : 1024 bytes 1x : 2048 bytes	00b
11	R/W	NAND Flash Direct Read Enable 1: 이 값을 설정하면 NAND Flash memory로부터 local SDRAM으로 direct read동작을 시작한다. 0 : 동작이 완료되면 자동으로 clear된다. 이 bit를 set하면 NAND Flash memory로부터 local SDRAM으로 direct read동작을 시작한다. 완료되면 자동으로 clear된다.	0b
10	R/W	NAND Direct Read Complete IRQ Enable 1 : Enable IRQ. 0 : Disable IRQ. 이 bit를 set하면, NAND Flash Direct Read 동작이 완료될 때 인터럽트가 발생한다.	0b
9	R/W	GDMA Write 1 : 이 값을 설정하면 GDMA를 이용해 쓰기 동작을 시작한다. 0 : 동작이 완료되면, 자동으로 clear된다. GDMA를 통하여 NAND Flash memory에 데이터를 write한다. 이 bit를 set하면 GDMA를 이용해 쓰기 동작을 시작한다. 동작이 완료되면, 자동으로 clear된다.	0b
8	R/W	GDMA Read 1 : 이 값을 설정하면 GDMA를 이용해 읽기 동작을 시작한다. 0 : 동작이 완료되면, 자동으로 clear된다. GDMA를 통하여 NAND Flash memory의 데이터를 read한다. 이 bit를 set하면 GDMA를 이용해 읽기 동작을 시작한다. 동작이 완료되면, 자동으로 clear된다.	0b
7	R/W	NAND Busy End IRQ Enable 1 : Enables IRQ 0 : Disables IRQ 이 bit를 set하면, NAND Flash의 Ready/Busyx 신호가 0에서 1로 바뀌었을 때 인터럽트가 발생한다.	0b
6	R/W	Internal Memory(SRAM) Transfer End IRQ Enable 1 : Enables IRQ 0 : Disables IRQ 이 bit를 set하면 내부 메모리를 이용한 전송이 완료될 때 인터럽트가 발생한다.	0b
5	R	Reserved	-
4	R/W	Select Internal Memory(SRAM) Transfer size 0 : 512bytes 1 : 1024bytes (large type) 내부 메모리 2-Kbyte를 이용한 전송의 경우, 한번에 전송될 단위를 결정한다.	0b
3	R/W	Read Mem1 1 : 이 값을 설정하면 외부 NAND Flash memory로부터 데이터를 읽어 내부 메모리 2-Kbyte의 상위 1024-byte영역에 write한다. 0 : 이 동작이 완료되면 자동적으로 clear된다. 외부 NAND Flash memory로부터 데이터를 읽어 내부 메모리 2-Kbyte의 상위 1024-byte영역에 write한다. 이 bit를 set하면 연속해서	0b

		읽기동작이 이루어 진다. 이 동작이 완료되면 자동적으로 clear 된다.	
2	R/W	Read Mem0 1: 이 값을 설정하면 외부 NAND Flash memory로부터 데이터를 읽어 내부 메모리 2-Kbyte의 하위 1024-byte영역에 write한다. 0: 이 동작이 완료되면 자동적으로 clear 된다. 외부 NAND Flash memory로부터 읽어 내부 메모리 2-Kbyte의 하위 1024-byte영역에 write한다. 이 bit를 설정하면 연속해서 읽기동작이 이루어 진다. 이 동작이 완료되면 자동적으로 clear 된다.	0b
1	R/W	Write Mem1 1: 이 값을 설정하면 내부 메모리 2-Kbyte의 상위 1024-byte영역의 데이터를 외부 NAND Flash memory로 write한다. 0: 이 동작이 완료되면 자동적으로 clear 된다. 내부 메모리 2-Kbyte의 상위 1024-byte영역의 데이터를 외부 NAND Flash memory로 write한다. 이 bit를 설정하면 연속해서 쓰기동작이 이루어 진다. 이 동작이 완료되면 자동적으로 clear 된다.	0b
0	R/W	Write Mem0 1: 이 값을 설정하면 내부 메모리 2-Kbyte의 하위 1024-byte영역의 데이터를 외부 NAND Flash memory로 write한다. 0: 이 동작이 완료되면 자동적으로 clear 된다. 내부 메모리 2-Kbyte의 하위 1024-byte영역의 데이터를 외부 NAND Flash memory로 write한다. 이 bit를 설정하면 연속해서 쓰기동작이 이루어 진다. 이 동작이 완료되면 자동적으로 clear 된다.	0b

3.6.2 NAND Flash Memory Command Set Register (NFMCMD)

NAND Flash memory로 command를 보낼 때 사용하는 레지스터이다.

Address : FFE0 1004h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	NAND Flash Memory Command Value	00h

3.6.3 NAND Flash Memory Address Register (NFMADDR)

NAND Flash memory로 address를 보낼 때 사용하는 레지스터이다.

Address : FFE0 1008h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	NAND Flash Memory Address Value	00h

3.6.4 NAND Flash Memory Data Register (NFMDATA)

NAND Flash memory로 data를 보내거나 받을 때 사용하는 레지스터이다.

Address : FFE0 100Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	NAND Flash Memory Read/Program Data Value In case of write : Programming data In case of read : Read data	00h

3.6.5 NAND Flash Memory DMA Data Register (NFMDMA)

NAND Flash memory로 GDMA를 사용하여 data를 write하거나 read할 경우 사용하는 DMA 전용 레지스터이다. GDMA를 사용하여 전송하는 경우에는 반드시 이 레지스터를 사용하여야 한다. GDMA로만 접근이 가능하며, core에서의 접근은 불가능하다.

Address : FFE0 1010h

Bit	R/W	Description	Default Value
31 : 0	R/W	NAND Flash Memory Read/Program Data Value In case of write : Programming data In case of read : Read data	0000 0000h

3.6.6 NAND Flash Memory Direct Read Destination Address Register (NFMDIR)

NAND Flash memory로부터 SDRAM으로 direct 전송 시, SDRAM의 target base address를 설정하는 레지스터이다. 설정 시 4-byte align으로 하여야 한다.

Address : FFE0 1030h

Bit	R/W	Description	Default Value
31 : 0	R/W	NAND Flash Memory Direct Read Destination Address SDRAM Target Base Address	0000 0000h

3.6.7 NAND Flash Memory Operation Status Register (NFMSTAT)

NAND Flash controller의 상태를 확인하기 위한 레지스터이다.

Address : FFE0 1014h

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	-
4	R	NAND Direct Read Operation Completion bit NAND Direct Read 동작이 완료되면 set되며, 읽으면 clear 된다.	0b
3	R	NAND Write/Read Operation Completion 내부 2-Kbyte SRAM을 이용한 전송 상태를 확인하는 bit이다. 전송이 시작되면 0이 되며, 완료되면 1이 된다. 1: Completion 상태 0: 전송 중인 상태	1b
1	R	NAND Flash Memory Ready/Busyx Status 0 : NAND Flash Memory busy 1 : NAND Flash Memory Ready to operate	0b
0	R	NAND Flash Memory Ready/Busyx Status Ready/Busyx 신호가 low에서 high로 변하면 1로 설정된다. 이 bit를 읽으면 clear 가 된다.	0b

3.6.8 NAND Flash Memory Low / High Start Address Register (NFMLSM / NFMHSM)

NAND Flash memory와 내부 SRAM간 데이터 전송의 경우에 SRAM의 하위, 상위 각각의 start address를 설정하는 레지스터이다.

Address : FFE0 1024h / FFE0 102Ch

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 0	R/W	Internal Memory(SRAM) Low Start Address / Internal Memory(SRAM) High Start Address	000h

3.6.9 NAND Flash Memory ECC(Error Correction Code) Register (NFMECC)

NAND Flash memory의 ECC code를 저장하고 있는 레지스터이다. 이 레지스터를 읽으면 자동으로 모두 clear된다.

Address : FFE0 1018h

P1~P4 : Column Parity , P8~P2048 : Row Parity

Bit	R/W	Description	Default Value
31 : 24	R	Reserved	-
23 : 16	R/Clear	ECC2 (~P4, ~P4', ~P2, ~P2', ~P1, ~P1', ~P2048, ~P2048')	FFh
15 : 8	R/Clear	ECC1 (~P1024, ~P1024', ~P512, ~P512', ~P256, ~P256', ~P128, ~P128')	FFh
7 : 0	R/Clear	ECC0 (~P64, ~P64', ~P32, ~P32', ~P16, ~P16', ~P8, ~P8')	FFh

3.6.10 NAND Flash Memory ECC Code for LSN data (NFMECCCL)

NAND Flash Memory ECC Register를 읽으면 clear 된다.

Address : FFE0 1020h

P1_s~P4_s : Column Parity, P8_s~P16_s : Row Parity

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 8	R	S_ECC1 (1, 1, 1, 1, 1, 1, ~P4_s, ~P4'_s)	FFh
7 : 0	R	S_ECC0 (~P2_s, ~P2'_s, ~P1_s, ~P1'_s, ~P16_s, ~P16'_s, ~P8_s, ~P8'_s)	FFh

* ~ : Logically inverse operation

3.6.11 NAND Flash Memory Configuration Register (NFMCFG)

NAND Flash chip select 신호와 CLE, ALE, WEx, REx 신호의 주기를 결정한다.

Address : FFE0 101Ch

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16	R/W	NAND Flash Memory Chip Select 0 : Chip enable 1 : Chip disable	1b
15	R	Reserved	-
14 : 12	R/W	ALE/CLE Set-up Time (Ts) 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111b
11	R	Reserved	-
10 : 8	R/W	WEx Pulse Width (Twp) 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111b
7	R	Reserved	-
6 : 4	R/W	REx Pulse Width (Trp) 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111b
3	R	Reserved	-
2 : 0	R/W	ALE/CLE/CEX Hold Time (Th) 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111b

3.7 CRT Controller

Features

- External Video Decoder Dependent / Independent Mode
 - : External Video Decoder와 별개의 CRTC Clock 사용 및 Sync Generation
 - : External Video Decoder와 별개의 해상도로 CRTC Display 가능
 - > Input : External Video Decoder(NTSC, PAL)
 - > Output : NTSC, PAL, VGA / TFT LCD 지원
- Local / Remote Mode 지원
- Supports displays resolutions up to 1024 x 768
- VESA DPMS support for green PC applications.
- Horizontal and Vertical double Scan Controls.
- 256 x 32 FIFO controls in CRTC block.
- Internal Color Bar Generator
- Programmable Horizontal, Vertical and Field Input Sync. Phase.
- Programmable Horizontal, Vertical Sync. and Blank Output Signal Timing and Phase
- Triple DAC for CVBS and RGB with 10bit Resolution
- Power down mode of DAC

CRT Register

CRT Controller Register Summary

Address	Register Name	Description
FFE0 1400h	CRT Base Address Register (CRTBA)	Screen의 시작 위치를 지정
FFE0 1404h	CRT Horizontal Total Register (CRTHT)	Horizontal Active와 Blank구간을 포함한 Horizontal Total Scan Value
FFE0 1408h	CRT Horizontal Sync. Start / End Register (CRTHS)	Horizontal Sync 구간의 Start(End) value
FFE0 140Ch	CRT Horizontal Active Start / End Register (CRTHA)	Horizontal Active 구간의 Start(End) value
FFE0 1410h	CRT Vertical Total Register (CRTVT)	Vertical Active와 blank 구간을 포함한 Vertical Total scan value
FFE0 1414h	CRT Vertical Sync. Start/End Register (CRTVS)	Vertical Sync 구간의 Start(End) value
FFE0 1418h	CRT Vertical Active Start/End Register (CRTVA)	Vertical Active구간의 Start(End) value
FFE0 141Ch	CRT Display Current X / Y Position Register (CRTXY)	Horizontal/Vertical Counter value
FFE0 1420h	CRT Status Register (CRTSTAT)	CRT controller의 Sync상태
FFE0 1424h	CRT Control Register (CRTCON)	CRT의 Display, Sync, Memory, FIFO 모드를 제어
FFE0 1428h	CRT Overlay & DAC Control Register (CRTOEDAC)	Overlay / DAC control
FFE0 142Ch	CRT VESA Power Management Register (CRTPM)	VESA Display Power Management System (DPMS) control

표 3-10 CRT Controller Registers Table

3.7.1 CRT Base Address Register(CRTBA)

Address : FFE0 1400h

Bit	R/W	Description	Default Value
31 : 21	R	Reserved	-
20 : 0	R/W	Base Address These bits indicates the start position of the screen in the memory	00 0000h

3.7.2 CRT Horizontal Total Register(CRTHT)

Horizontal Active와 Blank 구간을 포함한 Horizontal Total scan value

Address : FFE0 1404h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 0	R/W	Horizontal Total The value loaded into this field is the total pixel counts per line.	000h

3.7.3 CRT Horizontal Sync. Start / End Register(CRTHS)

Horizontal Sync 구간의 Start(End) value.

Address : FFE0 1408h

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R/W	Horizontal Sync Start The value loaded into this field is the value of horizontal sync period start by the horizontal counter	000h
15 : 11	R	Reserved	-
10 : 0	R/W	Horizontal Sync End The value loaded into this field is the value of horizontal sync period end by the horizontal counter	000h

3.7.4 CRT Horizontal Active Start / End Register(CRTHA)

Horizontal Active 구간의 Start(End) value.

Address : FFE0 140Ch

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R/W	Horizontal Active Start The value loaded into this field is the value of horizontal active period start by the horizontal counter	000h
15 : 11	R	Reserved	-
10 : 0	R/W	Horizontal Active End The value loaded into this field is the value of horizontal active period start by the horizontal counter	000h

3.7.5 CRT Vertical Total Register(CRTVT)

Vertical Active와 Blank 구간을 포함한 Vertical Total scan value.

Address : FFE0 1410h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 0	R/W	Vertical Total The value loaded into this field is the value of the total vertical line counts.	000h

3.7.6 CRT Vertical Sync. Start / End Register(CRTVS)

Vertical Sync 구간의 Start(End) value.

Address : FFE0 1414h

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R/W	Vertical Sync Start The value loaded into this field is the value of vertical sync period start by the vertical counter	000h
15 : 11	R	Reserved	-
10 : 0	R/W	Vertical Sync end The value loaded into this field is the value of vertical sync period end by the vertical counter	000h

3.7.7 CRT Vertical Active Start / End Register(CRTVA)

Vertical Active 구간의 Start(End) value.

Address : FFE0 1418h

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R/W	Vertical Active Start The value loaded into this field is the value of vertical active period start by the vertical counter	000h
15 : 11	R	Reserved	-
10 : 0	R/W	Vertical Active end The value loaded into this field is the value of vertical active period end by the vertical counter	000h

3.7.8 CRT Display Current X / Y Position Register(CRTXY)

Display Current X Position 레지스터는 Read Only 레지스터이며, Horizontal Counter 값을 반영하고 있다. Display Current Y Position 레지스터도 Read Only 레지스터이며, Vertical Counter 값을 반영하고 있다.

Address : FFE0 141Ch

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R	The value loaded into this field is the value of the vertical counter.	000h
15 : 11	R	Reserved	-
10 : 0	R	The value loaded into this field is the value of the horizontal counter.	000h

3.7.9 CRT Status Register(CRTSTAT)

CRT Status 레지스터는 Read Only이며, CRT controller의 Sync 상태를 읽어볼 수 있다.

Horizontal Sync와 Vertical Sync 신호는, Control Register [21:20] Bit이 “00”일 때, 둘 다 Low active 상태를 갖는다. 이 두 Bit이 “11”일 때, 두 Sync. 신호는 High active 상태를 갖게 된다. Horizontal / Vertical Active는 신호는 Control Register [21:20] Bit에 상관없이 High active 상태를 갖는다.

Address : FFE0 1420h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R	External Sync. Detect	0b
6 : 5	R	Current Display Bank	00b
4	R	Field (1 : ODD Field, 0 : EVEN Field)	1b
3	R	Vertical Active (active high)	0b
2	R	Vertical Sync	1b
1	R	Horizontal Active (active high) .	0b
0	R	Horizontal Sync	1b

3.7.10 CRT Control Register(CRTCON)

CRT Control 레지스터는 CRTC의 동작 모드 제어를 위해 사용된다.

* Frame Memory Bank <n> Ping-Pong Enable

- : Graphic Engine Flip Command에 의한 Frame Memory Bank 전환을 비활성 / 활성 시킨다.
- 비활성 시 CRT Frame Memory Bank는 고정된다.
- 활성 시 Graphic Engine Flip Command에 의해 CRT Frame Memory Bank 전환이 이루어진다
(CSC Image Capturer Control Register Bit “0” 설명 참조)

* Bit per Pixel

- : Pixel 당 Bit 수를 설정하는 레지스터
- : 24 bit mode – JPEG Image Capturer 블록에서 24 bit mode로 설정 시에만 사용 가능

* External Video Sync Dependent / Independent Mode Bit

- : Independent Mode 설정 시 Local / Remote Mode 설정에 영향 받지 않음.
- : Dependent Mode 설정 시 Local / Remote Mode 설정에 영향 받음.

* Local / Remote Mode

- : Local mode - External Video Decoder Sync.와 무관하게 동작하며, CRTC에서 생성된 Sync.로 동작
- : Remote mode - External Video Decoder Sync.에 동기되어 CRTC 동작

* CRT Control Register[7:6]를 아래와 같이 set함에 따라서 TV / VGA Mode가 결정이 된다.

- 00 : VGA mode 11 : TV mode

* CRT Control Register[5:4]를 아래와 같이 set함에 따라서 TV Mode가 결정이 된다.

- 00 : NTSC,PAL-M 01 : 사용금지
- 10 : PAL COMBI-N 11 : PAL BDGHIN

* Vertical Double Scan

- : 한 라인을 Vertical 방향으로 두 번 디스플레이 한다.

* Horizontal Double Scan

- : 한 Pixel을 Horizontal 방향으로 두 번 디스플레이 한다.

Address : FFE0 1424h

Bit	R/W	Description	Default Value
31 : 25	R	Reserved	-
24	R/W	Software Reset. : 0 = Normal operation 1=Reset,.	1b
# Miscellaneous #			
23:22	R	Reserved	-
21	R/W	HSYNC. Output Polarity. : 0 = LOW ACTIVE 1 = HIGH ACTIVE	0b
20	R/W	VSYNC. Output Polarity. : 0 = LOW ACTIVE 1 = HIGH ACTIVE	0b
# FIFO / Memory Control register #			
19	R/W	Frame Memory Bank <n> Ping-Pong Enable. : 0 = Disable 1 = Enable	0b
18 : 17	R/W	FIFO Request Control(Total depth : 256) : 00 = one half request(128) 01 : one fourth request(64) : 10 = one eighth request(32) 11 : Don't use	00b
16	R/W	Bit per Pixel : 0 = 16 bit mode 1 = 24 bit mode	0b
# Local / Remote mode register #			
15	R	External Video Sync Dependent / Independent Mode : 0 = Dependent 1 = Independent	0b
14	R/W	Local / Remote Mode. : 0 = Local mode 1 = Remote mode	0b

13	R/W	Input Video Sync. Select at Remote mode : 0 = No Input : 1 = H(V)SYNC - Digital, Decoder Input	0b
12	R/W	H(V)SYNC Input Polarity at Remote mode(when reg. 13 bit, '1') : 0 = High Active 1 = Low Active	0b
11	R/W	Field signal (not) use at Remote mode(when reg. 13 bit, '1') : 0 = Use 1 = not use	0b
10	R/W	Field(Odd Field) Input Polarity at Remote mode(when reg. 13 bit, '1') : 0 = when Odd Field is '1' 1 = when Odd Field is '0'	0b
9	R/W	VSYNC. Output Select at Remote Mode. : 0 = Internal Block 1 = VSYNCIN(External Pin)	0b
8	R/W	HSYNC. Output Select at Remote Mode. : 0 = Internal Block 1 = HSYNCIN(External Pin)	0b
# TV, VGA(LCD) mode register #			
7	R/W	TV/VGA mode Enable. : 0 = VGA(LCD) mode 1 = TV mode	0b
6	R/W	Interlace Enable. : 0 = Non-interlace mode 1=Interlace mode	0b
5	R/W	Horizontal Scan Line Number : 0 = 525line 1 = 625line	0b
4	R/W	Color Burst Frequency : 0 = 3.58Mhz 1 = 4.43Mhz	0b
# Display mode register #			
3	R/W	Vertical Double Scan Enable. : 0 = Disable 1 = Enable	0b
2	R/W	Horizontal Double Scan Enable. : 0 = Disable 1 = Enable	0b
1 : 0	R/W	Screen Display Mode Control. : 00=Normal operation. : 01=Regular Pattern Generation : 1x=Screen off	00b

3.7.11 CRT Overlay & DAC Control Register(CRTOEDAC)**Address : FFE0 1428h**

Bit	R/W	Description	Default Value
31 : 14	R	Reserved	-
13 : 12	R/W	External Overlay Enable(OVEN) Dot Clock Delay 00 : -1 Dot Clock(Pixel clock) Delay 01 : 0 Dot Clock(Pixel clock) Delay 10 : +1 Dot Clock(Pixel clock) Delay 11 : +2 Dot Clock(Pixel clock) Delay	01b
11	R	Reserved	-
10 : 8	R/W	External Overlay Enable(OVEN) System(AHB) Clock Delay 000 : 0 System(AHB) Clock Delay 001 : +1 System(AHB) Clock Delay 010 : +2 System(AHB) Clock Delay 011 : +3 System(AHB) Clock Delay 100 : +4 System(AHB) Clock Delay 101 : +5 System(AHB) Clock Delay 110 : +6 System(AHB) Clock Delay 111 : +7 System(AHB) Clock Delay	000b
7 : 6	R	Reserved	-
5	R/W	DAC RED or Composite Channel Input Source Select 0 : Component R 1: Composite	0b
4	R/W	DAC input Dot clock inverting 0 : Non Inverting 1 : Inverting	0b
3	R/W	DAC ALL Channel Power Down mode(High Active)	1b
2	R/W	DAC BLUE Channel Power Down mode(High Active)	1b
1	R/W	DAC GREEN Channel Power Down mode(High Active)	1b
0	R/W	DAC RED(or Composite) Channel Power Down mode(High Active)	1b

3.7.12 CRT Color Key Register(CRTCKR)**Address : FFE0 1430h**

Bit	R/W	Description	Default Value
31 : 0	R/W	Color Key Value, 16 or 24bit per pixel	-

3.7.13 CRT Color Key Register2(CRTCKR2)**Address : FFE0 1434h**

Bit	R/W	Description	Default Value
31 : 25	R	Reserved.	-
24 : 0	R/W	Color Key Value, 24 bit per pixel	-

3.7.14 CRT Frame Sync Count Register(CRTFSCR)**Address : FFE0 1434h**

Bit	R/W	Description	Default Value
31 : 25	R/W	Count Values	-

3.7.15 CRT VESA Power Management Control Register(CRTPM)**Address : FFE0 142Ch**

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1 : 0	R/W	VESA Power Management Control. -----	00b

		1 0	Stage	Vsync	Hsync	
		0 0	On	On	On	
		0 1	Stand-by	On	Off	
		1 0	Suspend	Off	On	
		1 1	Off	Off	Off	

Preliminary

다음은 국제 TV 신호에 대하여 각 방식에 대한 신호 규격을 간단히 요약한 것이다.

	NTSC	PAL		
		B,D,G,H,I,N	M	Combi - N
Hsync Width	4.7 usec	4.7 usec	4.7 usec	5.0 usec
Front Porch	1.5 usec	1.5 usec	1.75 usec	1.9 usec
Back Porch	4.7 usec	5.8 usec	4.55 usec	4.0 usec
H. Display	52.6 usec	52.0 usec	52.5 usec	53.1 usec
H. total	63.556 usec / 15,734 Hz	64.0 usec / 15,625 Hz	63.556 usec / 15,734 Hz	64.0 usec / 15,625 Hz
H. line/frame	525	625	525	625
Field freq.	59.94 Hz	50 Hz	59.94 Hz	50 Hz
Video Bandwidth	4.2 MHz	I = 5.5MHz B,G,H = 5.0MHz N = 4.2MHz D = 6.0MHz	4.2 MHz	4.2 MHz
Color Burst Frequency	3.579545 MHz	4.433618 MHz	3.575611 MHz	3.582056 MHz
Color Burst	2.51 usec (9 cycle)	2.26 usec (10 cycle)	2.52 usec (9 cycle)	2.51 usec (9 cycle)
CB porch	1.00 usec	1.00 usec	1.00 usec	1.00 usec
Pre-equalize	6 pulses	5 pulses	6 pulses	5 pulses
Low width	2.35 usec	2.35 usec	2.35 usec	2.35 usec
High width	29.43 usec	29.65 usec	29.43 usec	29.65 usec
Serration	6 pulses	5 pulses	6 pulses	5 pulses
Low width	27.1 usec	27.3 usec	27.1 usec	27.3 usec
High width	4.7 usec	4.7 usec	4.7 usec	4.7 usec
Post-equalize	6 pulses	5 pulses	6 pulses	5 pulses
Low width	2.35 usec	2.35 usec	2.35 usec	2.35 usec
High width	29.43 usec	29.65 usec	29.43 usec	29.65 usec

표 3-11 National TV Signal Standard

CRT Controller Block Diagram

CRT Controller는 Register, Timing Generation, Address Generation, FIFO Control, Sync Control, Request Generation, External Sync Detector 블록 등으로 구성되어 있다.

CRT Controller는 Screen Refresh를 위하여, 프레임 메모리의 데이터를 읽어오기 위하여 Request Generation, Request Address Generation, FIFO Control 블록이 있으며, VGA 모드를 위한 Sync Control 블록이 있다. Timing Generation 블록은 CRT Controller의 전반적인 Timing을 제어한다.

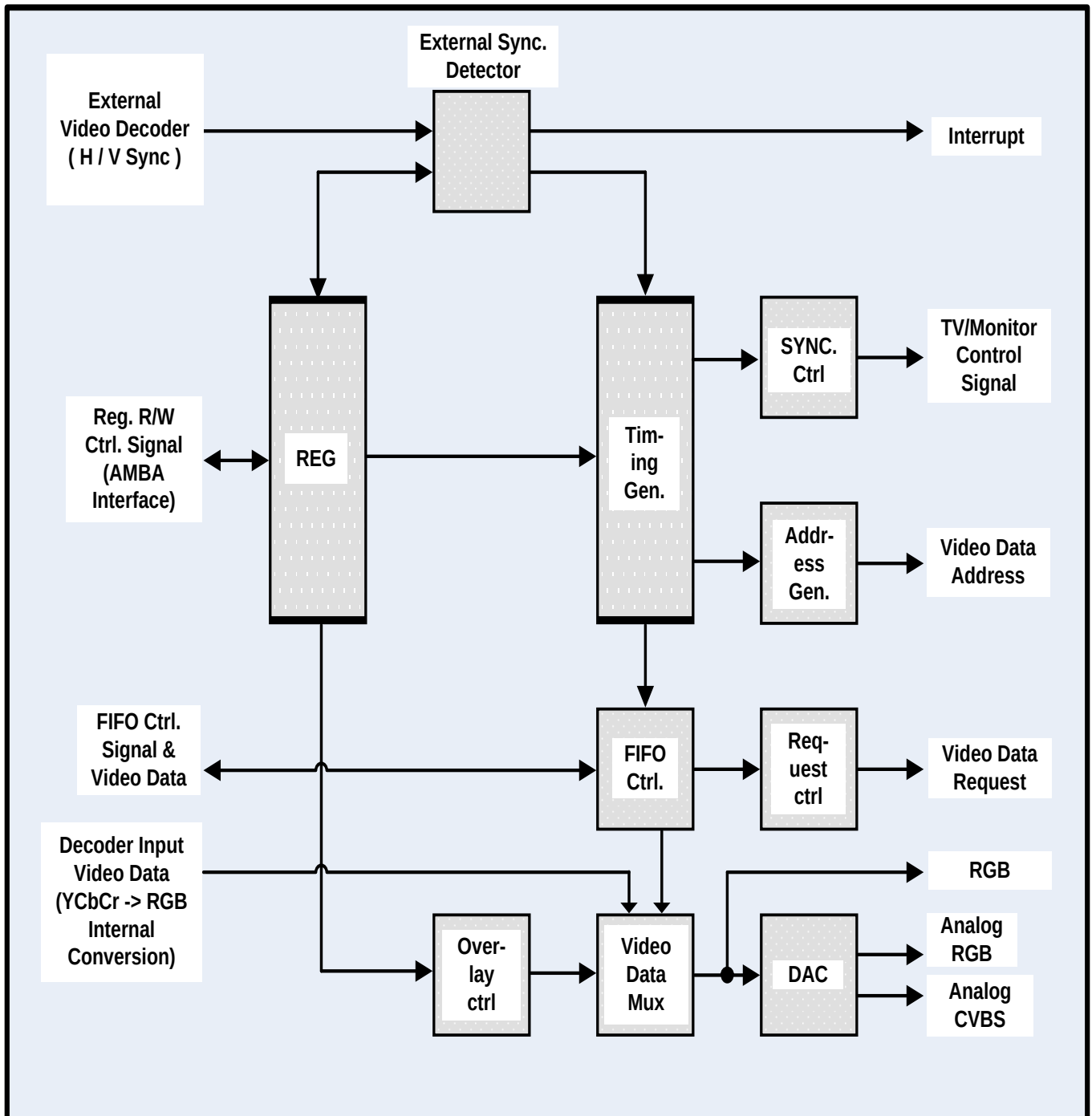


그림 3-11 CRT Controller Block Diagram

- Address Generation

Address Generation 블록은 Screen Refresh를 위한 Memory Read Request Address를 생성한다.
User에 의해 셋팅된 CRT Base Address에 내부적으로 해당 모드에 따른 offset address가 더해져서 생성된다.

- FIFO / Request Control

FIFO Control 블록은 내부 FIFO의 Read Request 및 Write, Read Pointer를 제어한다. Read Request 및 Write, Read Pointer는 Horizontal Active 구간의 끝나는 시점에서 Reset 된다.

FIFO Control 블록은 두 개의 Clock Domain을 갖는다. 프레임 메모리로부터 읽어온 데이터를 FIFO에 Write하는 System Clock Domain과 FIFO Data를 읽어 Screen에 디스플레이 하기 위한 Video(Dot) Clock Domain으로 되어 있다.

FIFO의 Write/Read Data Bus는 32 Bit이며, Control 레지스터 [16] Bit에 의해 <16 or 24> Bit per Pixel(RGB) Color 모드를 선택할 수 있으며, 초기 값은 RGB 16 Bit(5:6:5 Format) Color 모드로 되어 있다.

만약 RGB 16 Bit(5:6:5 Format) Color 모드를 선택한다면, 한 번의 FIFO Write/Read 동작에 2 Pixel을 처리하게 되며, 32 Bit 중 하위[15:0] 16 Bit, 상위[31:16] 16 Bit 순으로 디스플레이 된다. 1 Pixel은 16 Bit이며 R 값이 [15:11], G 값이 [10:5], B 값이 [4:0] 순으로 되어 있다. Control 레지스터 [16] Bit에 '1'을 셋팅하여 RGB 24 Bit(8:8:8 Format) Color 모드를 선택한다면, 한 번의 FIFO Write/Read 동작에 1 Pixel을 처리하게 되며, 32 Bit는 { Dummy 8 Bit[31:24], R[23:16], G[15:8], B[7:0] }로 구성된다.

CRT Control 레지스터 [18:17] Bit에 따라, 매 라인 Horizontal Active 구간에서 FIFO의 Read Pointer를 체크하여 프레임 메모리 비디오 데이터 Read에 대한 Request 신호가 발생한다. 이 Bit이 "00", "11"일 때는 FIFO가 절반 비었을 때, "01"일 때는 4분의 1이 비었을 때, "10"일 때는 8분의 1이 비었을 때 Request 신호가 발생한다. 그리고, 매 라인 Horizontal HSYNC 구간에서 FIFO는, CRT Control Register [18:17] Bit에 따라, "00", "11"일 때는 Full, "01"일 때는 절반, "10"일 때는 4분의 1이 채워진다. 내부 FIFO는 256 x 32로 되어 있다.

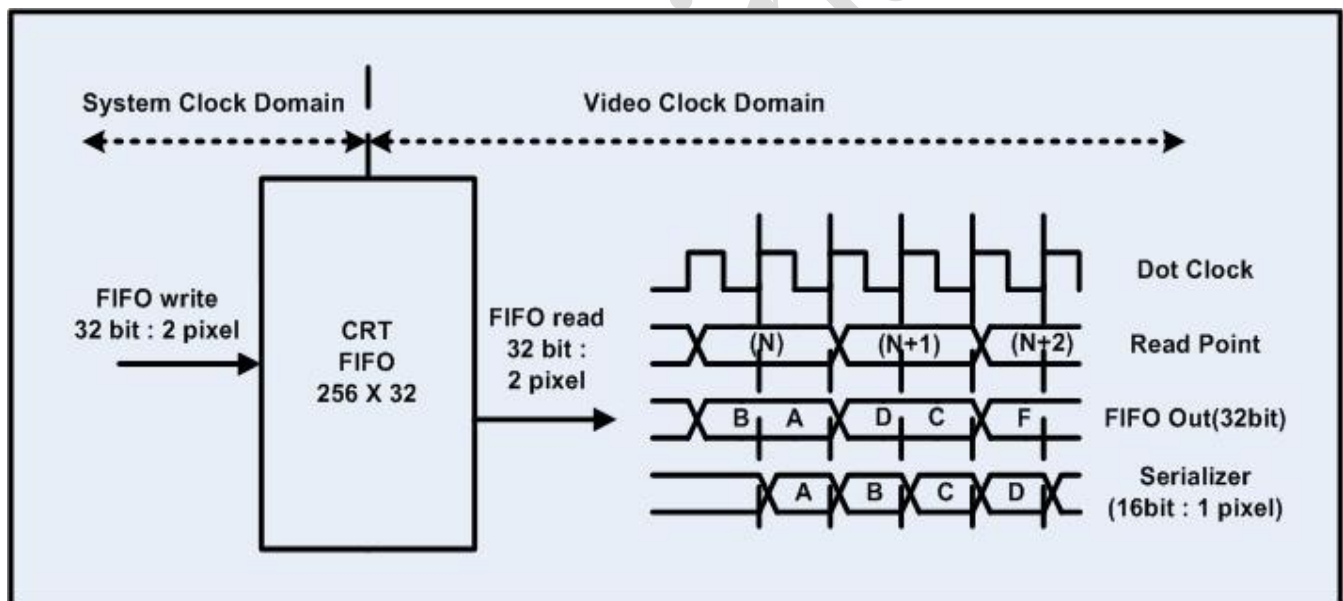


그림 3-12 CRT FIFO Control Block – RGB 16 Bit(5:6:5) Format Operation

- Serialization Block

Serialization Block은 내부 FIFO로부터 Read한 32bit Data를 BPP Color Mode에 따라 Serialization을 수행한다. Serialization Data(SQ) Block의 output은 24bit로 1 pixel을 구성한다. SQ[23:16] 8 Bit가 Red 값이며, SQ[15:8] 8 Bit Green, SQ[7:0] 8 Bit Blue 값으로 Mapping 된다. Control 레지스터 [2] Bit은 Horizontal Double Scan Bit이다.

Control REG {[16],[2]}	Serialization Data SQ[23:0]
00	{ D[15:11], 3`h0, D[10:5], 2`h0, D[4:0], 3`h0 }
	{ D[31:27], 3`h0, D[26:21], 2`h0, D[20:16], 3`h0 }
01	{ D[15:11], 3`h0, D[10:5], 2`h0, D[4:0], 3`h0 }
	{ D[15:11], 3`h0, D[10:5], 2`h0, D[4:0], 3`h0 }
	{ D[31:27], 3`h0, D[26:21], 2`h0, D[20:16], 3`h0 }
	{ D[31:27], 3`h0, D[26:21], 2`h0, D[20:16], 3`h0 }
10	{ D[23:0] }
	{ D+1[23:0] }
	{ D+2[23:0] }
	{ D+3[23:0] }
11	{ D[23:0] }
	{ D[23:0] }
	{ D+1[23:0] }
	{ D+1[23:0] }
	{ D+2[23:0] }
	{ D+2[23:0] }
	{ D+3[23:0] }
	{ D+3[23:0] }

표 3-12 32 Bit Video Data Serialization

- * Control REG[16] : 0 = 16 Bit Color mode
1 = 24 Bit Color mode
- * Control REG[2] : 0 = Normal display mode
1 = Horizontal Double scan mode

- Sync. Timing Generation

아래의 그림은 640 X 480 해상도에 대한 Horizontal Total, Sync Start(End), Active Start(End), Vertical Total, Sync Start(End), Active Start(End) 레지스터 setting에 따라 생성되는 Sync. Signal Timing이다.

HSYNC, VSYNC 신호는 Default Low active이며, CRT Control Register [5:4] Bit를 이용하여 active polarity를 제어할 수 있다. Horizontal, Vertical Active 신호는 High active이다.

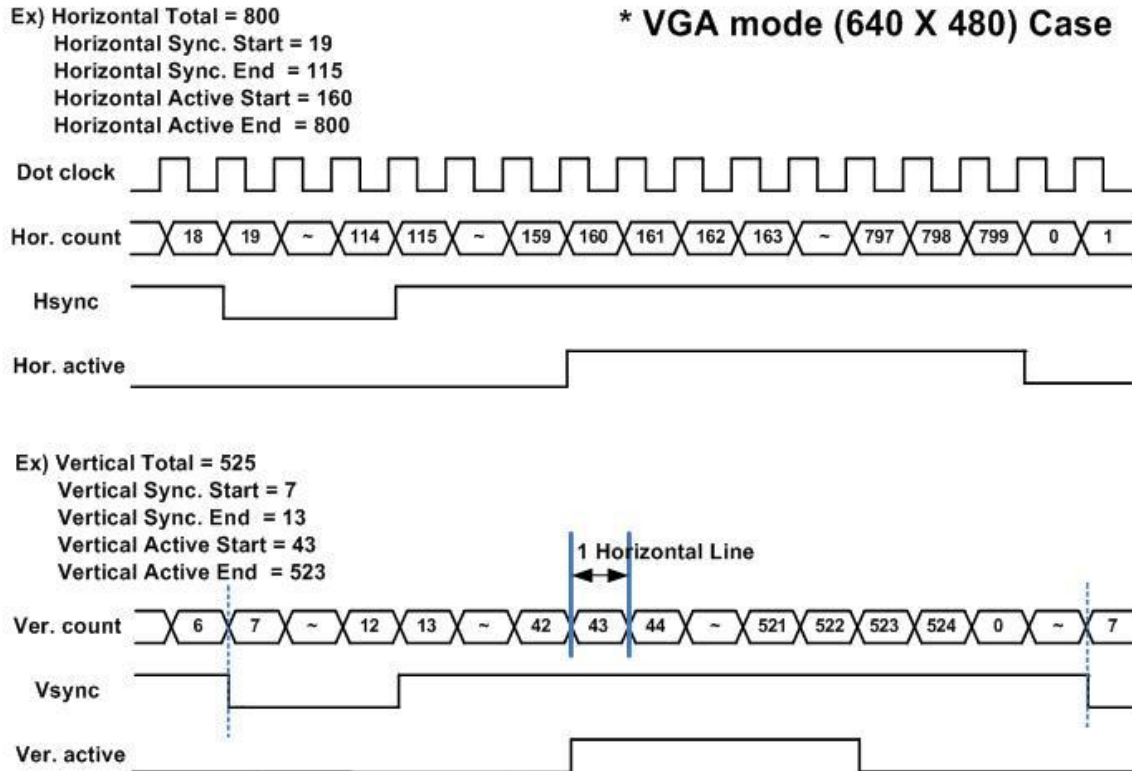


그림 3-13 CRT Horizontal, Vertical Sync / Active Signal Timing

- Color Bar Test Pattern Generation Block

CRT Control Register [1:0] Bit이 "01"일 때 Color Bar Test Pattern Generation 블록은 활성화되고, 프레임 메모리의 데이터를 읽어오기 위한 Request Generation, Address Generation, FIFO Control 블록은 비활성화된다. Video Data Mux & Serialization 블록에서 Color Bar Pattern Video Data가 선택되어 출력된다. Color Bar Pattern은 왼쪽부터 검정색, 흰색, 노란색, 청록색, 녹색, 보라색, 빨간색, 파란색 순으로 생성되며, 해상도에 상관없이 균일한 분포를 갖는다. 만약, Active 구간이 정확하게 8의 배수가 되지 않는다면 화면의 오른쪽 검정색이 출력될 수 있다.

Registers Programming Resolution Reference Table for CRTC

Reg Name	CRTBA	CRTHT	CRTHS	CRTHA	CRTVT	CRTVS	CRTVA	CRTCON
320x240	00000000							
640x480 (800x525)	00000000	00000320	00130073	00A00320	0000020D	0007000D	002B020B	00080000
800x600 (1056x628)	00000000	00000420	002300C3	01000420	00000274	0004000A	001A0272	00080000
1024x768 (1344x805)	00000000	00000540	002300C3	01400540	00000325	0007000D	00230323	00080000
NTSC (720x480)	00000000	000006B4	002000A0	011406B4	0000020D	0007000D	002B020B	000820C0
PAL (720x572)	00000000	000006C0	00180098	012006C0	00000271	00010007	002F026B	000820F0

표 3-13 Registers Programming Resolution Reference Table for CRTC

- * Register Value는 Hexa-Decimal임.
- * Memory Read Request는 FIFO의 Half Position을 기준으로 함.
- * Screen Display Mode는 Normal operation을 기준으로 함.
- * H(V)SYNC. Output Polarity는 Low Active 기준임.
- * H(V)SYNC. Output Select는 Internal block에서 생성된 SYNC. Output을 기준으로 함.

3.8 Graphic Controller

3.8.1 Packet Write Pointer Register (GRAPWP)

Address : FFE0 1800h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 0	R/W	Command packet Write pointer (Engine이 비활성화 될 때, “0”으로 Clear 된다.)	000h

3.8.2 Packet Read Pointer Register (GRAPRP)

Address : FFE0 1804h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 0	R/W	Command packet Read pointer (Half Word Access Only) 1. 해당 값은 Engine이 command Packet을 읽어 들였을 때 증가하며 Engine이 비활성화 될 때 “0”으로 Clear 된다. 2. 해당 값은 Engine 비활성화 상태에서 설정 가능하다.	000h

3.8.3 Rendering Control Register (GRARCON)

Address : FFE0 1808h

Bit	R/W	Description	Default Value
31 : 14	R	Reserved	-
13 : 12	R/W	Write FIFO Memory Request Level 00 : ¼ Full 01 : ½ Full 1x : ¾ Full	01b
11 : 9	R	Reserved	-
8	R/W	EndRender Write FIFO Flush Enable 0: Disable EndRender Flush Operation. 1: Enable EndRender Flush Operation. Note) Flip Command 수행 이전에는 항상 Pixel FIFO의 Flush동작이 수행되게 된다. 즉 Flip Command를 사용한 Buffer Switching 동작을 할 경우엔 해당 bit의 설정이 필요 없지만, Buffer Switching 동작을 하지 않을 경우 해당 bit을 설정하게 되면 packet이 종료될 때 마다, Pixel FIFO의 Flush 동작이 수행되게 된다.	0b
7 : 6	R/W	Dithering mode 00 : Disable. 01 : 2X2 dithering 1x : 4X4 dithering	00b
5	R	Reserved	-
4	R/W	Rendering Buffer Select 0 : Render to Back buffer (Double Buffer mode) 1 : Render to Front buffer (Single Buffer mode)	0b
3 : 1	R	Reserved	-
0	R/W	Rendering Engine Enable 0 : Disable 1 : Enable	0b

* Control Register Bit “4” (Rendering Buffer Select) : CSC Image Capturer Control Register의 Bit “0” 설명 참조

3.8.4 Current Display Bank Register (GRACDB)

Address : FFE0 180Ch

Bit	R/W	Description	Default Value
31 : 25	R	Reserved	-
24	R	Rendering Engine Idle Status 0 : Busy Status 1 : Idle Status	1b
23 : 18	R	Reserved	-
17 : 16	R	Current Rendering Bank	10b
15 : 10	R	Reserved	-
9 : 8	R	Current Display Bank	01b
7 : 2	R	Reserved	-
1 : 0	R	Current Display Bank (= Frame Front buffer)	00b

3.8.5 Flip Command Count Register (GRAFCC)

Address : FFE0 1810h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	Flip Command Count Write “0” : 해당 register의 값을 0으로 clear 시킨다. Write “1” : 해당 register의 값을 1 증가 시킨다. Flipping Command가 수행될 때 마다, 해당 register의 값은 1 감소된다.	00h

Note : Command Packet의 Sync Flip 설정 시 Bank의 전환은 수직 동기 신호의 하강 edge에서 수행된다.

이와 같은 응용의 경우, 수직 동기 신호의 상승 Edge interrupt에 의해 해당 register를 polling에 의한 방법대신 interrupt에 의한 방법으로 읽어볼 수 있다.

3.8.6 Non-Texture Memory Mode Register (GRANONTEXTURE)

Address : FFE0 1814h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Non-Texture Memory Mode 0: Using Texture Memory 1: Non-Texture Memory Mode	0b

Note: 해당 bit이 설정된 경우 (Non-Texture Memory Mode), Texture Memory 영역은 Main Memory 영역에 속하게 된다. 이 경우 Memory 설정에서 Texture Start address의 설정이 꼭 필요하게 된다.

Rendering Engine Command Packet.

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PD[0]	Etc.			Texture Mapping & Effect Command									Flipping Command				
			Palette Update	Mosaic Mode 3'b000: Disable 3'b100: 16*16 3'b001: 2*2 3'b101: 32*32 3'b010: 4*4 3'b110: 32*16 3'b011: 8*8 3'b111: 16*32			Alpha Enable	Shade / Light Enable	Trans Enable	Clipping Enable	Tile Mode	Texture Mapping Enable		Vertical SyncFlip (Optimized)	Vertical SyncFlip (Negeedge)	Async Flip	
PD[1]										E6	E5	E4	E3	E2	E1	E0	
Group#0 (Display Area Parameter)																	
PD[2]							Dx[9:0]										
PD[3]							Dy[9:0]										
PD[4]							EndDx[9:0]										
PD[5]							EndDy[9:0]										
Group#1 (Texture start point S.10.9 [sign,integer 10bit,fractional 9bit] signed 2's complement format)																	
PD[6]	Tx[15:0]																
PD[7]															Tx[19:16]		
PD[8]	Ty[15:0]																
PD[9]															Ty[19:16]		
Group#2 (Texture deviation according to display increment S.10.9 [sign,integer 10bit,fractional 9bit] signed 2's complement format)																	
PD[10]	DTxdx[15:0]																
PD[11]															DTxdx[19:16]		
PD[12]	DTydx[15:0]																
PD[13]															DTydx[19:16]		
PD[14]	DTxdy[15:0]																
PD[15]															DTxdy[19:16]		
PD[16]	DTydy[15:0]																
PD[17]															DTydy[19:16]		
Group#3 (Alpha Parameter)																	
PD[18]	SrcAlphaColor[15:0] (G,B)																
PD[19]				SrcBlendFunc[5:0]					SrcAlphaColor[23:16] (R)								
PD[20]	DestAlphaColor[15:0] (G,B)																
PD[21]				DestBlendFunc[5:0]					DestAlphaColor[23:16] (R)								
Group#4 (Color Gain Parameter. For Shading or Lighting Effect)																	
PD[22]	Shade Color[15:0] (G,B)																
PD[23]										Shade Color[23:16] (R)							
Group#5 (Transparent Parameter)																	
PD[24]	Transparent Color[15:0] (G,B)																
PD[25]										Transparent Color[23:16] (R)							
Group#6 (Address Offset & Etc..)																	
PD[26]	Tile Offset[21:6]																
PD[27]															Tile Offset[25:22]		
PD[28]	Font Offset[21:6]																
PD[29]															Font Offset[25:22]		
PD[30]	Palette Offset[25:10]																
PD[31]	Palette Bank Select This Parameter used only @ 4bpp Texel mode						Texel Format 2'b00: 4bpp 2'b01: 8bpp 2'b1X: 16bpp					Texture (Tile) Height Log ₂ (Height) -3				Texture (Tile) Width Log ₂ (width) -3	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

3-14 Rendering Engine Command Packet

Note) Engine uses Half Word (Per Pixel) Addressing Mode.

So, Offset address [25:6] mapped to [26:7] Texture Memory Area.

3.9 H.264 Decoder

3.9.1 Features

1. H.264 Decoder는 'Baseline Profile'를 지원하며, 압축된 Bit-stream data를 YCbCr(4:2:0) format으로 Decoding한다.
2. H.264 Decoder는 Video Clock 27MHz에서 CIF Image를 초당 30 Frame Decoding이 가능하다.
3. Scaler는 Source Image Size와 Destination Image Size를 720x480 까지 지원하며, 기본적으로 Source Image를 읽어 Filter로부터 Resizing한다.

3.9.2 Block Diagram

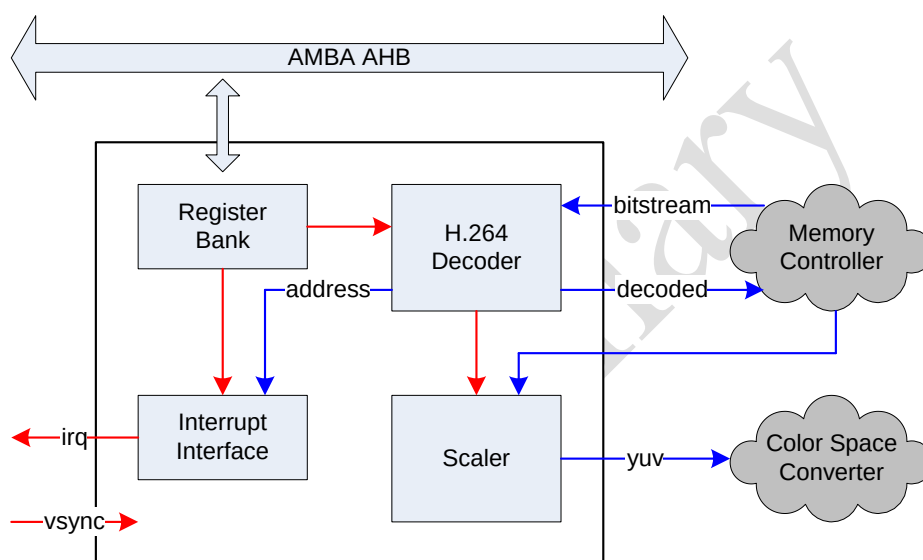


그림 3-14 H.264 Decoder Block Diagram

3.9.3 Decoding Operation Related Registers

3.9.3.1 Decoder Enable Register (H264DON)

Decoder의 동작을 설정하는 레지스터이다.

Address: FFE0 1C00h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Decoder On / Off 0 : Stops Decoder Operation 1 : Starts Decoder Operation	0b

Decoder On / Off 레지스터는 Decoder의 초기 설정이 끝난 이후, On으로 설정함으로써 동작을 시작하기 위한 bit이다.

3.9.3.2 Decoder Mode Register (H264DECMODE)

Decoder의 Mode를 설정하는 레지스터이다.

Address: FFE0 1C04h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Decoder mode 0 : Completely H/W Based Decoding 1 : S/W Based Decoding for Header Parsing above Macro Block Layer (and H/W Based Decoding for the rest)	0b

Decoder mode 레지스터는 Fully hardware-based decoding mode와 hardware-software mixed decoding mode를 결정하는 bit이다. 기본적으로 Fully hardware-based decoding mode로 설정하여 사용된다.

3.9.3.3 Decoder Endian Register (H264ENDIAN)

Decoder의 Endian을 설정하는 레지스터이다.

Address: FFE0 1C08h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Decoder Endian 0 : Decoder Big Endian 1 : Decoder Little Endian	0b

Decoder Endian 레지스터는 Default로 Big Endian이며, Little Endian으로 설정이 가능하다.

3.9.3.4 Error Detection Register (H264ERRON)

Decoder의 Error Detection을 설정하는 레지스터이다.

Address: FFE0 1C0Ch

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Error Detection 0 : Disable Error Detection Operation 1 : Enable Error Detection Operation (default)	1b

Error Detection 레지스터는 Bit-stream data를 Decoding할 때, Error를 Detection한다. 만약, Error가 발생되면 정상적인 Start Code를 찾고 이후 계속 수행한다.

3.9.3.5 Bit-stream Buffer Start Address Register (H264BSA)

Bit-stream buffer의 Start address를 설정하는 레지스터이다.

Address: FFE0 1C10h

Bit	R/W	Description	Default Value
31 : 0	R/W	Bit-stream buffer start address	0h

Bit-stream buffer start address 레지스터는 Bit-stream buffer end address 레지스터와 함께 외부 메모리에 Bit-stream data를 Buffering할 영역을 설정한다.

3.9.3.6 Bit-stream Buffer End Address Register (H264BEA)

Bit-stream buffer의 End address를 설정하는 레지스터이다.

Address: FFE0 1C14h

Bit	R/W	Description	Default Value
31 : 0	R/W	Bit-stream buffer end address	0h

3.9.3.7 Bit-stream Buffer Read Address Register (H264BRA)

Decoder가 현재 Bit-stream buffer에 접근하는 Address를 나타내는 레지스터이다.

Address: FFE0 1C18h

Bit	R/W	Description	Default Value
31 : 0	R	Bit-stream Buffer read address by decoder	0h

3.9.3.8 Bit-stream Buffer New Read Address Register (H264BRAW)

Decoder가 동작 중에 새로운 Bit-stream buffer의 영역을 설정하는 레지스터이다.

Address: FFE0 1C1Ch

Bit	R/W	Description	Default Value
31 : 0	R/W	Bit-stream Buffer new read address for modification	0h

✚ 기본적으로 H264BSA 레지스터와 동일하게 설정한다.

3.9.4 Decoded Image Related Registers

3.9.4.1 Y0 Frame Buffer Start Address Register (H264Y0SA)

Decoder가 Decoded Image를 저장할 Y0 Frame Buffer 영역을 설정하는 레지스터이다.

Address: FFE0 1C20h

Bit	R/W	Description	Default Value
31 : 0	R/W	Frame_Buffer_Y0 Start Address	0h

✚ Decoder는 Y(Luminance)에 대해 3 개의 Frame Buffer를 사용한다. 이를 Frame Sync에 맞춰서 Bank 전환을 하며 Scaler는 Decoder로부터 읽어 가야 할 Y Frame Buffer의 Start address정보를 받는다.

3.9.4.2 Y1 Frame Buffer Start Address Register (H264Y1SA)

Decoder가 Decoded Image를 저장할 Y1 Frame Buffer 영역을 설정하는 레지스터이다.

Address: FFE0 1C24h

Bit	R/W	Description	Default Value
31 : 0	R/W	Frame_Buffer_Y1 Start Address	0h

3.9.4.3 Y2 Frame Buffer Start Address Register (H264Y2SA)

Decoder가 Decoded Image를 저장할 Y2 Frame Buffer 영역을 설정하는 레지스터이다.

Address: FFE0 1C28h

Bit	R/W	Description	Default Value
31 : 0	R/W	Frame_Buffer_Y2 Start Address	0h

3.9.4.4 C0 Frame Buffer Start Address Register (H264C0SA)

Decoder가 Decoded Image를 저장할 C0 Frame Buffer 영역을 설정하는 레지스터이다.

Address: FFE0 1C2Ch

Bit	R/W	Description	Default Value
31 : 0	R/W	Frame_Buffer_C0 Start Address	0h

Decoder는 C(Chrominance)에 대해 3 개의 Frame Buffer를 사용한다. 이를 Frame Sync에 맞춰서 Bank 전환을 하며 Scaler는 Decoder로부터 읽어가야 할 C Frame Buffer의 Start address 정보를 받는다.

3.9.4.5 C1 Frame Buffer Start Address Register (H264C1SA)

Decoder가 Decoded Image를 저장할 C1 Frame Buffer 영역을 설정하는 레지스터이다.

Address: FFE0 1C30h

Bit	R/W	Description	Default Value
31 : 0	R/W	Frame_Buffer_C1 Start Address	0h

3.9.4.6 C2 Frame Buffer Start Address Register (H264C2SA)

Decoder가 Decoded Image를 저장할 C2 Frame Buffer 영역을 설정하는 레지스터이다.

Address: FFE0 1C34h

Bit	R/W	Description	Default Value
31 : 0	R/W	Frame_Buffer_C2 Start Address	0h

3.9.4.7 Horizontal Size of Decoded Image 0 Register (H264F0MXS)

Frame Buffer 0에 Decoded image의 Horizontal Size를 나타내는 레지스터이다.

Address: FFE0 1C40h

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5 : 0	R	Horizontal Size of Decoded Image 0 in MB number	0h

Horizontal Size of Decoded Image 레지스터는 Decoder가 3 개의 Frame Buffer에 Bit-stream을 Decoding하여 저장하는데, 이때 해당 Frame Buffer에 있는 Image의 Horizontal Size 정보를 Macro Block 단위로 알려주는 bit이다. 만약, 이 레지스터 값이 '14(20)h'이면 16x16 의 Macro Block이 20 개가 있으므로 Horizontal Pixel 개수는 320pixel이 된다.

3.9.4.8 Vertical Size of Decoded Image 0 Register (H264F0MYS)

Frame Buffer 0에 Decoded image의 Vertical Size를 나타내는 레지스터이다.

Address: FFE0 1C44h

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5 : 0	R	Vertical Size of Decoded Image 0 in MB number	0h

Vertical Size of Decoded Image 레지스터는 Decoder가 3 개의 Frame Buffer에 Bit-stream을 Decoding하여 저장하는데, 이때 해당 Frame Buffer에 있는 Decoded Image의 Vertical Size 정보를 Macro Block 단위로 알려주는 bit이다. 만약, 이 레지스터 값이 'F(15)h'이면 16x16 의 Macro Block이 15 개가 있으므로 Horizontal Pixel 개수는 240pixel이 된다.

3.9.4.9 Horizontal Size of Decoded Image 1 Register (H264F1MXS)

Frame Buffer 1에 Decoded image의 Horizontal Size를 나타내는 레지스터이다.

Address: FFE0 1C48h

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5 : 0	R	Horizontal Size of Decoded Image 1 in MB number	0h

3.9.4.10 Vertical Size of Decoded Image 1 Register (H264F1MYS)

Frame Buffer 1에 Decoded image의 Vertical Size를 나타내는 레지스터이다.

Address: FFE0 1C4Ch

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5 : 0	R	Vertical Size of Decoded Image 1 in MB number	0h

3.9.4.11 Horizontal Size of Decoded Image 2 Register (H264F2MXS)

Frame Buffer 2에 Decoded image의 Horizontal Size를 나타내는 레지스터이다.

Address: FFE0 1C50h

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5 : 0	R	Horizontal Size of Decoded Image 2 in MB number	0h

3.9.4.12 Vertical Size of Decoded Image 2 Register (H264F2MYS)

Frame Buffer 2에 Decoded image의 Vertical Size를 나타내는 레지스터이다.

Address: FFE0 1C54h

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5 : 0	R	Vertical Size of Decoded Image 2 in MB number	0h

3.9.4.13 Horizontal Size of Scaler Output Register (H264XOUTP)

Scaler에서 Resizing할 Horizontal Size를 설정하는 레지스터이다.

Address: FFE0 1C80h

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 0	R/W	Horizontal Size of Scaler output Image	0h

✚ Horizontal Size of Scaler 레지스터는 Destination Size를 설정함으로써 Decoded Image의 Source Size에서 Horizontal Size를 Resizing한다.

3.9.4.14 Vertical Size of Scaler Output Register (H264YOUTP)

Scaler에서 Resizing할 Vertical Size를 설정하는 레지스터이다.

Address: FFE0 1C84h

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 0	R/W	Vertical Size of Scaler output Image	0h

✚ Vertical Size of Scaler 레지스터는 Destination Size를 설정함으로써 Decoded Image의 Source Size에서 Vertical Size를 Resizing한다.

3.9.4.15 Decoder Frame Buffer Pointer Register (H264FP)

Decoder가 현재 접근하고 있는 Frame Buffer의 Pointer를 나타내는 레지스터이다.

Address: FFE0 1C88h

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1 : 0	R/W	Decoder frame buffer pointer	0h

3.9.4.16 Scaler Frame Buffer Pointer Register (H264SP)

Scaler가 현재 읽고 있는 Frame Buffer의 Pointer를 나타내는 레지스터이다.

Address: FFE0 1C8Ch

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1 : 0	R/W	Scaler read buffer pointer	0h

3.9.4.17 Scaler Enable Register (H264SON)

Scaler의 동작을 설정하는 레지스터이다.

Address: FFE0 1C90h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Scaler On / Off 0 : Stops Scaler Operation 1 : Starts Scaler Operation	0b

✚ Scaler On / Off 레지스터는 Scaler의 초기 설정이 끝난 이후, On으로 설정함으로써 동작을 시작하기 위한 bit이다.

3.9.4.18 Scaler Endian Register (H264SWAP)

Scaler의 Endian을 설정하는 레지스터이다.

Address: FFE0 1C94h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Scaler Endian 0 : Scaler Big Endian 1 : Scaler Little Endian	0b

✚ Scaler Endian 레지스터는 Default로 Big Endian이며, Little Endian으로 설정이 가능하다.

3.9.5 Decoding Interrupt Related Registers

3.9.5.1 Interrupt Enable Register (H264INT)

Decoder의 Interrupt Enable를 설정하는 레지스터이다.

Address: FFE0 1CA0h

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	
1	R/W	Interrupt Selection between IRQ0 and IRQ1 0 : H264_IRQ0 1 : H264_IRQ1	0b
0	R/W	Interrupt Enable 0 : Disable 1 : Enable	0b

- Interrupt Selection 레지스터는 IRQ0 과 IRQ1 중 하나의 Interrupt Signal를 결정한다. H264_IRQ0 은 Interrupt Vector 20 번이고, H264_IRQ1 은 Interrupt Vector 30 번으로 연결되어 있다.
- Interrupt Enable 레지스터는 초기 설정이 이후, Enable한다.

3.9.5.2 Interrupt Flag Register (H264FLAG)

Decoder의 Interrupt Flag를 나타내는 레지스터이다.

Address: FFE0 1CA4h

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R	Half Interrupt Flag	0b
0	R	End Interrupt Flag	0b

- Half / End Interrupt Flag 레지스터는 Interrupt Half / End Address의 설정 값에 따라 Interrupt가 발생되는데, 이때 Flag는 '1'로 설정되며 읽거나 Interrupt Disable이 되면 Clear된다.

3.9.5.3 Interrupt Half Address Register (H264IHA)

Decoder의 Interrupt Half Address를 설정하는 레지스터이다.

Address: FFE0 1CA8h

Bit	R/W	Description	Default Value
31 : 0	R/W	Interrupt Half Address	0h

3.9.5.4 Interrupt End Address Register (H264IEA)

Decoder의 Interrupt End Address를 설정하는 레지스터이다.

Address: FFE0 1CACH

Bit	R/W	Description	Default Value
31 : 0	R/W	Interrupt End Address	0h

3.9.6 Decoded Image Data Path

H.264 Decoder와 Scaler의 기본적인 Bit-stream의 Decoding과 Decoded Image의 Data Path는 아래 그림과 같다. 최초 설정된 Bit-stream Buffer의 Start Address에서부터 Bit-stream을 읽어 Decoding하며, 3개의 Frame Buffer에 YCbCr(4:2:0) format으로 Macro Block단위로 저장하게 된다. 이때 H.264 Decoder는 Frame Buffer를 Bank전환하면서 Scaler에게는 읽어가야 할 Frame을 알려준다.

Scaler는 Decoded Image를 읽고 설정된 Size로 Scaling되며, line단위로 Color Space Converter에게 YCbCr(4:2:2) format으로 넘겨준다.

Frame Buffer의 Size는 현재, Decoding Image Size로부터 계산할 수 있다. 만약, Y Buffer의 Size가 Image Size와 같다면 C Buffer의 Size는 Image Size의 반이 된다. 예를 들어, H264F0MXS, H264F0MYS 레지스터 값이 각각 14(20)h, F(15)h이면 Decoded Image의 Size는 320x240(QVGA)이 된다. 따라서, Y Buffer Size는 '320 x 240 = 0x1_2C00'이고 C Buffer Size는 '320 x 240 / 2 = 0x9600'이 된다.

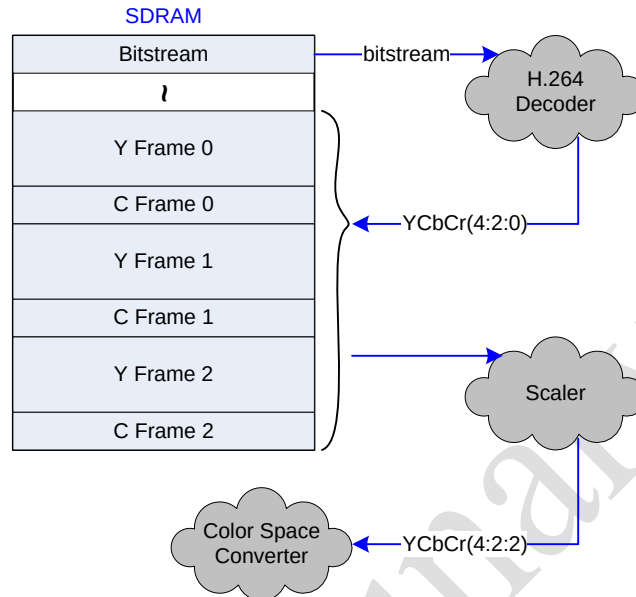


그림 3-15 Decoded Image Data Path

3.9.7 H/W Simulation Method

SDRAM의 Bit-stream Buffer에 초기 data를 채운다.

H264DECMODE를 '0'으로 설정한다. (H/W Header Parsing)

Bit-stream Buffer의 H264BSA와 H264BEA를 설정한다. (H264BRAW는 H264BSA값과 동일하게 설정한다.)

Y, C 영역에 대해 각각 3개의 frame buffer address(H264YnSA, H264CnSA)를 설정한다.

Scaler의 Output Image Size를 위해 H264XOUTP와 H264YOUTP를 설정한다.

Interrupt를 발생하고자 하는 Half / End Address를 설정하고 Enable한다.

모든 설정이 끝난 이후에 H264DON과 H264SON을 각각 Enable함으로써 동작이 시작된다.

만약, Bit-stream의 Endian을 변경하고자 한다면, Initialization할 때, H264ENDIAN과 H264SWAP을 설정한다.

Real-Time Decoding을 위해 Half / End Interrupt Signal로부터 Bit-stream의 Buffering이 가능하다.

3.10 PLL & Power Manager

3.10.1 System Clock Source Select Register (SPLLCKSEL)

Address : FFE0 2000h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Clock Source Select 0 : Slow clock (SPLLCON bit[2:0]에 의해 분주된 Clock 사용) 1 : SPLL clock	0b

3.10.2 System PLL Control Register (SPLLCON)

Address : FFE0 2004h

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	R/W	Write Protect PLL Program Register (SPLLPMN) 0 : Write 불가능. 1 : Write 가능.	0b
7	R	Reserved.	-
6 : 5	R/W	SPLL Test Mode	0h
4	R/W	Power Down Mode for SPLL 0 : SPLL Enable 1 : SPLL Disable (Power Down)	0b
3	R	Reserved.	-
2 : 0	R/W	Divider Value for Slow Clock Slow Clock = $X_{in} / (2^{\text{this_value}})$, Max Value : 6 이 register는 slow mode(SPLLCON bit[4] = 1)시 PLL 출력 대신 사용할 외부 Clock을 분주하는 값이다.	000b

3.10.3 System PLL Program Register (SPLLPMN)

Address : FFE0 2008h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	Output frequency scaler value 2 bits (P)	01b
13 : 8	R/W	Reference input frequency divider value 6 bits (M)	02h
7 : 0	R/W	VCO frequency divider value 8 bits (N)	30h

Frequency Equation : $CLK_OUT = CLK_IN \times (N+8) / ((M+2) \times 2^P)$

Reference input frequency : $F_{in} = 14.318MHz$

Example : P = 01b, M = 000010b, N = 00110000 (100Mhz)

Output Frequency Table

Sample Frequency Coefficient (Reference Input Frequency = 14.318MHz)

Fout (MHz)	N	M	P	SPLLPMN[15:0]
50.1130	6	2	0	0206h
50.1130	69	9	1	4945h
50.1130	118	7	2	8776h
50.1130	188	5	3	C5BCh
60.13560	244	58	0	3AF4h
60.13560	244	13	2	8DF4h
70.03369	217	21	1	55D9h
75.01386	233	21	1	55E9h
80.01235	182	15	1	4FB6h
85.01312	87	14	0	0E57h
90.05268	231	36	0	24E7h
95.01945	138	9	1	498Ah
100.2260	230	15	1	4FE6h
105.2061	161	21	0	15A1h
110.0225	138	17	0	118Ah
115.1167	193	23	0	17C1h
120.0509	210	11	1	4BD2h
125.0071	219	11	1	4BDBh

표 3-15 Frequency by P, M, N value of SPLL

* 위 표의 P, M, N 값은 Decimal 임.

SPLLPMN 값은 Hexa-decimal 임.

3.10.4 CRT Clock Source Select Register (CPLLCKSEL)

Address : FFE0 2010h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 8	R/W	CRTCLK2 Clock Source Select 0 : External Clock VCLK2 from pad "CAPTURE_IN[3]" 1: CPLL clock 의 2 분주 2 :CPLL clock 의 4 분주 4 :CPLL clock 의 8 분주	0b
7	R/W	Reserved	-
6 : 4	R/W	CRTCLK1 Clock Source Select 0 : External Clock VCLK from pad "VCLK_IN" 1: CPLL clock 의 2 분주 2 :CPLL clock 의 4 분주 4 :CPLL clock 의 8 분주	0b
3	R/W	Reserved	-
2 : 0	R/W	H264_SCK Clock Source Select 0 : External Clock VCLK from pad "VCLK_IN" 1: CPLL clock 의 2 분주 2 :CPLL clock 의 4 분주 4 :CPLL clock 의 8 분주	0b

3.10.5 CRT PLL Control Register (CPLLCON)

Address : FFE0 2014h

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	R/W	Write Protect PLL Program Register (CPLLPMN) 0 : Write 불가능. 1 : Write 가능.	0b
7 : 5	R	Reserved.	-
4	R/W	Power Down Mode for CPLL 0 : CPLL Enable 1 : CPLL Disable (Power Down)	1b
3 : 0	R	Reserved.	-

3.10.6 CRT PLL Program Register (CPLLPMN)

Address : FFE0 2018h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	Output frequency scaler value 2 bits (P)	01b
13 : 8	R/W	Reference input frequency divider value 6 bits (M)	01h
7 : 0	R/W	VCO frequency divider value 8 bits (N)	0dh

Frequency Equation : $CLK_OUT = CLK_IN \times (N+8) / ((M+2) \times 2^P)$

Reference input frequency : $F_{in} = 14.318MHz$

Example : P = 01b, M = 000010b, N = 00110000 (100Mhz)

표 3-15 를 참조

3.10.7 USB Clock Source Select Register (UPLLCKSEL)**Address : FFE0 2020h**

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Clock Source Select 0 : Slow clock (UPLLCON bit[2:0]에 의해 분주된 Clock 사용) 1 : UPLL clock	0b

3.10.8 USB PLL Control Register (UPLLCON)**Address : FFE0 2024h**

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	R/W	Write Protect PLL Program Register (UPLLPMN) 0 : Write 불가능. 1 : Write 가능.	0b
7 : 5	R	Reserved.	-
4	R/W	Power Down Mode for UPLL 0 : UPLL Enable 1 : UPLL Disable (Power Down)	1b
3 : 0	R	Reserved.	-

3.10.9 USB PLL Program Register (UPLLPMN)**Address : FFE0 2028h**

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	Output frequency scaler value 2 bits (P)	01b
13 : 8	R/W	Reference input frequency divider value 6 bits (M)	02h
7 : 0	R/W	VCO frequency divider value 8 bits (N)	13h

Frequency Equation : $CLK_OUT = CLK_IN \times (N+8) / ((M+2) \times 2^P)$ Reference input frequency : $F_{in} = 14.318MHz$

Example : P = 01b, M = 000010b, N = 00110000 (100Mhz)

표 3-15 를 참조

3.10.10 H264/MJPEG Clock Enable bit Register (HMCLKEN)**Address : FFE0 2030h**

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	-
2	R/W	MJPEG Clock Enable bit 0 : Disable 1 : Enable	1b
1	R/W	Scaler HCLK/SCK Clock Enable bit 0 : Disable 1 : Enable	1b
0	R/W	H264 HCLK/SCK Clock Enable bit 0 : Disable 1 : Enable	1b

3.11 SD Card Controller

3.11.1 Features

- SD Card (ver 1.1) / MMC (ver 3.31) 지원
- High Speed (50 MHz) 지원
- 1bit / 4bit data bus 지원
- DMA 전송 지원
- 64byte FIFO 내장
- 40 bit Command Register
- 136 bit Response Register

3.11.2 Block Diagram

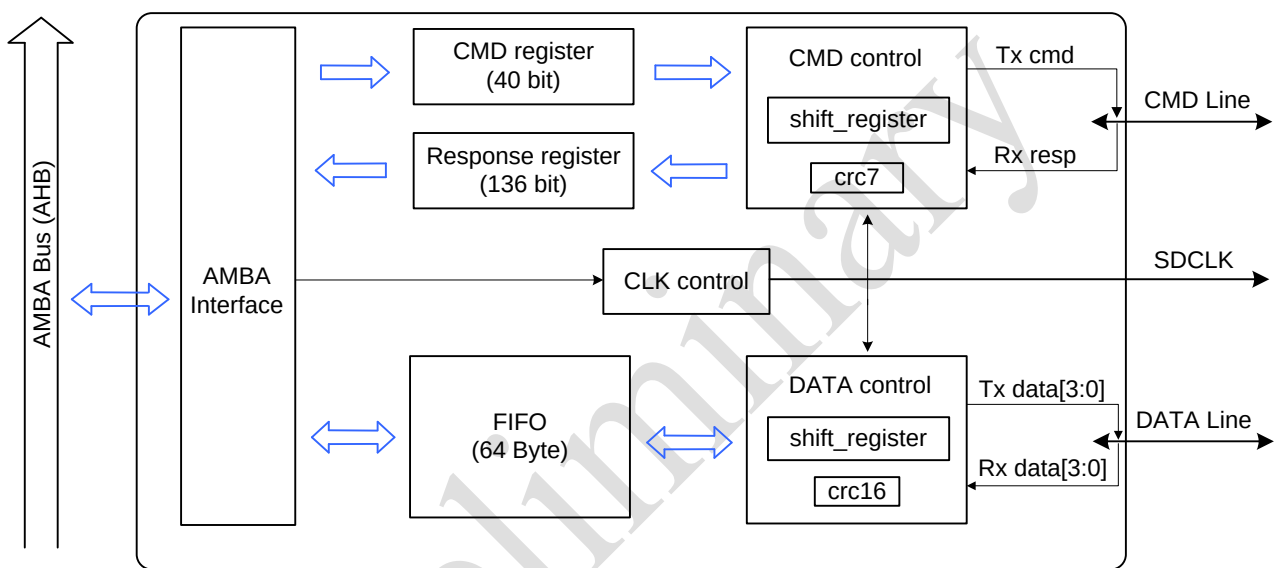


그림 3-16 SDC Block Diagram

3.11.3 SD Bus Protocol

SD Bus protocol 이란 4비트 데이터 라인과 1비트 커맨트 라인을 통하여 컨트롤러와 SD 카드 사이에 데이터를 주고 받는 방식을 말한다. 전송되는 데이터의 기본 단위는 Token 이라 한다. 이것은 contents 와 start bit, end bit, CRC 로 이루어져 있고 크기는 종류에 따라 조금씩 다르다. Token 은 세 종류가 있다.

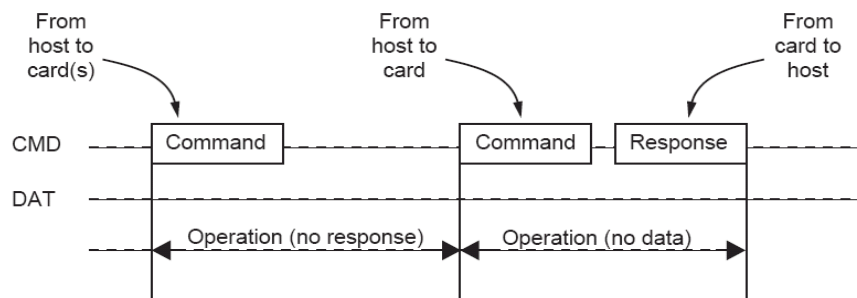
Command : Operation 을 시작하는 token이다. Command는 컨트롤러에서 SD 카드로 CMD line을 통해 전송된다. 여러 개의 SD 카드를 향해 동시에 전송되는 broadcast command 와 Address로 선택된 하나의 SD 카드에만 전송되는 addressed command 가 있다.

Response : SD 카드가 컨트롤러로부터 받은 Command에 응답을 보내는 token 이다. CMD line을 통해 시리얼 하게 전송된다.

Data : 컨트롤러 에서 SD 카드로 또는 그 반대로 Data line을 통하여 전송되는 token이다.

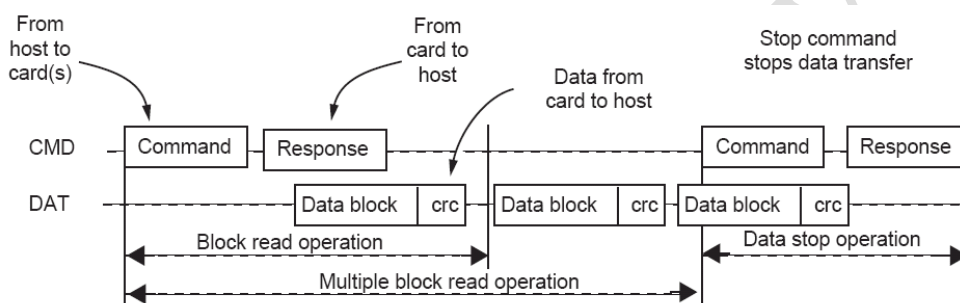
SD bus protocol 에서는 데이터 전송의 신뢰성을 위해 각 token 을 CRC로 검사하며 CRC 코드 생성과 오류 검출은 하드웨어적으로 이루어진다.

3.11.3.1 No Response and No Data Operations



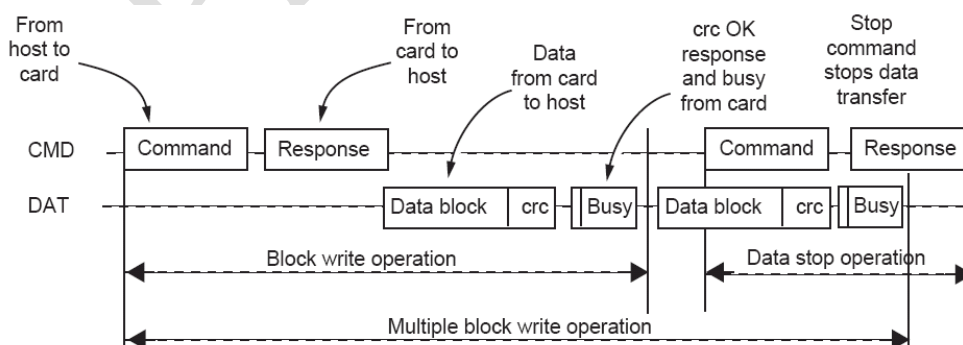
위 그림은 가장 일반적인 command and response transaction을 보여주고 있다. Command에 대한 Response는 command의 내용에 따라 있을 수도 있고 또는 없을 수도 있다. 그러나 Response가 있는 경우 컨트롤러는 response를 기다리게 되는데 설정된 시간 안에 response가 오지 않을 경우 time out error를 발생시킨다. Command의 내용과 형식에 대한 자세한 사항은 SD card spec v1.10 을 참고하기 바란다.

3.11.3.2 Data Read Operation



위 그림은 Data read operation에 대한 transaction을 보여주고 있다. 컨트롤러에서 read command를 전송하면 SD 카드는 response와 함께 데이터를 block(token) 단위로 전송한다. 1 block의 사이즈는 기본적으로 512byte이다. 필요한 block 만큼 데이터를 모두 받게 되면 stop command를 전송함으로써 read operation을 중지한다. Read operation의 경우도 지정된 시간 안에 read data block이 전송되지 않으면 time out error를 발생시킨다.

3.11.3.3 Data Write Operation



위 그림은 data write operation에 대한 transaction이다. 컨트롤러에서 write command를 전송하고 response를 받게 되면 첫 번째 data block을 전송하게 된다. 그 다음 data block은 Busy 시그널을 확인하면서 보내게 된다. 그러나 busy signal 확인은 하드웨어적으로 이루어 지므로 사용자는 data buffer에 여유 공간이 생기는 대로 write할 데이터를 채우면 된다.

3.11.4 Register Description

3.11.4.1 SDC Control Register (SDCCON)

Address : FFE0 2400h

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5	R/W	MMC/SD HC Enable 이 비트는 컨트롤러에 대한 Enable 비트이다. 그런데 이 비트가 Disable 상태가 되면 컨트롤러의 상태는 초기화되고 내부 버퍼들은 모두 clear된다. 0 : Disable (Controller is initialized) 1 : Enable	0b
4 : 3	R/W	Memory access type 이 비트는 시스템 메모리에서 Data를 읽어오거나 저장할 때 몇 바이트 단위로 동작할 것인지 결정하는 비트이다 00 : Byte access , 1 byte 단위로 data 를 read/write 한다. 01 : short access, 2 byte 단위로 data를 read/write 한다. 10 : long access, 4 byte 단위로 data 를 read/write 한다. 11 : not use	00b
2	R/W	DMA mode selection 이 비트는 Eagle 내부의 GDMA를 사용하여 빠르게 데이터를 전송할 수 있는 모드를 제공하는 비트이다. 0 : Normal mode (data transfer by CPU) 1 : DMA mode (data transfer by GDMA)	0b
1	R/W	Bus width Selection 0 : 1bit data bus 1 : 4bit data bus	0b
0	R/W	MMC/SD clock enable 0 : Disable 1 : Enable	0b

3.11.4.2 SDC Status Register (SDCSTAT)

Address: FFE0 2404h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15	R	Card_Insertion Data line[3]을 통하여 SD카드가 삽입되었는지를 알려주는 비트이다. 이 비트를 사용하기 위해서는 data line[3]은 Pull-down 저항을 달아야 한다. 0 : No card insertion detection 1 : card insert detected	0b
14	R	Card_Removal Data line[3]을 통하여 SD카드가 제거되었는지를 알려주는 비트이다. 0 : No card removal detection 1 : card remove detected	0b
13	R	FIFO full 64바이트 데이터 FIFO 가 가득 찼음을 나타내는 비트이다.	0b
12	R	FIFO half full 64바이트 데이터 FIFO 가 절반 이상 찼음을 나타내는 비트이다.	0b
11	R	FIFO empty 64바이트 데이터 FIFO가 비워졌음을 나타내는 비트이다.	1b
10	R/C	Command & response transaction done 컨트롤러가 Command를 보내고 그에 대한 response를 받는 transaction이 완료되었음을 알리는 비트이다. Response가 도착하지 않는 비정상적인 경우에도 Command & response transaction 은 종료되고 비트는 1이 된다. 0 : Command and response transaction is in progress 1 : Command and response transaction is done	0b
9	R/C	Write operation done 컨트롤러가 write operation을 진행 후 완료되었을 때 이를 알리는 비트이다. write data CRC error가 발생한 경우에도 write operation이 종료되면서 이 비트가 1이 된다. 0 : Write operation is in progress or incomplete 1 : Write operation complete	0b
8	R/C	Read operation done 컨트롤러가 read operation을 진행 후 완료되었을 때 이를 알리는 비트이다. Read data CRC error가 발생한 경우에도 read operation이 종료되면서 이 비트가 1이 된다. 0 : Read operation is in progress or incomplete 1 : Read operation complete	0b
7 : 6	R/C	Write CRC error code Write operation 진행 중에 SD카드로부터 받은 CRC 검사 결과를 나타내는 코드이다. 컨트롤러가 한 블록씩 데이터를 보낼 때 마다 SD카드는 CRC를 검사하여 그 결과 값을 컨트롤러에게 전송한다. 00 : No transmission Error 01 : Transmission Error 10 : No CRC response (Write data block is ignored in SD memory) 11 : Reserved	00b
5	R/C	Response CRC error Response 에 CRC 에러가 발생했음을 알려주는 비트이다. 0 : No error 1 : Response CRC error occurred	0b
4	R/C	Read data CRC error SD카드로부터 Read 한 데이터에 CRC 에러가 발생했음을 알려주는 비트이다. 0 : No error 1 : Read data CRC error occurred	0b
3	R/C	Write data CRC error	0b

		SD카드로 전송한 데이터에 CRC 에러가 발생했음을 알려주는 비트이다. 0 : No error 1 : Write data CRC error occurred	
2	R/C	Response time out error Response가 설정된 시간 안에 오지 않았음을 알려주는 비트이다. 0 : No error 1 : Command response was not received in time Specified	0b
1	R/C	Read data time out error Read 데이터가 지정된 시간 안에 오지 않았음을 알려주는 비트이다. 0 : No error 1 : The expected data from card was not received in time Specified	0b
0	R	Memory busy state SD카드의 busy 상태를 나타내는 비트이다. 0 : Memory is ready 1 : Memory is busy	0b

R/C는 Read/Clear 를 의미한다. Status의 특정 비트를 Clear 하는 방법은 해당 비트에 1을 쓰면 clear 된다.

Status[15:8] 는 인터럽트를 발생하는 인터럽트 소스이기도 한다. 이중에 한 비트가 1 이 되면 인터럽트가 발생하고 해당 비트가 clear 되기 전까지 계속 인터럽트를 요청하게 된다.

3.11.4.3 SDC Clock Divide Register (SDCCD)

Address : FFE0 2408h

Bit	R/W	Description	Default Value
31 : 10	R	Reserved.	-
9 : 0	R/W	MMC/SD clock Divide Register $f_{SDCLK} = \frac{f_{AHB_Clock}}{2 + Divide [9:0]}$	200h

3.11.4.4 SDC Response Time Out Register (SDCRTO)

Address: FFE0 240Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	Response time out. Command를 보낸 후 response 를 기다리는 최대 시간을 설정한다. 지정된 시간 안에 response가 도착하지 않을 경우 response time out error가 발생된다. 시간 단위는 SD카드에 전송되는 클럭을 기준으로 하며 Command의 마지막 비트가 전송되면 클럭 카운트가 시작된다. 01h : 1 clock count 02h : 2 clock counts ... FFh : 255 clock counts	FFh

3.11.4.5 SDC Read Data Time Out Register (SDCRDTO)

Address: FFE0 2410h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 8	R/W	Data read time out. Read command를 보낸 후 read 데이터를 받기까지 기다리는 최대 시간을 설정한다. 사용자는 상위 8비트만 설정할 수 있고 하위 8비트는 00h로 고정되어 있다. 일반적으로 FF00h 로 설정할 것을 권장한다.	FFh

7 : 0	R	Reserved.	00h
-------	---	-----------	-----

3.11.4.6 SDC Block Length Register (SDCBL)

Address: FFE0 2414h

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 0	R/W	Block length. 데이터 전송의 최소 단위인 블록의 byte 크기를 정하는 레지스터임	200h

3.11.4.7 SDC Number of Block Register (SDCNOB)

Address: FFE0 2418h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 0	R/W	Multi-block command를 사용하여 다수의 data block을 전송하는 경우 블록의 개수를 지정하는 레지스터이다. 한 블록씩 전송될 때 마다 1 씩 감소하며 전송 완료되면 0 이 된다.	0000h

3.11.4.8 SDC Interrupt Enable Register (SDCIE)

Address : FFE0 241Ch

Bit	R/W	Description	Default Value
31 : 8		Reserved	-
7	R/W	Card insert detection Interrupt enable 0 : disable 1 : enable	0b
6	R/W	Card remove detection Interrupt enable 0 : disable 1 : enable	0b
5	R/W	FIFO full Interrupt enable 0 : disable 1 : enable	0b
4	R/W	FIFO half full Interrupt enable 0 : disable 1 : enable	0b
3	R/W	FIFO empty Interrupt enable 0 : disable 1 : enable	0b
2	R/W	End command response Interrupt enable 0 : disable 1 : enable	0b
1	R/W	Write operation done Interrupt enable 0 : disable 1 : enable	0b
0	R/W	Read operation done Interrupt enable 0 : disable 1 : enable	0b

SDCSTAT[15:8]이 인터럽트 소스이고 SDCIE 레지스터는 이에 대한 인터럽트 Enable 신호이다. 인터럽트가 발생하면 인터럽트 서비스루틴에서 필요한 작업을 수행하고 SDCSTAT[15:8] 중에 인터럽트를 발생시킨 비트를 0으로 만든다. 그러나 card insert detection 인터럽트와 card remove detection 인터럽트는 SDCSTAT[15] 와 SDCSTAT[14]는 해당 비트가 clear 되지 않기 때문에 인터럽트 서비스 루틴 안에서 인터럽트 Enable 비트를 0으로 만들어 인터럽트 신호를 Disable 시킨다.

3.11.4.9 SDC Command Control Register (SDCCMDCON)

SDCCMDCON 레지스터는 사용자가 command를 보내기 위해 구성하는 레지스터이다. 사용자가 SDCCMDCON 레지스터에 write 하게 되면 레지스터에 쓰여진 설정대로 command가 SD카드에 전송된다.

Address: FFE0 2420h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10	R/W	Response 가 필요한 command type인지 아닌지를 결정하는 비트이다. No response를 설정하는 경우 response가 response buffer에 저장되지 않는다. 0 : no response 1 : wait response	0b
9 : 8	R/W	Response type을 결정하는 비트이다. Response type은 command 에 따라 달라지므로 command에 맞는 response type을 잘 선택해야 한다. 00 : short response (48bit) 01 : short response with busy (R1b) 10 : long response (136bit)	00b
7	R/W	Data token이 사용되는 command 인지 아닌지를 결정하는 비트이다. Read command 또는 Write command인 경우 이 비트를 1로 해야 한다 0 : without data 1 : with data	0b
6	R/W	데이터 FIFO의 입출력 방향을 결정하는 비트이다. Read command 인 경우 0로 설정하고 write command인 경우 1으로 설정한다. 0 : read data 1 : write data	0b
5 : 0	R/W	command number 를 지정하는 비트이다. Command number의 의미는 MMC 와 SD card가 조금씩 다르므로 각각의 spec을 참고하기 바람. 00h = CMD0 01h = CMD1 ... 3Fh = CMD63	00h

3.11.4.10 SDC Command Argument Register (SDCCMDA)

Address: FFE0 2424h

Bit	R/W	Description	Default Value
31 : 0	R/W	Command argument. Command token을 구성하는 항목 중에 argument를 설정하는 레지스터 이다.	0000 0000h

3.11.4.11 SDC Response FIFO Access Register (SDCRFA)

Address: FFE0 2428h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 0	R/W	Response를 저장하는 FIFO이다. 크기는 8x16 bit	0000h

3.11.4.12 SDC Data FIFO Access Register (SDCDFA)

Address: FFE0 242Ch

Bit	R/W	Description	Default Value
31 : 0	R/W	데이터를 저장하는 FIFO 이다. 크기는 16x32 bit	-

3.12 Sound Mixer

3.12.1 Features

1. 외부메모리에 저장되어 있는 Sound data를 8 Channel까지 Playback이 가능하다.
2. Sound data format은 4-bit ADPCM, 8-bit PCM과 16-bit PCM을 지원한다.
3. AMBA Master로 직접 외부메모리에 있는 Sound data를 제어 가능하며, 설정된 Address를 통해 Loop Playback동작으로 Sound Buffer를 가질 수 있다.
4. Sound 출력은 Stereo 16-bit MSB(Left)-justified format이며, 44.1kHz의 Sampling Frequency로 동작한다. 이때 정확한 Sampling Frequency를 위해 16.9344MHz의 외부 Oscillator를 연결하거나, Pre-Scaler를 통해 System Clock을 분주하여 근접한 Codec Clock으로 발생시켜야 한다.
5. 각각의 8 Channel은 0.172kHz부터 44.1kHz까지 256 steps으로 Sound data의 Playback Frequency를 제어할 수 있으며, 256 steps의 Volume조절과 16 steps의 Balance조절이 가능하다.

3.12.2 Block Diagram

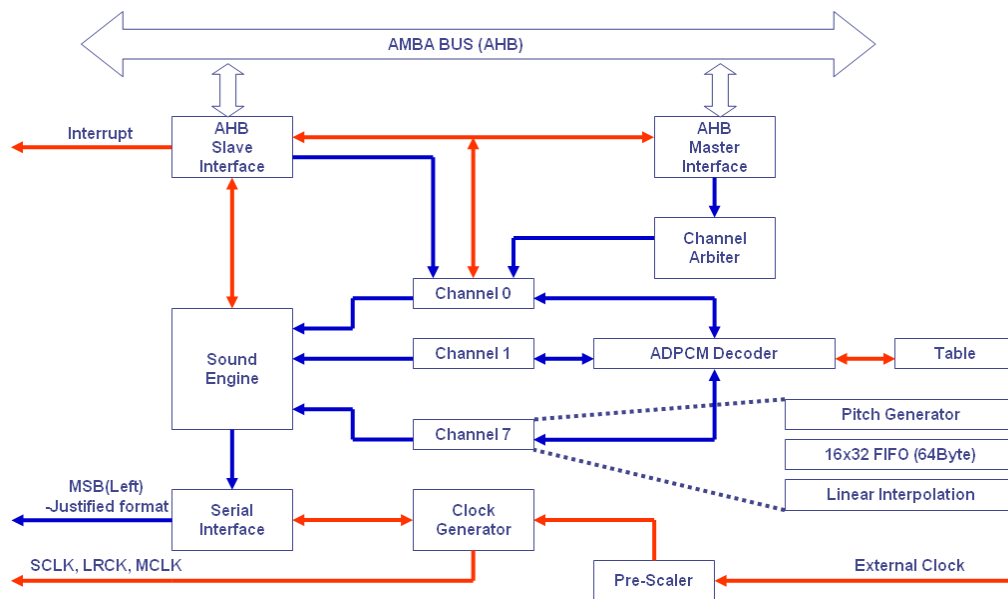


그림 3-17 Sound Mixer Block Diagram

3.12.3 Channel Register Map

3.12.3.1 Sound Data Channel n Control Register (SNDCONn)

각 Channel의 Data에 대한 동작방법을 설정하는 레지스터이다.

Address: FFE0 3000h / FFE0 3020h / FFE0 3040h / FFE0 3060h / FFE0 3080h / FFE0 30A0h / FFE0 30C0h / FFE0 30E0h

Bit	R/W	Description	Default Value
31 : 30	R	Reserved	-
29	R/W	Endian (For 32-bit) 0 : Little Endian 1 : Big Endian	0b
28	R/W	Endian (For 16-bit) 0 : Little Endian 1 : Big Endian	0b
27 : 24	R/W	Pan pot Left / Right Balance 16 steps	0h
23 : 16	R/W	Total Level Volume 256 steps	FFh
15	R/W	Channel Interrupt 0 : Disable 1 : Enable Enable 경우, 각 Channel의 Half / End Address에서 Interrupt 발생	0b
14 : 13	R/W	Quantization mode 00 : Ignore mode setting and set to same state as Channel On = 'Off' 01 : 4-bit ADPCM mode 10 : 8-bit linear PCM mode 11 : 16-bit linear PCM mode	00b
12	R/W	Loop 0 : Disable 1 : Enable	0b
11	W	Channel Off	-
10 : 8	R	Reserved	-
7 : 0	R/W	Playback pitch 256 steps (0.172 to 44.1kHz)	FFh

- ✚ Endian 비트는 각각 32-bit과 16-bit의 Byte-Swap이 가능하다.
- ✚ Pan pot과 Total Level 비트는 Sound data의 소리를 제어하는 bit이다. Pan pot은 16 steps으로써 '8h'를 Center로 하여 Left / Right Balance 조절을 하며, Total Level은 256 steps으로 Channel의 Volume을 조절한다.
- ✚ Channel Interrupt 비트는 Sound Buffer의 Half / End Address에서 Interrupt를 발생시키는 bit이다.
- ✚ Quantization mode 비트는 Sound data의 format을 결정하는 bit이다. 만약, 00 으로 설정할 경우, 해당 Channel의 On / Off 상태가 Off로 유지된다.
- ✚ Loop 비트는 Data Size가 설정된 범위에서 반복을 하고자 할 때, 사용되는 bit이다. Loop bit가 Disable이면 End Address에서 해당 Channel이 Off가 되며, Enable이면 Channel을 Off로 설정할 때까지 계속 Loop Playback을 수행한다.
- ✚ Channel Off 비트는 End Address에 의한 Channel Off가 아닌 강제적으로 Off하고자 할 때 사용된다.
- ✚ Playback pitch 비트는 Sound data의 Sampling Rate를 설정하는 bit이며 0.172kHz ~ 44.1kHz까지의 256 steps으로 설정할 수 있다.

3.12.3.2 Sound Data Channel n Start Address Set Register (SNDADRn)

각 Channel에서 접근하는 외부 메모리의 Sound Buffer Start Address를 입력할 때 사용하는 레지스터이다.

Address: FFE0 3004h / FFE0 3024h / FFE0 3044h / FFE0 3064h / FFE0 3084h / FFE0 30A4h / FFE0 30C4h / FFE0 30E4h

Bit	R/W	Description	Default Value
31 : 0	R/W	Start Address	0h

Sound Buffer의 Start Address를 설정하는 레지스터이다. 총 32-bit로 모든 범위의 Address를 설정 가능하다.

3.12.3.3 Sound Data Channel n Size Set Register (SNDStZn)

각 Channel에서 접근하는 외부 메모리의 Sound Buffer Size를 설정할 때 사용하는 레지스터이다.

Address: FFE0 3008h / FFE0 3028h / FFE0 3048h / FFE0 3068h / FFE0 3088h / FFE0 30A8h / FFE0 30C8h / FFE0 30E8h

Bit	R/W	Description	Default Value
31 : 22	R	Reserved	-
21 : 0	R/W	Sound data Size	0h

Sound Buffer의 Start Address로부터 Size를 설정하는 레지스터이다. 총 22-bit이며 Size는 Word 단위이다. 따라서, 최대 16MByte까지 설정할 수 있으며, n-Word - 1의 값으로 설정하면 된다.

실제 Sound Mixer가 Sound data를 한번 접근할 때, 32-bit data를 8개씩 가져오기 때문에 Sound data의 마지막 Boundary에 대해 Zero padding이 필요하다.

3.12.3.4 Sound Data Channel On / Status Register (SNDCHON)

각 Channel의 On / Off을 입력할 때 사용하는 레지스터이다.

Address: FFE0 3010h

Bit	R/W	Description	Default Value
31 : 24	R	Reserved	-
23 : 16	R	Channel busy Ch 7 ~ Ch 0	0h
15 : 8	R/W	Channel pause Ch 7 ~ Ch 0	0h
7 : 0	R / W	Channel On / Status Ch 7 ~ Ch 0	0h

Channel busy 비트는 각각의 Channel의 busy상태를 나타낸다. 해당 Channel의 동작이 끝나고 FIFO가 Empty가 되면 이 bit는 Clear된다.

Channel pause 비트는 각각의 Channel를 Pause하고자 할 때, 사용된다.

Channel On / Status 비트는 모든 설정이 끝난 후, 해당 Channel<n>을 On 하는 bit이다. 만약, 'SNDCONn' 레지스터에서 Quantization mode가 00일 땐, 이 bit가 항상 0으로 유지된다. 또한, Loop disable일 경우에는 End Address에서 해당 Channel이 자동으로 Off된다.

3.12.3.5 Sound Data Channel Interrupt Status Register (SNDIRQSTAT)

각 Channel 에서 접근하는 Sound Buffer의 Half와 End Address를 나타내는 레지스터이다.

Address: FFE0 3014h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 8	R	Half Flag of Channel n Ch 7 ~ Ch 0	0h
7 : 0	R	End Flag of Channel n Ch 7 ~ Ch 0	0h

- Half / End Flag Channel n 비트는 'SNDCONn' 레지스터에서 Channel Interrupt enable로 설정했을 때, Sound Buffer의 Half / End Address에서 Interrupt가 발생시 Set되는 Flag bit이다. 이를 읽음으로써 현재 Address상태를 확인할 수 있다.
- Interrupt 발생시 이 flag bit가 '1'로 설정이 되며, 이를 읽거나 Channel Interrupt disable하면 Clear된다.

3.12.4 Status and Playback Set Register Map

3.12.4.1 Sound Mixer Playback Set Register (SNDPLAY)

Playback을 설정할 때 사용하는 레지스터이다.

Address: FFE0 3018h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 4	R/W	Division Factor : 0 ~ 15 Generate master clock master clock = AHB clock / (division factor + 1)	0h
3	R	Reserved	-
2	R/W	Sound data access mode 0: DMA mode 1: Polling mode (for Test mode)	0b
1	R/W	Master Clock Select 0 : AHB Clock 1 : External Clock (16.9344MHz)	0b
0	R/W	Sound Mixer Playback 0 : Playback End 1 : Playback Start (During Playback) sampling frequency – 44.1kHz	0b

- Master Clock Select 비트에서 AHB Clock을 선택했을 때, 이 Division Factor를 설정하여 Sound Mixer의 Master Clock을 생성한다.
- Sound data access mode 비트는 메모리에 있는 Sound data를 접근하는 방식을 선택하는 bit이다. Default로는 DMA mode이며, 이는 AHB Master로 동작함으로써 한번의 Transfer 동작으로 32-bit의 Size와 8-beat incrementing burst로 접근한다. 만약, Test mode를 위하여 '1'로 설정한 경우, Polling방식으로 8 개의 데이터를 해당 Channel의 FIFO에 Sound data를 채워 넣으면 된다.
- Master Clock Select 비트는 External Clock을 사용할 것인지 AHB Clock을 분주하여 사용할 것인지에 대한 bit이다. 만약, External Clock을 사용하고자 할 때 16.9344MHz가 필요하며, AHB Clock을 사용할 땐 적절한 Divider value를 설정하여 16.9344MHz에 가까운 값을 만들어야 한다.
- Sound Mixer Playback 비트는 Sound Mixer의 전체를 Enable하기 위한 bit이다.

3.12.5 Test Mode Register Map

3.12.5.1 Sound Data Channel n FIFO Buffer Register (SNDBUFn)

각 Channel FIFO의 Sound data를 입력할 때 사용하는 레지스터이다.

Address: FFE0 300Ch / FFE0 302Ch / FFE0 304Ch / FFE0 306Ch / FFE0 308Ch / FFE0 30ACh / FFE0 30CCh / FFE0 30ECh

Bit	R/W	Description	Default Value
31 : 0	R/W	FIFO Buffer Test를 위해 Polling mode로 설정했을 경우, FIFO에 Write 가능	0h

- FIFO Buffer 레지스터는 Test mode 설정 시, 해당 Channel의 FIFO에 Sound data를 채워 넣는 bit이다.
- 각 Channel FIFO는 16x32bit이며, 해당 Channel의 FIFO에 8 개씩 채워 넣으므로써 동작시킬 수 있다.
- Test mode로 진행 시, Channel On / Off 레지스터는 항상 Off상태로 설정되어야 하며, Playback상태에서 FIFO가 Empty상태가 아니면 바로 Sound data를 출력한다.

3.12.5.2 Sound Data Channel n FIFO Level Status Register (SNDLEVn)

각 Channel의 현재 FIFO Level 상태를 나타내는 레지스터이다.

Address: FFE0 301Ch / FFE0 303Ch / FFE0 305Ch / FFE0 307Ch / FFE0 309Ch / FFE0 30BCh / FFE0 30DCh / FFE0 30FCh

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	-
4 : 0	R	FIFO Level Data count value : 0 ~ 16	0h

- FIFO Level 레지스터는 Test mode 설정 시, 해당 Channel의 FIFO Level 상태를 0 ~ 16 까지 나타내는 bit이다.

3.12.6 Audio Serial Interface Format

3.12.6.1 MSB (Left)-justified format

Serial D/A Converter와의 Interface는 MSB(Left)-justified format을 지원한다. 아래 그림에서 보는 바와 같이 LRCK 1st rising에서부터 MSB가 시작된다. LRCK가 '1'일 때, Left Channel이 되며 그 구간 동안 SCLK는 16주기를 갖는다. Serial D/A Converter에서는 이 SCLK의 rising일 때 data를 가져가게 된다.

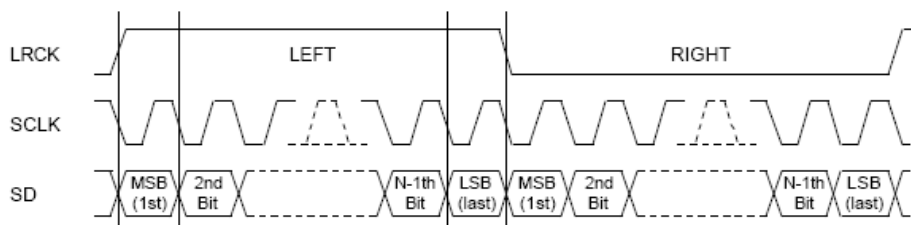


그림 3-18 MSB(Left)-justified Format

3.12.6.2 Codec clock and Serial bit clock frequency

Codec clock은 아래 표에서와 같이 LRCK와의 관계를 나타내며, 현재 Sound Mixer에서는 16.9344MHz의 Master clock를 지원하며, 이에 따라 384fs 비율인 44.1kHz로 출력하게 된다.

LRCK (fs)	8.000 kHz	11.025 kHz	16.000 kHz	22.050 kHz	32.000 kHz	44.100 kHz	48.000 kHz	64.000 kHz	88.200 kHz	96.000 kHz
CODEC Clock (MHz)	256fs									
	2.0480	2.8224	4.0960	5.6448	8.1920	11.2896	12.2880	16.3840	22.5792	24.5760
	384fs									
	3.0720	4.2336	6.1440	8.4672	12.2880	16.9344	18.4320	24.5760	33.8688	36.8640
	512fs									
	4.096	5.6448	8.1920	11.2896	16.3840	22.5792	24.5760	32.7680	45.1584	49.1520

표 3-16 Sampling Frequency and Codec clock

Serial bit clock frequency은 위에서 언급한 바와 같이 Sound Mixer에서 지원하고 있는 Codec Clock와의 관계를 나타낸다.

CODEC Clock	Serial clock frequency (SCK)
384fs	32fs

표 3-17 Sampling Frequency and Serial bit clock

3.12.6.3 Volume and Balance Control

Volume Control은 Total Level이 최대 'FFh'이고, 최소 '0h'으로써 Volume 조절하여 256steps으로 제어한다.

	0	1	2	3	4	5	6		FA	FB	FC	FD	FE	FF
Total Level	Min	Scale Down												Max

표 3-18 Total Level steps

Balance Control은 Pan pot이 '8h'을 중심으로 하여 16 steps으로 Panning이 된다. '0h'에서는 Left / Right 모두 Off 상태가 된다.

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
Left	Off	On							On	Scale Down						Off
Right	Off	Off	Scale Down						On	On						

표 3-19 Pan pot steps

3.13 CRT GUN

3.13.1 Description

EAGLE에 내장된 Gun Controller는 2개의 Gun Module Interface가 가능하며, Non-Interlace / Interlace 설정 및 Gun의 극성 (Positive / Negative Trigger) 설정이 가능하다.

3.13.2 Features

- Max 2 Gun Module Interface.
- Gun 극성 (Polarity) & Display (Non Interlace / Interlace) 설정 기능.

3.13.3 Block Diagram

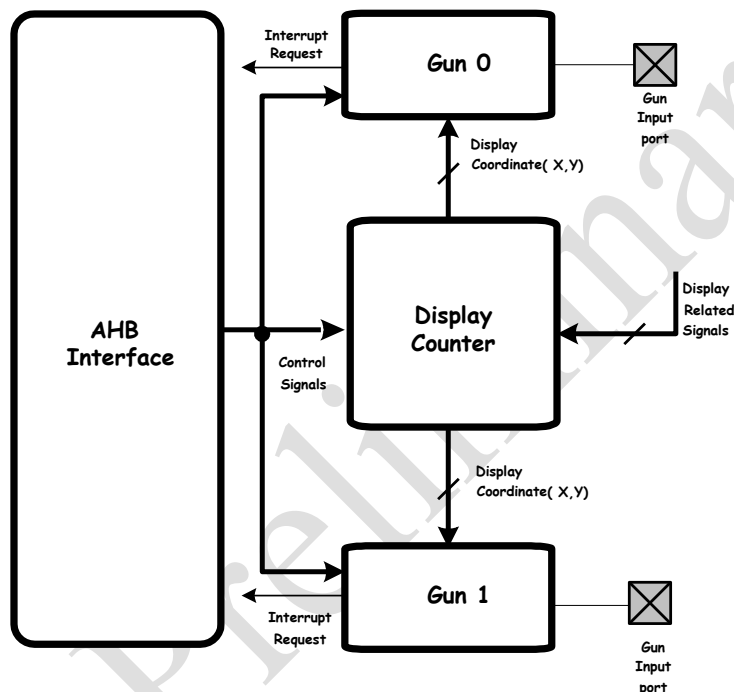


그림 3-19 CRT GUN Block Diagram

Operational Descriptions

그림의 Display Counter는 CRT-Controller로부터 Display 관련 신호 (H/V Sync, H/V Display, Dot clock, Field (Interlace의 경우))를 받아서 현재 주사 되고 있는 Display상에서의 좌표를 Counting 하게 된다.

이때 외부 Gun 입력 port로부터 Trigger신호가 들어오게 되면, Interrupt가 발생하게 되며 현재 Gun이 지시하고 있는 Display 좌표가 Gun X/Y 좌표 Register에 저장되게 된다.

3.13.4 CRT GUN Control Register (GUNCON)

Address : FFE0 4000h

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	-
4	R/W	Interlace / Non-Interlace Mode setting Bit (0: Non-Interlace Mode, 1: Interlace Mode)	0b
3	R/W	Gun 1 Polarity Bit (0: Positive Trigger, 1: Negative Trigger)	0b
2	R/W	Gun 0 Polarity Bit (0: Positive Trigger, 1: Negative Trigger)	0b
1	R/W	Gun 1 Enable Bit.	0b
0	R/W	Gun 0 Enable Bit.	0b

Control Register의 Bit 0,1은 Gun Module을 활성/비활성 시키게 된다.

Bit 2,3은 외부 Gun 입력의 Interrupt 발생 시점을 정의하게 된다.

Positive Trigger Mode인 경우엔 외부 입력 상승 Edge에서 Interrupt가 발생하게 되며, 반대로 Negative Trigger Mode인 경우엔 하강 Edge에서 Interrupt가 발생하게 된다.

Bit 4는 Display의 특성을 정의하게 된다.

Non-Interlace mode 인 경우 수평동기신호마다 Y좌표가 1씩 증가함에 비해, Interlace Mode인 경우엔 현재 Field에 의해 Y의 초기값이 결정되며 수평동기신호마다 Y좌표가 2씩 증가하게 된다.

3.13.5 CRT GUN 0/1 X Position Register (GUNXP0 \ GUNXP1)

Address : FFE0 4004h / FFE0 400C

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 0	R	Gun X Position	000h

3.13.6 CRT GUN 0/1 Y Position Register (GUNYP0 \ GUNYP1)

Address : FFE0 4008h / FFE0 4010

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 0	R	Gun Y Position	000h

Gun X/Y Position Register는 interrupt가 발생할 때, Gun이 지시하고 있는 현재 Display 좌표를 저장하며, Interrupt 발생시마다 Up-date된다.

3.13.7 CRT GUN Interrupt Status Register (GUNIRQSTAT)

Address : FFE0 4014h

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R/W	Gun 1 interrupt Pending bit 해당 bit에 1을 쓸 경우, Gun 1의 interrupt pending bit을 비활성 된다.	0b
0	R/W	Gun 0 interrupt Pending bit 해당 bit에 1을 쓸 경우, Gun 0의 interrupt pending bit을 비활성 된다.	0b

Status (Interrupt Pending) Register는 해당 Channel의 interrupt 발생 유무를 알려주게 된다.

Interrupt가 발생하게 되면, 해당 Channel의 Pending Bit이 활성 되며,

Service routine의 처리 후 (Interrupt Controller의 Service Request를 Clear 시킨 후) 해당 Channel Bit 위치에 “1”을 Write하게 되면 Pending bit은 비활성 된다.

3.13.8 CRT GUN Group Interrupt Handling

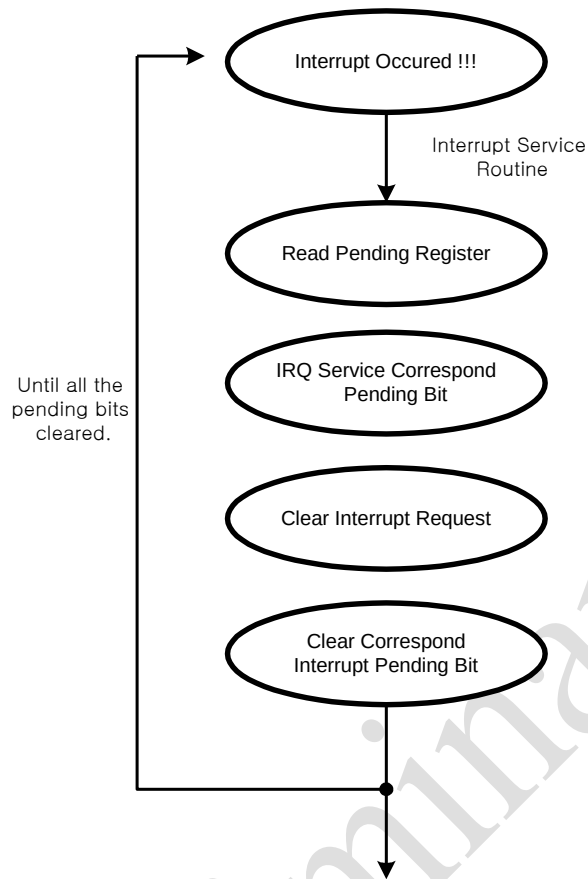


그림 3-20 CRT GUN Interrupt Handling

3.14 Video Encoder

Introduction

본 문서는 Multi-Standard Video Encoder IP사용을 위한 자료이다. Multi-Standard Video Encoder는 Digital Component Data (RGB)를 받아들여서, NTSC/PAL 형태의 복합영상신호를 생성한다. Multi-Standard Video Encoder의 특징은 다음과 같다.

Multi-Standard Video Encoder Features:

3.14.1 Multi-Standard

Format	Lines	Fields	FSC (Mhz)	Country
NTSC-M	525	60	3.579545	USA, Many Country
NTSC-Japan	525	60	3.579545	Japan
PAL-B,G	625	50	4.433619	Many Country in Europe
PAL-D	625	50	4.433619	China
PAL-H	625	50	4.433619	Belgium
PAL-I	625	50	4.433619	Great Britain, others
PAL-M	525	60	3.575612	Brazil

표 3-20 Video Multi-Standard

3.14.2 Features

- A. Digital PAL/NTSC encoder
- B. Hue Program Control
- C. RGB to YCbCr Converter
- D. Internal Color Bar Test Pattern
- E. 10Bit CVBS Output @ 27Mhz
- F. Programmable C-Filter Bandwidth
- G. Programmable Pedestal Level On/Off
- H. Programmable Multi-Standard Format
- I. Input Data Range(RGB Mode) : RGB : 0 ~ 255, each 8bit
- J. Encoder can be Master or Slave

3.14.3 General Description

비디오 엔코더는 디지털 엔코더로써, Color Bar Pattern generator, RGB to YCbCr color space converter, internal timing generator, multi-standard encoder and register 블록으로 구성되어 있다. 또한 이미지 제어의 편의성을 위해 HUE control, Chrominance Low-Pass Filter와 같은 기능을 제공하고 있다. Horizontal / vertical active signal Enc_HAV와 Enc_VAV start position과 polarity 제어를 위한 **Enc_HPC** and **Enc_VPC** Control 레지스터를 제공하고 있다.

■ Video Encoder Block Diagram

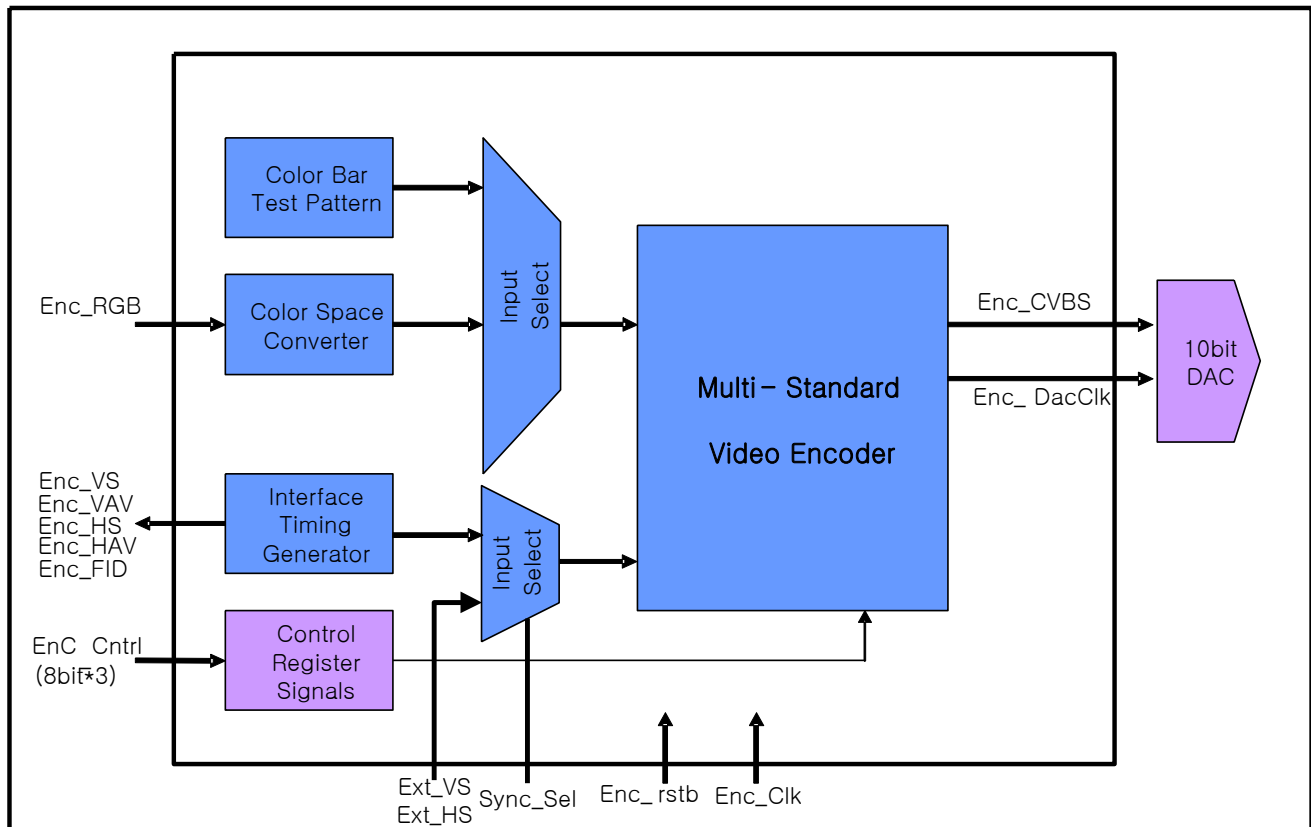


그림 3-21 Video Encoder Block Diagram

■ Interface Internal Signals

1. Input:
 - ✓ Enc_rstb : Encoder Reset Signal (Active Low)
 - ✓ Enc_Clock : Encoder system clock @ 27Mhz
 - ✓ Ext_VS : CRT Controller Vertical Sync.
 - ✓ Ext_HS : CRT Controller Horizontal Sync.
 - ✓ Sync_Sel : CRT or Encoder Sync. Select Signal
 - ✓ Enc_RGB : Encoder RGB 8bit @ 13.5Mhz
 - ✓ Enc_Cntrl : Encoder Control Register Signals (8bit * 3)
2. Output:
 - ✓ Enc_VS : Encoder Vertical Sync. Signal : Active Low
 - ✓ Enc_VAV : Encoder Vertical Active Signal : Active High
 - ✓ Enc_HS : Encoder Horizontal Sync. Signal : Active Low
 - ✓ Enc_HAV : Encoder Horizontal Active Signal : Active High
 - ✓ Enc_FID : Encoder Field Identifier Signal ('0' : Top(Odd) Field, '1' : Bottom(Even) Field)
 - ✓ Enc_CVBS : Encoder CVBS Data @ 27Mhz(Composite video: 10bit)
 - ✓ Enc_DacClock : Encoder CVBS DAC Clock @ 27Mhz
3. Control Register Signals: Refer to Control Register Map

■ Relationship between Data & Timing Signals

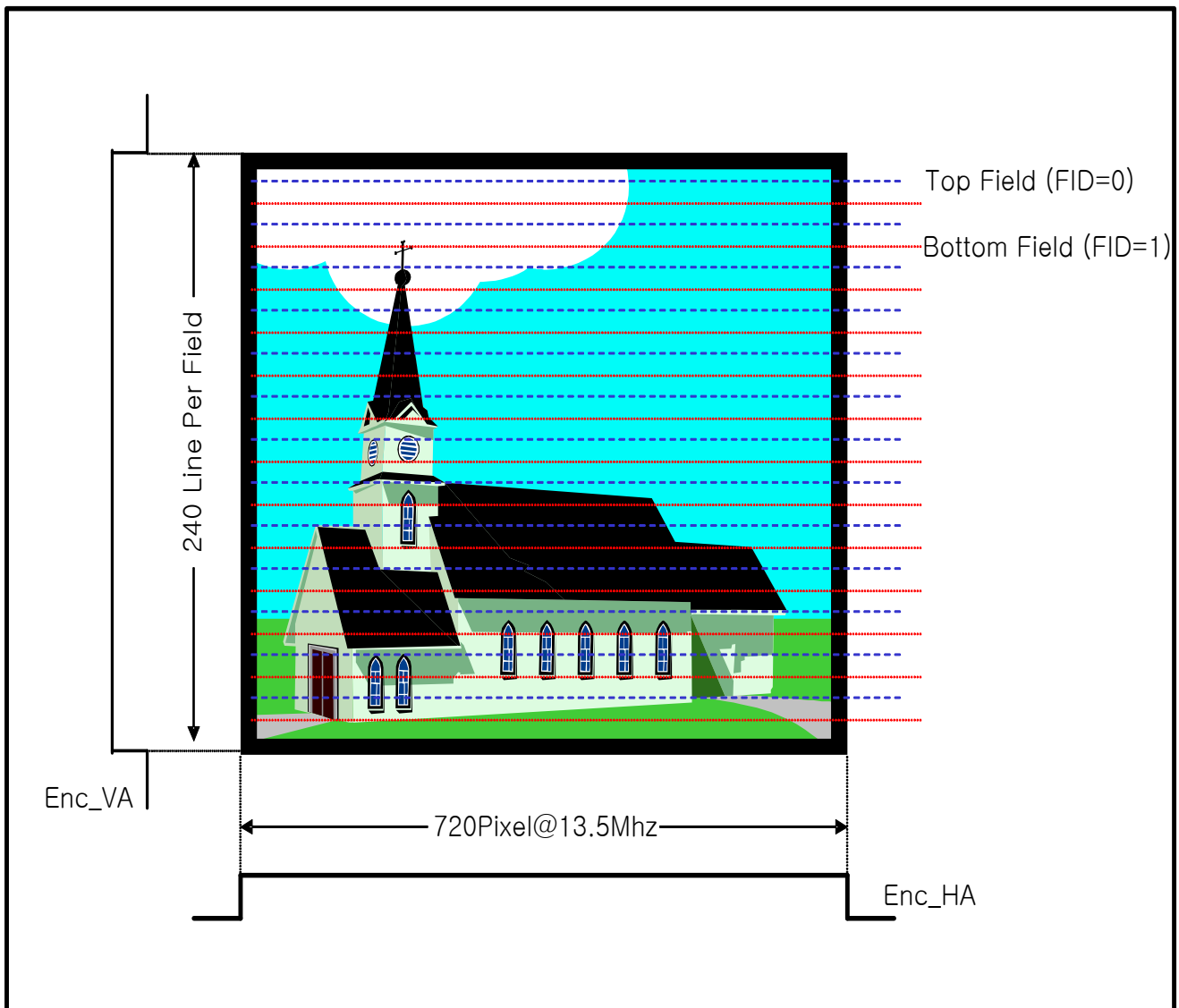


그림 3-22 Video Encoder Relationship between Encoder Timing Signals and Data (NTSC)

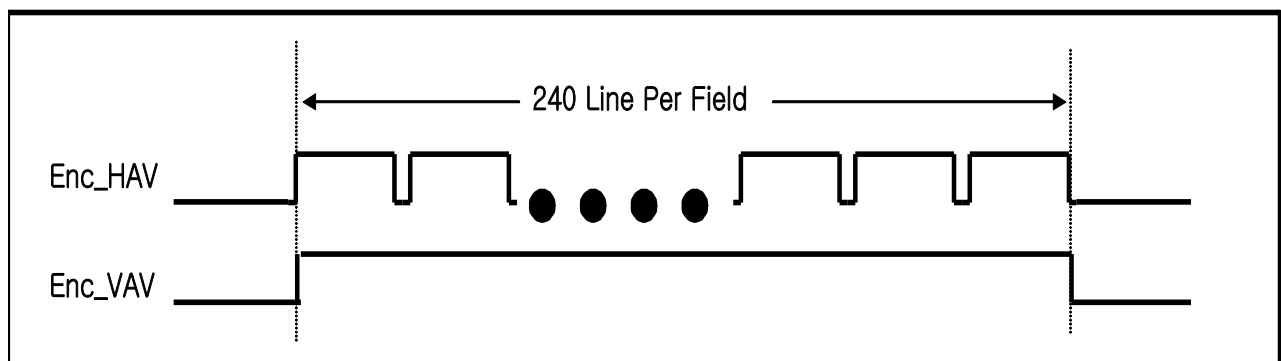


그림 3-23 Video Encoder Relationship between Enc_VAV and Enc_HAV

위의 그림은 이미지와 엔코더의 Sync. 신호(Enc_VAV, Enc_HAV, Enc_FLD) 사이의 관계를 보여주고 있다. Enc_FLD 신호는 Top(Odd)/Bottom(Even) 필드를 가리키는 신호이다. Data rate은 13.5Mpixels/sec이다. Horizontal 라인은 720 픽셀로 되어 있으며, Vertical 라인은 NTSC 경우 한 필드에 240 라인, PAL 경우 한 필드에 288 라인으로 되어 있다.

■ Video Encoder Master/Slave mode control

비디오 엔코더의 Master/Slave 모드는 입력 신호인 “Sync_Sel”에 의해 선택되며, CRT Controller Configuration 레지스터 18 Bit의 설정에 따라 결정된다.. “Sync_Sel” 입력 신호가 ‘1’ 이면, 비디오 엔코더는 Master 모드로 동작하며, “Sync_Sel”이 ‘0’이면 Slave 모드로 동작한다.

Master 모드일 때, Frame Memory, Storage 등과 같은 저장장치로부터 비디오 데이터를 pre-load 하기 위해 Enc_HPC와 Enc_VPC 레지스터를 이용하여 Horizontal/Vertical Pre-active 신호(Enc_HAV, Enc_VAV)를 생성한다. 또한 Enc_HPC와 Enc_VPC 레지스터를 이용하여 Horizontal/Vertical Pre-active 신호의 polarity를 선택할 수 있다.

아래의 그림은 Enc_HAV 출력 신호와 Enc_HPC 레지스터 입력 값 사이의 관계를 나타내고 있으며, Enc_VAV and Enc_VPC와의 관계도 동일하다.

Slave 모드일 때, Sync. 신호(Hsync., Vsync. 등)는 CRT Controller에서 생성된 신호를 받아서 동작하게 된다.

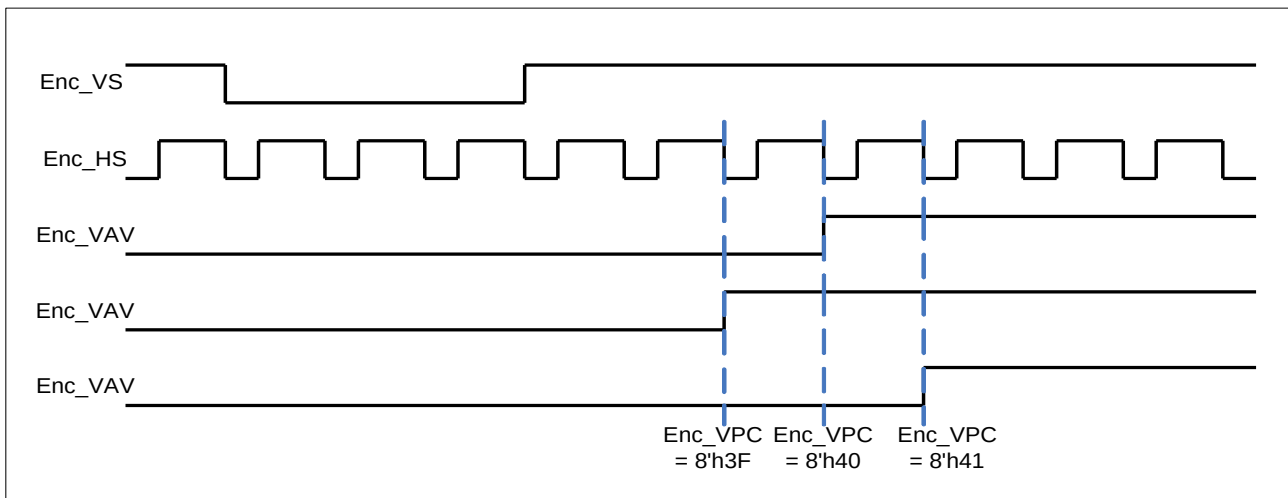


그림 3-24 In Master mode of Video Encoder, Relationship between Enc_VAV & Enc_VPC reg.

■ Video Encoder CVBS output timing

Multi-Standard Video Encoder에서 출력되는 복합 영상 신호(CVBS)의 출력 파형은 아래의 그림과 같다. NTSC System은 Top/Bottom Field로 구분되어서 모두 525 Line (Active Line:480Line, Top/Bottom:240 Line)으로 구성되며, PAL System은 625 Line (Active Line : 576 Line, Top/Bottom:288Line)으로 구성되어 있다. 아래 그림과 같이 Field가 변화하는 구간에서 복합 영상 신호는 Equalization Pulse, Serration Pulse, Equalization Pulse로 구성되어 있다. 또한 각 System의 color burst phase는 line by line으로 반전된다. 최종적으로 생성되는 복합 영상 신호는 아래와 같다.

$$\begin{aligned} \text{Composite NTSC / PAL} &= Y + C \\ &= Y + U\sin\omega t + V\cos\omega t, \omega = 2\pi F_{sc} \end{aligned}$$

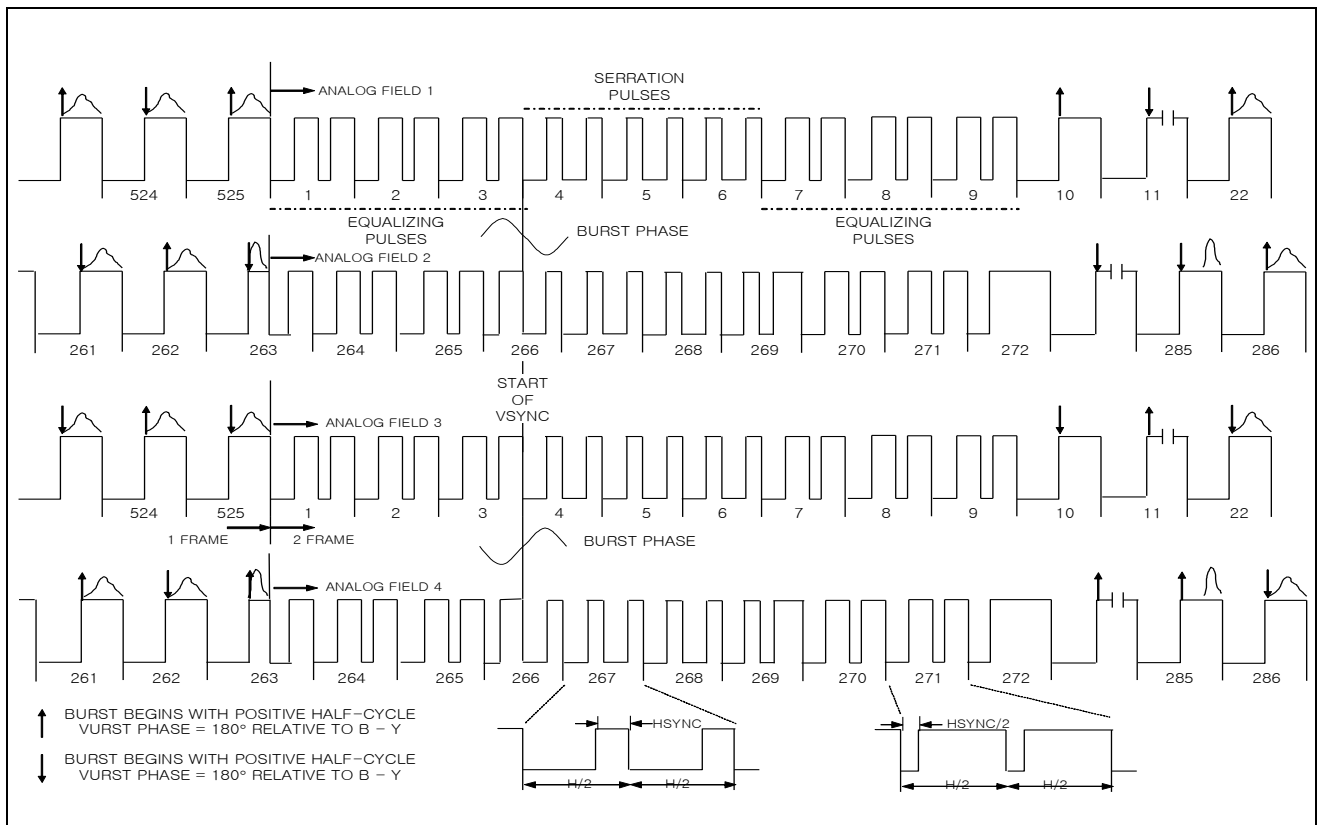


그림 3-25 Video Encoder NTSC System CVBS Timing & Color Burst Phase

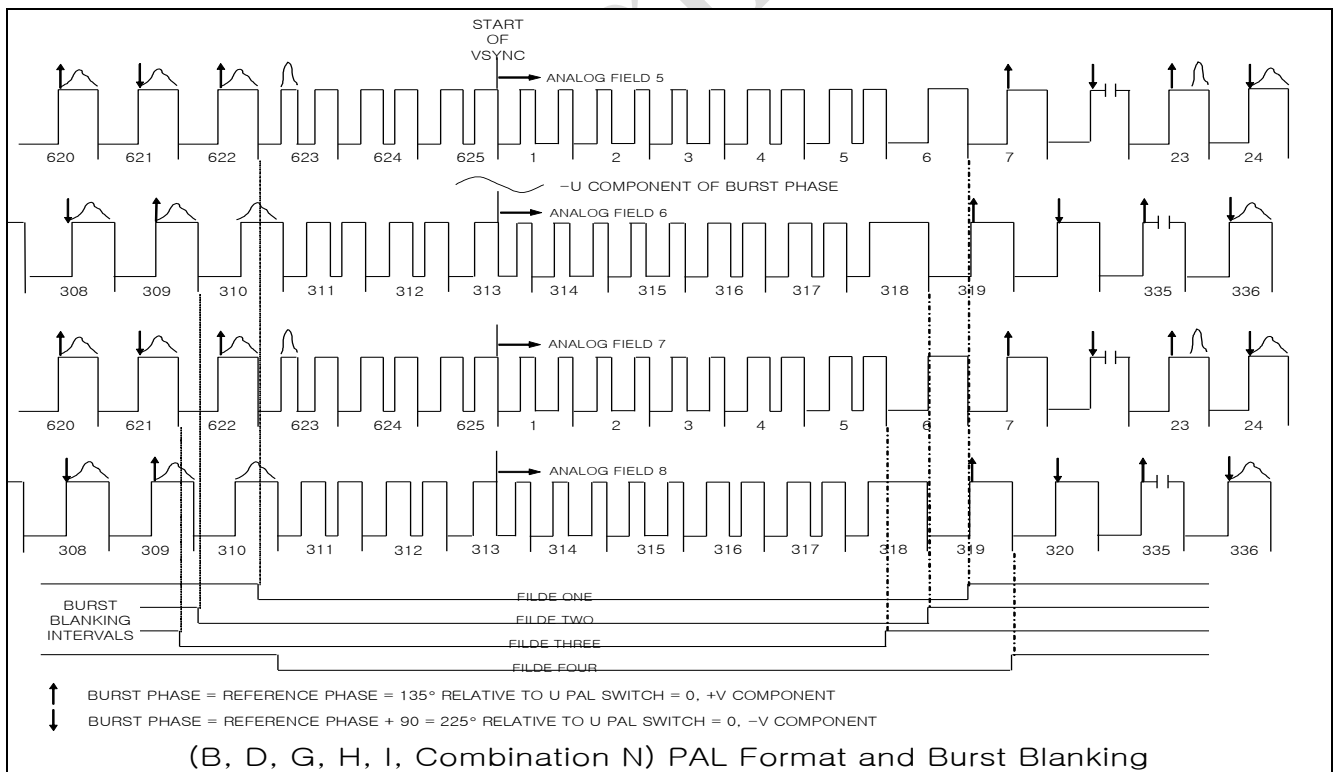


그림 3-26 Video Encoder PAL System CVBS Timing & Color Burst Phase

■ HUE control

Color sub-carrier는 27MHz Dot Clock으로부터 만들어진다. 그런데 입력 Dot Clock에 Jitter 또는 Frequency Deviation 등의 요인에 의해 HUE noise가 발생하여 Color sub-carrier가 왜곡되어 질 수 있다. Video encoder는 HUE noise에 의한 Color sub-carrier의 왜곡을 조정하기 위해 8 bit Enc_HUE 레지스터를 제공하고 있다.

Preliminary

3.14.4 Encoder Control Register Lists

The below Control Registers are used to control the each of Multi-Standard Video Encoder.

Multi-Standard Video Control Registers map

Name	Bits	Default	Function Description	Etc.
Video Encoder Control Registers				
Enc_Mode	8	8'h00	Encoder Mode control register	
Enc_Hue	8	8'h00	Encoder Hue adjust control register	
Enc_VPC	8	8'h40	Encoder Vertical Phase control register	
Enc_VPC	8	8'h40	Encoder Horizontal Phase control register	
Enc_Test	8	8'h00	Encoder Test control register	
Enc_Brightness	8	8'h80	Encoder Brightness register	
Enc_Contrast	8	8'h80	Encoder Contrast register	
Enc_Saturation	8	8'h80	Encoder Saturation register	

3.14.5 Enc_Mode Register (ENCMODE)

Address : FFE0 4400h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 6	R/W	Encoder Input Video Data Select : Input Component의 포맷을 선택하는 제어 레지스터이며, “10”을 선택하면 내부에 있는 Test Pattern (Color Bar Pattern)이 Display되며, “00”은 Input Format이 RGB로 되어 있으며 CVBS Signal를 생성하기 전에 Color Space Converter를 통과하면서 YCbCr Format으로 변환된다. 00 : RGB Data Select 10 : Internal Color Bar Select	00b
5	R/W	Software Reset : Software Reset으로, Video Encoder를 Disable or Enable시키는데 사용된다. 0 : Software Reset 1 : Software Set	0b
4	R/W	Pedestal enable : NTSC경우, 일반적으로 7.5IRE에 해당되는 Pedestal Level이 존재하며, NTSC-J경우는 Pedestal Level이 존재하지 않는다. 이 Pedestal Level의 on/off동작을 control 한다. 0 : Pedestal Off 1 : Pedestal On	0b
3 : 2	R/W	Chrominance Low-pass filter bandwidth : CLPF의 Bandwidth를 선택하는 제어 레지스터로, Color Bandwidth가 클수록 복합 영상 신호에 실리는 Color정보가 많이 실린다. 00 : 1.2Mhz 01 : 1.0Mhz 10 : 0.8Mhz 11 : 0.6Mhz	00b
1 : 0	R/W	Format : 생성될 복합 영상 신호의 System을 선택하는 제어 레지스터로써, 각 System에 맞는 Timing 및 FSC 등이 자동적으로 생성된다. 00 : NTSC 10 : PAL-M X1 : PAL	00b

3.14.6 Enc_Hue Adjust Register (ENCHUE)

Address : FFE0 4404h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	Encoder Hue Adjust : 복합 영상 신호의 Color를 변화시키는 제어 레지스터로서, 8 bit에 의해서 360도 Color Phase를 조정할 수 있다. 즉, 80h은 Color Burst Phase를 180도 회전을 시킴으로써, 복합 영상 신호의 색깔이 보색이 된다.	00h

3.14.7 Enc_VPC Register (ENCVPC)

Address : FFE0 4408h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	Enc_VAV_P : 엔코더에 사용되는 Vertical Active Signal의 Polarity를 반전시키는 제어 레지스터 Bit. 0 : Encoder Vertical Active Signal Polarity No Inversion 1 : Encoder Vertical Active Signal Polarity Inversion	0b
6 : 0	R/W	Enc_VAS : 엔코더에 사용되는 Vertical Active Signal의 Start Line를 정의하는 제어 레지스터이다. 이 제어 레지스터를 변경함으로써, Image Rolling과 같은 효과를 볼 수도 있다. 00 : Encoder Vertical Active Start Line Shift +64 Line 40 : Encoder Vertical Active Start Line no Shift 7F : Encoder Vertical Active Start Line Shift -64 Line	40h

3.14.8 Enc_HPC Register (ENCHPC)

Address : FFE0 440Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	Enc_HAV_P : 엔코더에 사용되는 Horizontal Active Signal의 Polarity를 반전시키는 제어 레지스터 Bit. 0 : Encoder Horizontal Active Signal Polarity No Inversion 1 : Encoder Horizontal Active Signal Polarity Inversion	0b
6 : 0	R/W	Enc_HAS : 엔코더에 사용되는 Horizontal Active Signal의 Start Pixel를 정의하는 제어 레지스터이다. 이 제어 레지스터를 변경함으로써, Image 좌우 이동과 같은 효과를 볼 수도 있다 00 : Encoder Horizontal Active Start Shift +64 Pixel 40 : Encoder Horizontal Active Start no Shift 7F : Encoder Horizontal Active Start Shift -64 Pixel	40h

* When Encoder Master Sync. Generation Mode(CRT Configuration reg.[18] = '1'),
 Enc_VPC reg. 3Fh, Enc_HPC reg. 38h set.

3.14.9 Enc_Test Register (ENCTEST)

Address : FFE0 4410h

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5 : 4	R/W	Video Output format : Normal mode에서 사용되는 제어 레지스터 Bits은 아니며, 단지 검증을 위해서 출력을 CVBS or Luminance. or Chrominance를 선택하는 제어 레지스터 Bits. 00 : Encoder CVBS Output 01 : Encoder Luminance. output 10 : Encoder Chrominance. Output 11 : Reserved	00b
3 : 1	R	Reserved	-
0	R/W	DAC Clock Polarity : Normal mode에서 사용되는 제어 레지스터 Bits은 아니며, 단지 검증 시, 외부 DAC과 Clock Phase가 맞지 않을 경우에 사용하기 위한 제어 레지스터 Bits. 0 : DAC Clock Polarity No Inversion 1 : DAC Clock Polarity Inversion	0b

3.14.10 Enc_Brightness Register (ENCBRIGHT)

Address : FFE0 4414h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	Encoder Brightness Control : Luminance Bright Control	80h

Brightness Control :

8'b1111_1111 : 255 (Bright)
 8'b1000_0000 : 128 (Default)
 8'b0000_0000 : 0 (Dark)

3.14.11 Enc_Contrast Register (ENCCONTRAST)

Address : FFE0 4418h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	Encoder Contrast Control : Luminance Contrast Control	80h

Contrast Control :

8'b1111_1111 : 255 (Maximum Contrast)
 8'b1000_0000 : 128 (Default)
 8'b0000_0000 : 0 (Minimum Contrast)

3.14.12 Enc_Saturation Register (ENCSATURATION)

Address : FFE0 441Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	Encoder Saturation Control	80h

		: Chrominance Saturation Control	
--	--	----------------------------------	--

Saturation Control :

8'b1111_1111 : 255 (Maximum)

8'b1000_0000 : 128 (Default)

8'b0000_0000 : 0 (No Color)

Preliminary

3.15 CSC Image Capturer

3.15.1 Description

EAGLE에 내장된 CSC Image Capturer 은 영상 (Decoder or Scaler -> CSC block을 거친 Color Space Converted Data, RGB 8/8/8)을 입력 받아 이를 Frame Memory에 저장하는 역할을 수행하게 된다.

부가적으로 RGB data의 이득 (Gain)을 조정할 수 있으며, X/Y축 Down Scaling, X/Y 좌표 설정의 기능이 있다.

외부 영상 입력의 형태에 따라 (Interlace / Non-Interlace) Mode설정이 가능하며, Multi-Master System에서의 응용에 따른 Local Bus (EAGLE의 경우 AMBA 상위 Layer) 의 효율을 극대화 시킬 수 있도록 Bus 점유율 및 access time 설정이 가능하도록 설계되어 있다.

3.15.2 Features

- Interlace / Non-Interlace Mode 지원.
- Pixel-Gain 설정 기능.
- X/Y Down Scaling & Rendering X/Y Position 설정 기능
- Selectable Bus Request FIFO Level. (16 or 32 Level Request)

* Notice !!!

입력 Dot-Clock의 주파수는 CSC Image Capturer Module의 System(AHB) 동작주파수의 1/2 이하가 되어야 한다.

3.15.3 Block Diagram

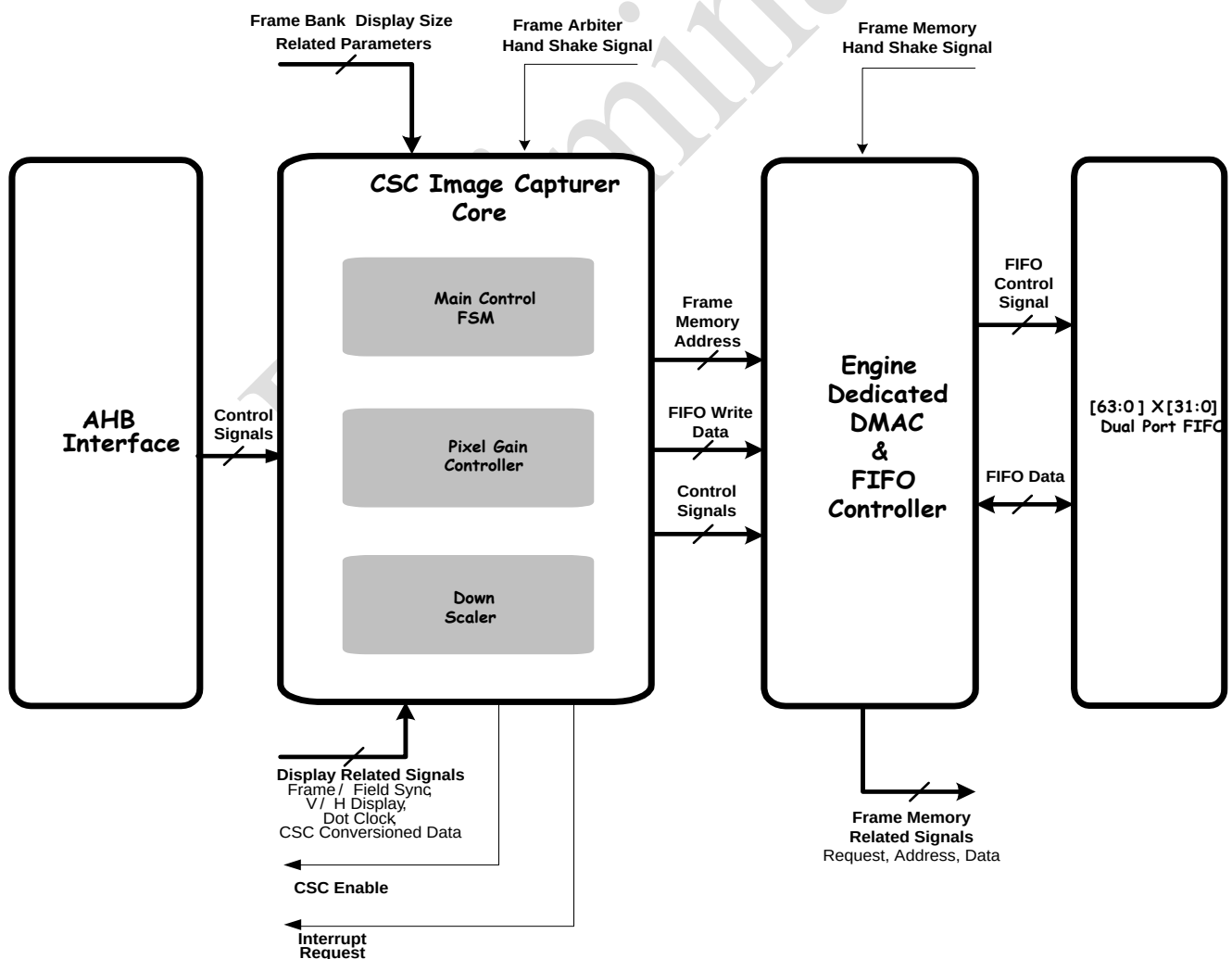


그림 3-27 CSC Image Capturer Block Diagram

3.15.4 Operational Descriptions

위의 그림에서처럼 CSC Image Capturer 은 크게 AHB Interface Module, Engine Core, Engine DMAC & FIFO Controller, 64x32 Dual Port FIFO로 구성되어 있다.

1) AHB Interface Module :

AMBA 상위 Layer에 대한 Bus Interface module이며 Register Bank를 포함하고 있다.

Register의 내용들은 Engine을 동작 시키기 위한 제어신호 및 Master Device에 module의 현 상태를 알려주기 위한 용도로 사용된다.

2) CSC Image Capturer Core:

Engine Core는 크게 Main Control FSM, Pixel Gain Controller, X/Y Down Scaler로 구성되어 있다.

Main Control FSM은 영상 관련 신호 (Sync, Display, etc..)의 정보를 받아서 전체 Engine의 동작을 제어하는 역할을 수행하며, Pixel Gain Controller는 입력 RGB Data의 Gain을 조정하게 된다.

X/Y Down Scaler는 설정된 Down Scale Factor에 따라 image를 Sizing하는 역할을 수행하게 된다.

또한 부가적으로 Frame Sync의 Rising Edge마다 Interrupt를 요청하게 된다. (Graphic관련 응용에 편의를 제공하도록..)

3) Engine DMAC & FIFO Controller:

Engine DMA Controller는 설정된 Bus Request FIFO Level 및 FIFO Level에 따라 Bus 요청을 하게 되며, Bus 제어 권한 획득 시, 정해진 Request Level만큼 Memory Controller와 통신하게 된다.

FIFO Controller는 내부 FIFO (64x32 Dual Port Sync FIFO)에 대한 제어를 한다.

3.15.5 Engine Control Register (CSCICCON)

Address : 0xFFE0 4800

Bit	R/W	Description	Default Value
31 : 10	R	Reserved.	-
9	R/W	Color-Space-Conversion Source Select 0: External Video Decoder 1: Scaler	0b
8	R/W	Color-Space-Conversion Block Enable.	0b
7 : 4	R	Reserved	-
3	R/W	FIFO Request Level Setting Bits. 0: Level 32 Request 1: Level 16 Request	0b
2	R/W	Non Interlace / Interlace Setting Bit. 0: Interlace Mode 1: Non-Interlace Mode	0b
1	R/W	Engine Enable	0b
0	R/W	Image Capture Mode	0b

Control Register의 Bit “0” Image Capture Mode는 Rendering Engine에서의 Render to Front Buffer / Back Buffer 설정 Bit과 함께 Memory Map상에서 Frame Buffer의 개수를 할당하게 된다.

1. Capture Mode Off / Front Buffer Rendering

Capture 동작이 이뤄지지 않으며, Frame Buffer는 1개가 할당 되게 된다.

이 경우 Frame Buffer = Rendering Buffer = CRT Display Buffer.

CRT Display와 Rendering이 동일 Buffer에서 이뤄지므로, Display상에서 어떤 동작이 먼저 일어났느냐에 의해 화면에서의 Rendering 결과가 현재 Display되고 있는 화면에서 보일 수도 있고 보이지 않을 수도 있다.

2. Capture Mode Off / Back Buffer Rendering

Capture 동작이 이뤄지지 않으며, Frame Buffer는 2개가 할당 되게 된다.

CRT Display는 Front Buffer에서 이뤄지게 되며, Rendering은 Back Buffer에서 이뤄진다.

Buffer의 Switching은 Rendering Engine에서의 Flip Command에 의해 수행된다.

위의 동작 Mode (1번의 동작 모드)와 달리 Rendering buffer와 Display buffer가 서로 상반되므로, (Rendering Buffer = ~Display Buffer) Rendering의 결과는 Flip Command 수행 이후의 화면에서 Rendering 동작과 무관하게 Display된다.

3. Capture Mode On / Front Buffer Rendering

Image Capture 동작이 이뤄지며, Frame Buffer는 1개가 할당 되게 된다.

이 경우 Frame Buffer = Image Capture Buffer = Rendering Buffer = CRT Display Buffer.가 된다.

위의 1번과 같이 3개의 동작이 동일 Buffer에서 발생하므로 1번과 같은 영향이 나타날 수 있다.

4. Capture Mode On / Back Buffer Rendering

Image Capture 동작이 이뤄지며, Frame Buffer는 4개가 할당 되게 된다.

Image Capture, Rendering, CRT Display 동작이 서로 각기 다른 Buffer에서 수행되며, Buffer의 Switching은 Rendering Engine에서의 Flip Command에 의해 이뤄진다.

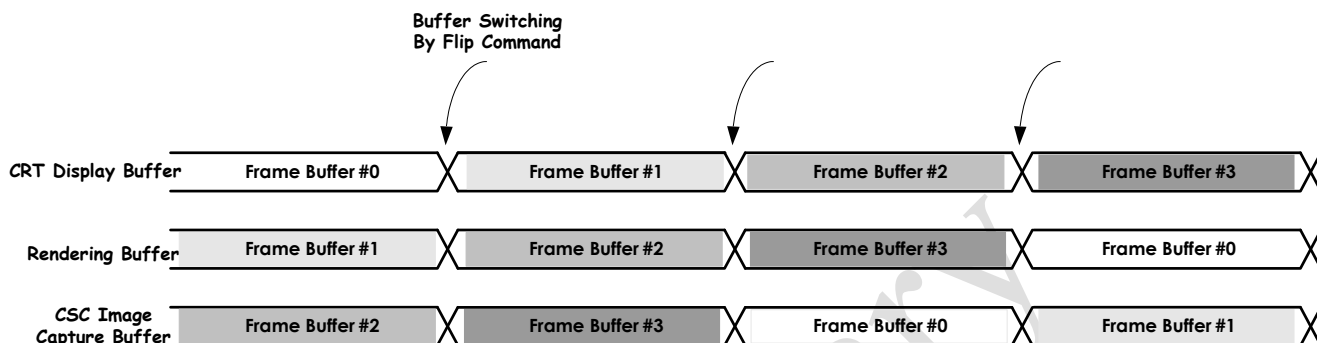


그림 3-28 Frame Buffer Switching & Pipe Line Operation

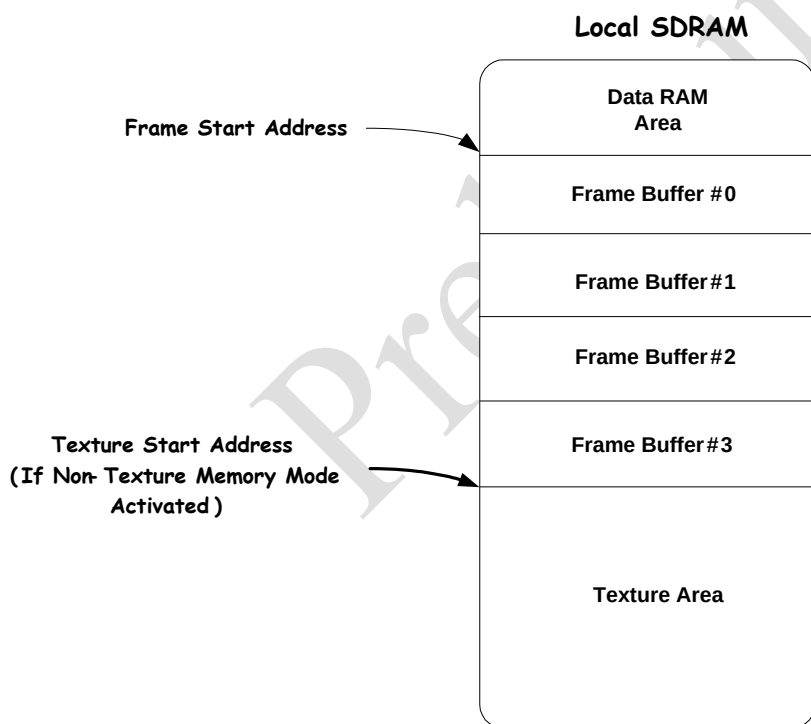


그림 3-29 Frame Buffer Assignment

Frame Buffer의 Size는 Display될 Screen의 Size(CRT Controller의 X / Y Resolution)에 의해 결정된다.

	X Resolution	Y Resolution	Buffer Size
0*0 < Display Area < 512 * 512	0	0	512KB
512 * 512 < Display Area < 1024 * 512	1	0	1MB
512 * 512 < Display Area < 512 * 1024	0	1	1MB
512 * 512 < Display Area < 1024 * 1024	1	1	2MB

Control Register의 Bit “1” Engine Enable은 Engine을 활성화 / 비활성 시킨다.

Enable Bit을 Setting하기 이전에 다른 Parameter들을 설정하여서 동작 중 parameter의 변화에 영향을 받지 않도록 한다.

CSC Image Capturer는 Frame단위로 이뤄지게 된다. 가령 Enable bit을 동작 중 Clear시키더라도 현재 진행중인 화면의 CSC Image Capturer는 계속 진행되며, 현재 Frame이 종료된 후 Engine은 Idle상태로 천이하게 된다.

Control Register의 Bit “2” Non-Interlace / Interlace 설정 Bit은 외부 영상입력 format (Interlace / Non-Interlace)에 따라 설정 가능하도록 되어있다.

Control Register의 Bit “3” FIFO Request Level Setting Bit은 설정된 값과 현재 FIFO의 Level에 따라 Local bus 제어 권한을 요청하게 된다. FIFO의 Depth는 64이며, 16 (Quarter Full) / 32 (Half Full) Request 설정이 가능하다.

Multi Master System에서 Data Acquisition time이 빨라야 하는 응용에서는 이 bit을 Quarter full request 설정으로 하고, 전체적인 bus request time을 최적화하기 위해선 이 bit을 half full request 설정으로 한다.

Control Register의 Bit “8”은 Color Space Conversion Block를 활성화 / 비활성화 시킨다.

Control Register의 Bit “9”은 Color Space Conversion Block의 입력 Source를 설정하는 Bit 이다.

3.15.6 Pixel Gain Control Register (CSCICPGCON)

Address : 0xFFE0 4804

Bit	R/W	Description	Default Value
31 : 24	R/W	Red Pixel Gain Value	FFh
23 : 16	R/W	Green Pixel Gain Value	FFh
15 : 8	R/W	Blue Pixel Gain Value	FFh
7	R	Reserved	-
6	R/W	Red Pixel Gain Control (1: 0 dB ≤ Gain < 3dB, 0: -infinite < Gain < 0dB)	0b
5	R/W	Green Pixel Gain Control (1: 0 dB ≤ Gain < 3dB, 0: -infinite < Gain < 0dB)	0b
4	R/W	Blue Pixel Gain Control (1: 0 dB ≤ Gain < 3dB, 0: -infinite < Gain < 0dB)	0b
3 : 1	R	Reserved	-
0	R/W	Gain Control Enable	0b

Pixel Gain Control Register는 입력 R/G/B Data의 이득 (Gain) 을 control 한다.

Gain Control 없이 입력 값 그대로 Image를 Capture하기 위해선 Pixel Gain Control Enable Bit을 “0”으로 Setting한다.

Gain Control된 Pixel의 최종 값은 [Pixel[7:0] * { Gain Control, Gain Value[7:0] }] / 2⁸ 과 같이 나타낼 수 있으며, Overflow가 발생한다면 해당 색상 값을 최대값으로 Clipping 시키게 된다.

3.15.7 X Coordinate Down Scaling Control Register (CSCICXDSCON)

Address : 0xFFE0 4808

Bit	R/W	Description	Default Value
31 : 13	R	Reserved	-
12 : 8	R/W	Down Scale Factor	1Fh
7 : 1	R	Reserved	-
0	R/W	X Coordinate Down Scaling Enable	0b

		0: 1:1 Mapping 1: Down Scaling Enable.	
--	--	---	--

X Coordinate Down Scaling Control Register는 Capture image를 X축 방향으로 Down Scaling 하게 된다.

Down Scaling없이 X축 이미지를 그대로 Capture하기 위해선 X Coordinate Down Scaling Enable bit을 “0”으로 Setting한다.

Image는 X축 방향으로 : $((\text{Down Scale Factor} + 1) / 32) * \text{Original Size}$ 와 같이 Down Scaling 된다.

3.15.8 Y Coordinate Down Scaling Control Register (CSCICYDSCON)

Address : 0xFFE0 480C

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 8	R/W	Down Scale Factor	Fh
7 : 1	R	Reserved	-
0	R/W	Y Coordinate Down Scaling Enable 0: 1:1 Mapping 1: Down Scaling Enable.	0b

Y Coordinate Down Scaling Register는 Capture image를 Y축 방향으로 Down Scaling 하게 된다.

Down Scaling없이 Y축 이미지를 그대로 Capture하기 위해선 Y Coordinate Down Scaling Enable bit을 “0”으로 Setting한다.

Image는 Y축 방향으로 :

Down Scaling Factor Fh ~ 8h : $((\text{Down Scale Factor} + 1) / 16) * \text{Original Size}$

Down Scaling Factor 7h ~ 0h : $((\text{Down Scale Factor} + 9) / 32) * \text{Original Size}$

와 같이 Down Scaling 된다.

3.15.9 Rendering X Start Point Register (CSCICXSP)

Address : 0xFFE0 4810

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 4	R/W	X Display Start Coordinate [10:4] (Horizontal 16 Pixel Offset)	00h
3 : 0	R	Reserved	-

Rendering X Start Point Register는 화면에 출력된 Capture image의 X좌표를 설정하게 된다.

X좌표의 설정은 X좌표 방향으로 16 Pixel의 Offset 크기로 설정할 수 있다.

3.15.10 Rendering Y Start Point Register (CSCICYSP)

Address : 0xFFE0 4814

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 1	R/W	Y Display Start Coordinate [9:1] (Vertical 2 Pixel Offset)	000h
0	R	Reserved	-

Rendering Y Start Point Register는 화면에 출력된 Capture image의 Y좌표를 설정하게 된다.

Y좌표의 설정은 Y좌표 방향으로 2 Line의 Offset 크기로 설정할 수 있다.

3.16 OSD Controller

3.16.1 Features

OSD란 On Screen Display의 약어로 CRTC가 내보내는 출력 영상 위에 특정 이미지를 알파블렌딩 또는 오버레이 하여 보여주는 기능을 하고 있다.

- 4bit, 8bit, 16bit color 지원
- Interlace / Non-Interlace 지원
- CRTC resolution (Resolution is determined by CRTC)
- alpha blending 지원
- Programmable OSD window 지원

3.16.2 Block Diagram

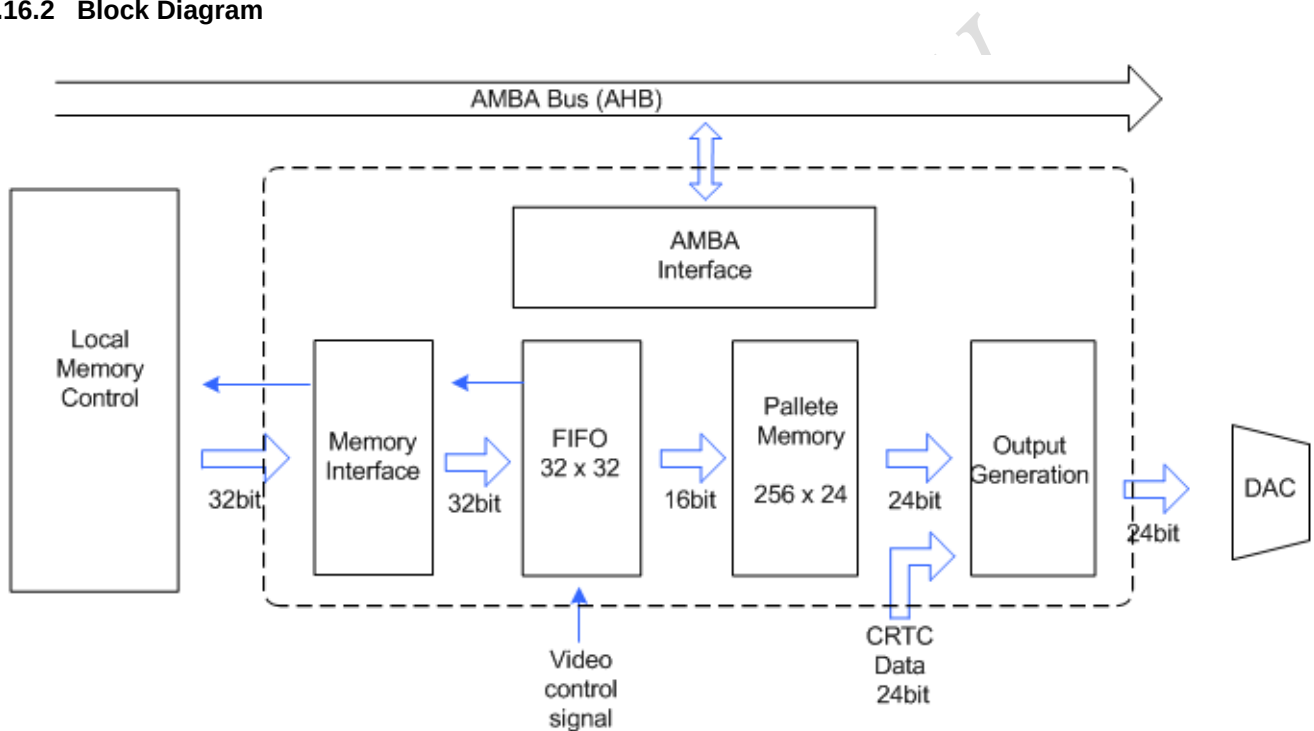


그림 3-30 OSD Block Diagram

Register Description

3.16.3 OSD Control Register (OSDCON)

Address : FFE0 4C00h

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5	R/W	OSD Enable	0b
4	R/W	CPU Palette RAM Access Enable	0b
3	R/W	Second Visible Area Enable	0b
2	R/W	First Visible Area Enable	0b
1: 0	R/W	Select the BPP (Bits Per Pixel) mode for OSD 00: 4 BPP 01: 8 BPP 10: 16BPP	00b

두 개의 Visible Area Enable 비트를 모두 Disable하면 디스플레이 화면 전체가 Visible area가 된다.

3.16.4 OSD Transparent Color Register (OSDTC)

Address : FFE0 4C04h

Bit	R/W	Description	Default Value
31 : 24	R	Reserved	-
23 : 16	R/W	Red value	00h
15 : 8	R/W	Green value	00h
7 : 0	R/W	Blue value	00h

OSD image 중에서 투명하게 바꾸고 싶은 색상을 정하는 레지스터이다.

3.16.5 Alpha Blending Control Register (OSDACON)

Address : FFE0 4C08h

Bit	R/W	Description	Default Value
31 : 26	R	Reserved	-
25	R/W	Alpha Blending Color의 개수를 지정하는 레지스터임 0 : Alpha Blending Color Register에서 지정한 4가지 색상만 Alpha Blending 함 1 : Transparent Register에 정의된 색상을 제외한 모든 색상에 대해 Alpha Blending 함	0b
24	R/W	Alpha Blending en / disable 0 : disable 1 : enable	0b
23 : 16	R/W	Alpha Blending ratio of Red color	00h
15 : 8	R/W	Alpha Blending ratio of Green color	00h
7 : 0	R/W	Alpha Blending Blue ratio of Blue color	00h

Alpha blending is image processing that combine the OSD image and the CRTC image.

$$\text{Display_image} = A * \text{OSD_image} + (1 - A) * \text{CRTC_image}$$

A : alpha blending ratio

3.16.6 OSD Alpha Blending Color Register 0 (OSDAC0)

Address : FFE0 4C0Ch

Bit	R/W	Description	Default Value
31 : 25	R	Reserved	-
24	R/W	이 레지스터에 정의된 색상에 대한 Alpha Blending en / disable	0b
23 : 16	R/W	Alpha Blending Color 0 Red	00h
15 : 8	R/W	Alpha Blending Color 0 Green	00h
7 : 0	R/W	Alpha Blending Color 0 Blue	00h

3.16.7 OSD Alpha Blending Color Register 1 (OSDAC1)

Address : FFE0 4C10h

Bit	R/W	Description	Default Value
31 : 25	R	Reserved	-
24	R/W	이 레지스터에 정의된 색상에 대한 Alpha Blending en / disable	0b
23 : 16	R/W	Alpha Blending Color 1 Red	00h
15 : 8	R/W	Alpha Blending Color 1 Green	00h
7 : 0	R/W	Alpha Blending Color 1 Blue	00h

3.16.8 OSD Alpha Blending Color Register 2 (OSDAC2)

Address : FFE0 4C14h

Bit	R/W	Description	Default Value
31 : 25	R	Reserved	-
24	R/W	이 레지스터에 정의된 색상에 대한 Alpha Blending en / disable	0b
23 : 16	R/W	Alpha Blending Color 2 Red	00h
15 : 8	R/W	Alpha Blending Color 2 Green	00h
7 : 0	R/W	Alpha Blending Color 2 Blue	00h

3.16.9 OSD Alpha Blending Color Register 3 (OSDAC3)

Address : FFE0 4C18h

Bit	R/W	Description	Default Value
31 : 25	R	Reserved	-
24	R/W	이 레지스터에 정의된 색상에 대한 Alpha Blending en / disable	0b
23 : 16	R/W	Alpha Blending Color 3 Red	00h
15 : 8	R/W	Alpha Blending Color 3 Green	00h
7 : 0	R/W	Alpha Blending Color 3 Blue	00h

3.16.10 OSD Frame Memory Start Address Register (OSDFMSA)

Address : FFE0 4C1Ch

Bit	R/W	Description	Default Value
31 : 2	R/W	Frame Memory start address	0h
1 : 0	R	Reserved	-

OSD Image가 저장되어 있는 메모리의 시작 주소 값을 지정하는 레지스터이다.
단위는 바이트임.

3.16.11 Palette RAM Data Register (OSDPRD)

Address : FFE0 4C20h

Bit	R/W	Description	Default Value
31 : 24	R	Reserved	-
23 : 16	R/W	Internal Palette RAM Red Value	Undefined
15 : 8	R/W	Internal Palette RAM Green Value	Undefined
7 : 0	R/W	Internal Palette RAM Blue Value	Undefined

팔레트 메모리에 값을 쓰거나 읽어볼 때 사용하는 레지스터이다. 그림 파일 형식이 bmp 포맷일 경우 헤더 정보에 팔레트 값(색상정보)이 기록되어 있으므로 그 값을 채우면 된다.

3.16.12 First OSD window start position Register (OSDWSP0)

Address : FFE0 4C24h

Bit	R/W	Description	Default Value
31 : 16	R/W	Vertical position	0000h
15 : 0	R/W	Horizontal position 4BPP : 8의 배수 값만 설정 가능 8BPP : 4의 배수 값만 설정 가능 16BPP : 2의 배수 값만 설정 가능	0000h

해상도가 640x480 일 경우 (0, 0)부터 (639, 479)의 범위를 가짐

3.16.13 First OSD window size Register (OSDWS0)

Address : FFE0 4C28h

Bit	R/W	Description	Default Value
31 : 16	R/W	Vertical size	0000h
15 : 0	R/W	Horizontal size 4BPP : 8의 배수 값만 설정 가능 8BPP : 4의 배수 값만 설정 가능 16BPP : 2의 배수 값만 설정 가능	0000h

- 레지스터 설정 방법

CRTC 해상도가 640 x 480 인 경우

Start position register = 0x00C80010 // (16, 200) ,

Area size = 0x00C80190 // 400 x 200

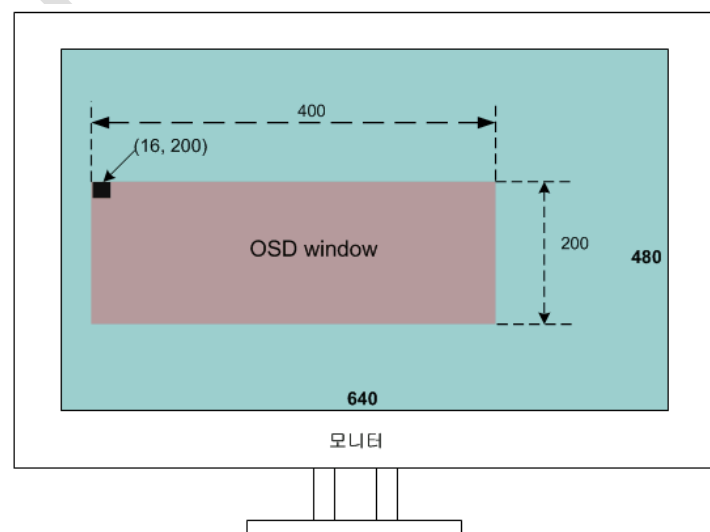


그림 3-31 Example OSD Window Set

3.16.14 Second OSD window start position Register (OSDWSP1)

Address : FFE0 4C2Ch

Bit	R/W	Description	Default Value
31 : 16	R/W	Vertical position	0000h
15 : 0	R/W	Horizontal position 4BPP : 8의 배수 값만 설정 가능 8BPP : 4의 배수 값만 설정 가능 16BPP : 2의 배수 값만 설정 가능	0000h

해상도가 640x480 일 경우 (0, 0)부터 (639, 479)의 범위를 가짐

3.16.15 Second OSD window size Register (OSDWS1)

Address : FFE0 4C30h

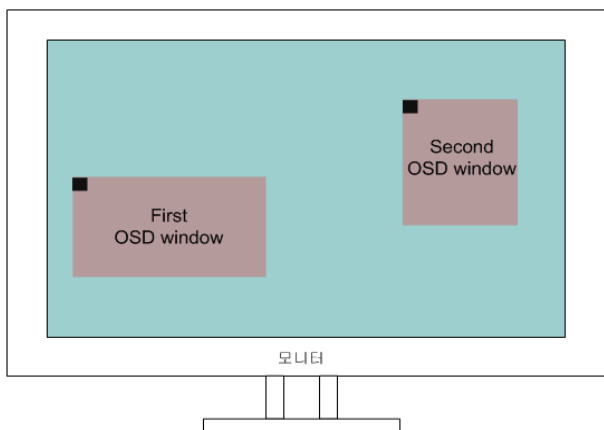
Bit	R/W	Description	Default Value
31 : 16	R/W	Vertical size	0000h
15 : 0	R/W	Horizontal size 4BPP : 8의 배수 값만 설정 가능 8BPP : 4의 배수 값만 설정 가능 16BPP : 2의 배수 값만 설정 가능	0000h

* 주의사항

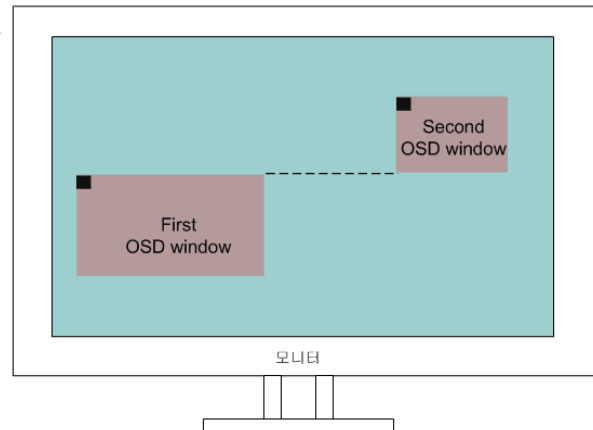
First OSD window 와 Second OSD window 영역이 아래 그림처럼 한 라인에 겹쳐 있을 경우 First OSD window 가 우선순위를 갖는다.

EX)

1) 설정값



2) 실제로 보여지는 화면



3.17 JPEG Image Capturer

3.17.1 Description

EAGLE에 내장된 JPEG Image Capturer 은 JPEG 블록에서 Decoding 된 YCbCr 영상을 입력 받아 이를 RGB 로 Conversion하여 Memory에 저장하는 역할을 수행하게 된다.

부가적으로 RGB data의 이득 (Gain)을 조정할 수 있으며, X/Y 좌표 설정, Y Offset Address 설정, 16 or 24 Bit Per Pixel 설정이 가능하다.

3.17.2 Features

- Bit Per Pixel 16 or 24bit 설정 기능.
- Pixel-Gain 설정 기능.
- Rendering X/Y Position 설정 기능
- Texture / Local Memory 사용 가능

3.17.3 Block Diagram

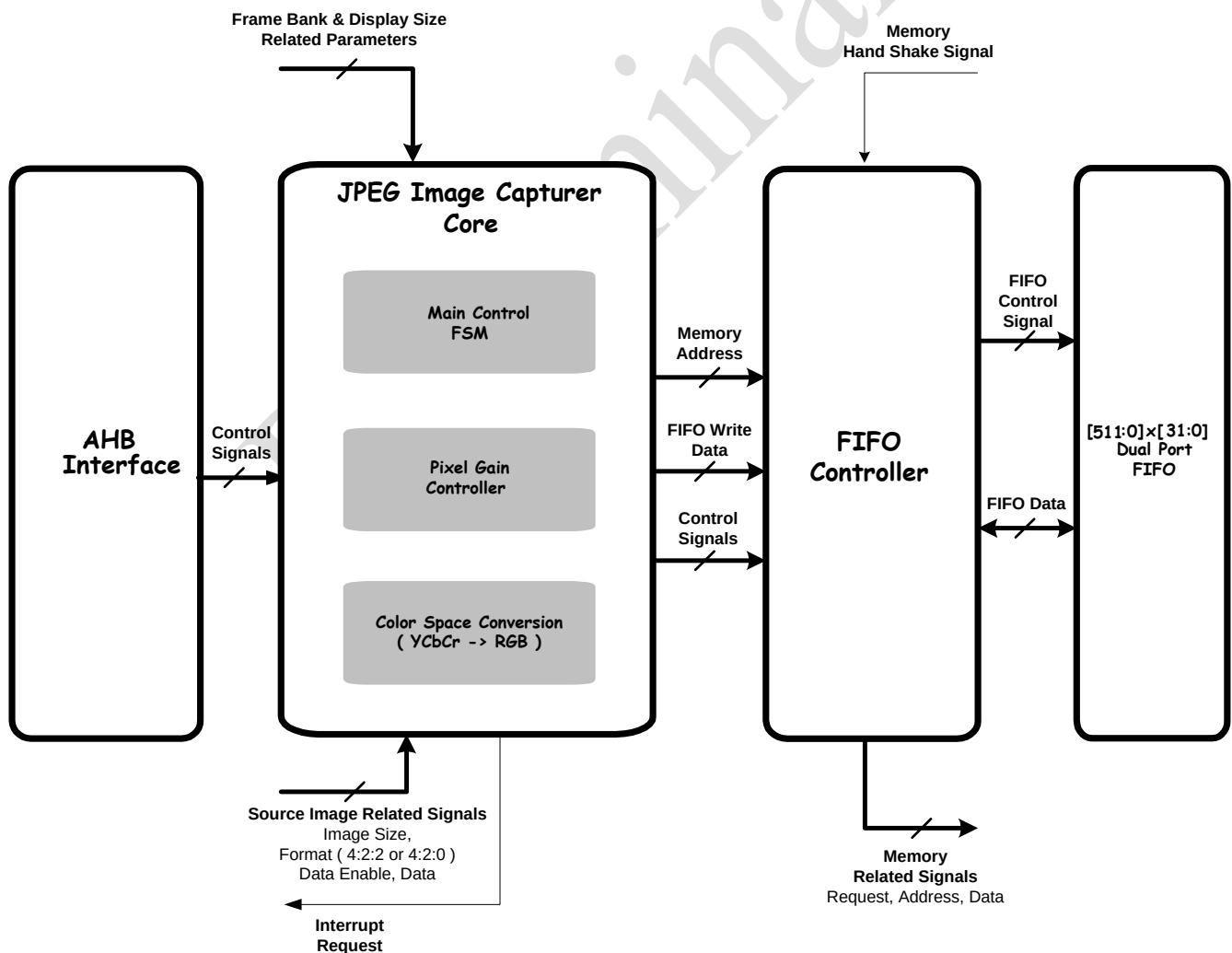


그림 3-32 JPEG Image Capturer Block Diagram

3.17.4 Operational Descriptions

위의 그림에서처럼 JPEG Image Capturer 은 크게 AHB Interface Module, Engine Core, Engine & FIFO Controller, 512x32 Dual Port FIFO로 구성되어 있다.

1) AHB Interface Module :

AMBA 상위 Layer에 대한 Bus Interface module이며 Register Bank를 포함하고 있다.

Register의 내용들은 Engine을 동작 시키기 위한 제어신호 및 Master Device에 module의 현 상태를 알려주기 위한 용도로 사용된다.

2) JPEG Image Capturer Core:

Engine Core는 크게 Main Control FSM, Pixel Gain Controller, Color Space Conversion 블록으로 구성되어 있다.

Main Control FSM은 JPEG 블록에서 나오는 영상 관련 신호 (X/Y Size, Data Enable, Format etc..)의 정보를 받아서 전체 Engine의 동작을 제어하는 역할을 수행하며, Color Space Conversion 블록은 YCbCr Data를 RGB로 변환하며, Pixel Gain Controller는 입력 RGB Data의 Gain을 조정하게 된다.

또한 부가적으로 한 프레임의 영상이 메모리 Write가 완료되면 Interrupt를 발생한다.

3) FIFO Controller:

FIFO Controller는 내부 FIFO (512x32 Dual Port Sync FIFO)에 대한 제어 및 FIFO Level에 따라 Bus 요청을 하게 되며, Bus 제어 권한 획득 시, 정해진 Request Level만큼 Memory Controller와 통신하게 된다. 한다.

3.17.5 Engine Control Register (JICCON)

Address : 0xFFE0 5000

Bit	R/W	Description	Default Value
31 : 6	R	Reserved.	-
5	R/W	Texture Memory Use. 0: Local Memory Use 1: Texture Memory Use	0b
4	R/W	CSC Image Capturer (CSC ICE) Address Area Use 0: Separate Address Use 1: CSC Image Capturer Frame Buffer Use	0b
3	R	Reserved.	-
2	R/W	User Y Offset Address Enable	0b
1	R/W	Bit per Pixel 0: 16 bit RGB 1: 24 bit RGB	0b
0	R/W	JPEG Image Capture(JPEG ICE) Enable 0: Disable 1: Enable	0b

Control Register의 Bit “0” Engine Enable은 Engine을 활성화 / 비활성화 시킨다.

Enable Bit을 Setting하기 이전에 다른 Parameter들을 설정하여서 동작 중 parameter의 변화에 영향을 받지 않도록 한다.

Control Register의 Bit “1”은 JPEG Image Capturer(JPEG ICE)가 RGB로 Conversion 된 이미지를 외부 메모리에 저장할 때 Pixel 당 Bit 수를 지정하는 Register이다. 16 bit RGB 모드 경우 Graphic Rendering Engine Image Processing 기능과 같이 사용할 수 있으나, 24 bit RGB 모드 경우에는 Graphic Rendering Engine Image Processing 기능과 같이 사용할 수 없으며, CRT Control Register의 Bit “16”을 “1”(24 bit RGB 모드)로 설정해야 한다.

Control Register의 Bit “4”와 “5”는 Memory Map 상에 Image 가 저장될 위치 지정과 관련된 레지스터이다.

Control Register의 Bit “4”가 ‘1’로 설정된 경우 Control Register의 Bit “2” 와 “5”에 영향을 받지 않는다.

Control Register의 Bit “4”의 Default는 ‘0’이며, ‘0’인 경우 Memory Map 상에 Image가 저장될 Base Address(JICBSA)를 지정해야 한다. 부가적으로 Control Register의 Bit “5”에 따라 Local / Texture Memory를 지정할 수 있다.

Control Register의 Bit “4”를 ‘1’로 설정 할 경우 Graphic Rendering Engine에서의 Render to Front Buffer / Back Buffer 설정 Bit과 함께 Memory Map상에서 CSC Image Capturer 할당되는 Frame Buffer 영역이 JPEG Image Capturer 블록에 자동 할당이 되므로 따로 Base Address(JICBSA)를 지정하지 않아도 된다. 단 CSC Image Capturer 블록과 JPEG Image Capturer 블록 둘 다 사용할 경우 Control Register의 Bit “4”를 ‘1’로 설정하면 Memory 에 두 이미지가 겹치게 되므로 이용 시 주의 해야 한다.

1. Control Register의 Bit “4” = ‘1’ / Front Buffer Rendering (Graphic Rendering Engine)

Image Capture Buffer에 JPEG Decoding Image가 저장되며, Frame Buffer는 1개가 할당 되게 된다.

이 경우 Frame Buffer = Image Capture(JPEG ICE) Buffer = Rendering Buffer = CRT Display Buffer.가 된다.

CRT Display와 Rendering이 동일 Buffer에서 이뤄지므로, Display상에서 어떤 동작이 먼저 일어났느냐에 의해 화면에서의 Rendering 결과가 현재 Display되고 있는 화면에서 보일 수도 있고 보이지 않을 수도 있다.

2. Control Register의 Bit “4” = ‘1’ / Back Buffer Rendering (Graphic Engine)

Image Capture Buffer에 JPEG Decoding Image가 저장되며, Frame Buffer는 4개가 할당 되게 된다.

Image Capture(JPEG ICE), Rendering, CRT Display 동작이 서로 각기 다른 Buffer에서 수행되며, Buffer의 Switching은 Rendering Engine에서의 Flip Command에 의해 이뤄진다.

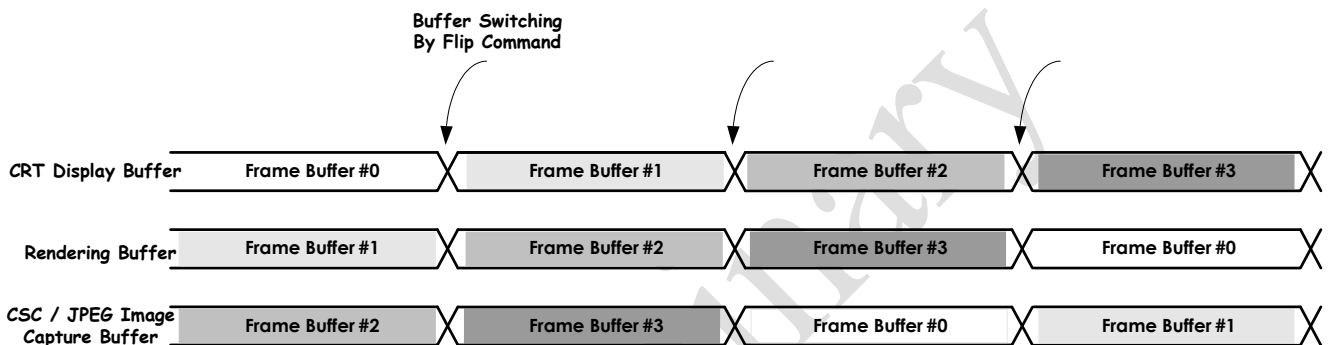


그림 3-33 JPEG ICE Frame Buffer Switching & Pipe Line Operation

Control Register의 Bit “4” = ‘0’인 경우 Control Register의 Bit “2”(User Y Offset Address)를 Enable 함으로써 Image Size에 맞는 Y Offset Address를 지정할 수 있다. 해당 레지스터는 Rendering Y Offset Address Register (JICYOFFA)이며, X Size 32 Pixel 단위로 설정 가능하다.

3.17.6 Pixel Gain Control Register (JICPGCON)

Address : 0xFFE0 5004

Bit	R/W	Description	Default Value
31 : 24	R/W	Red Pixel Gain Value	FFh
23 : 16	R/W	Green Pixel Gain Value	FFh
15 : 8	R/W	Blue Pixel Gain Value	FFh
7	R	Reserved	-
6	R/W	Red Pixel Gain Control (1: 0 dB ≤ Gain < 3dB, 0: -infinite < Gain < 0dB)	0b
5	R/W	Green Pixel Gain Control (1: 0 dB ≤ Gain < 3dB, 0: -infinite < Gain < 0dB)	0b
4	R/W	Blue Pixel Gain Control (1: 0 dB ≤ Gain < 3dB, 0: -infinite < Gain < 0dB)	0b
3 : 1	R	Reserved	-
0	R/W	Gain Control Enable	0b

Pixel Gain Control Register는 입력 R/G/B Data의 이득 (Gain) 을 control 한다.

Gain Control 없이 입력 값 그대로 Image를 Capture하기 위해선 Gain Control Enable Bit을 “0”으로 Setting한다.

Gain Control된 Pixel의 최종 값은 [Pixel[7:0] * { Gain Control, Gain Value[7:0] }] / 2⁸ 과 같이 나타낼 수 있으며, Overflow가 발생한다면 해당 색상 값을 최대값으로 Clipping 시키게 된다.

3.17.7 Rendering X Start Point Register (JICXSP)

Address : 0xFFE0 5008

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 4	R/W	X Display Start Coordinate [10:4] (Horizontal 16 Pixel Offset)	00h
3 : 0	R	Reserved	-

Rendering X Start Point Register는 화면에 출력된 Capture image의 X좌표를 설정하게 된다.
X좌표의 설정은 X좌표 방향으로 16 Pixel의 Offset 크기로 설정되게 된다.

3.17.8 Rendering Y Start Point Register (JICYSP)

Address : 0xFFE0 500C

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 1	R/W	Y Display Start Coordinate [9:1] (Vertical 2 Pixel Offset)	000h
0	R	Reserved	-

Rendering Y Start Point Register는 화면에 출력된 Capture image의 Y좌표를 설정하게 된다.
Y좌표의 설정은 Y좌표 방향으로 2 Line의 Offset 크기로 설정되게 된다.

3.17.9 Rendering Base Start Address Register (JICBSA)

Address : 0xFFE0 5010

Bit	R/W	Description	Default Value
31 : 20	R/W	Rendering Base Start Address	000h
19 : 0	R	Reserved	-

디코딩 되어진 JPEG Image를 저장할 Base Address를 가리키며, Control Register의 bit “4”를 ‘0’(Separate Address Use)으로 설정할 경우에는 Rendering Base Start Address를 지정해야 하며, ‘1’(Image Capture Engine Frame Buffer Use)로 설정할 경우 이 Register를 설정해도 적용되지 않는다.

Local / Texture Memory 둘 다 설정 가능하며, Texture Memory 로 지정할 경우에는 Control Register의 bit “5”를 “1”로 설정해야 한다.

Rendering Base Start Address Register 는 1MByte 의 Offset 크기로 설정 가능하다.

3.17.10 Rendering Status Register (JICSTAT)

Address : 0xFFE0 5014

Bit	R/W	Description	Default Value
31	R	Interrupt Status	0b
30 : 28	R	Reserved	-
27 : 16	R	X Image Size / 32	000h
15 : 12	R	Reserved	-
11 : 0	R	Y Image Size / 32	000h

Interrupt Status bit는 한 프레임의 영상을 Memory에 Write 완료했는지를 알려주는 bit로써, 한 프레임을 Memory에 Write 했을 때 ‘1’로 설정된다. JPEG Decoder Command Control Register (JDCOMCON) Bit “2”를 ‘1’ (End IRQ Clear)로 설정했을 때 Clear 된다.

X / Y Image Size Register는 Real Image Size는 아니며, X / Y Size에 32를 곱하면 Real Image Size가 된다. 예를 들어 X Image Size Register 값이 20 이라면 곱하기 32를 하여 640 이라는 X Image Size를 산출해 낼 수 있다.

3.17.11 Rendering Y Offset Address Register (JICYOFFA)**Address : 0xFFE0 5018**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 11	R	Reserved	-
10 : 5	R/W	Y Offset Address	00h
4 : 0	R	Reserved	-

Preliminary

3.18 USB Host Controller

Eagle 의 USB 1.1 Host Controller 는 OpenHCI(ver 1.0a)를 지원한다.

3.18.1 Host Controller Features

- OpenHCI1.0 compatible
- USB 1.1 compatible

3.18.2 Host Controller Operational Registers

<i>Address</i>	<i>Registers</i>
FFE05400	HcRevision
FFE05404	HcControl
FFE05408	HcCommandStatus
FFE0540C	HcInterruptStatus
FFE05410	HcInterruptEnable
FFE05414	HcInterruptDisable
FFE05418	HcHCCA
FFE0541C	HcPeriodCurrentED
FFE05420	HcControlHeadED
FFE05424	HcControlCurrentED
FFE05428	HcBulkHeadED
FFE0542C	HcBulkCurrentED
FFE05430	HcDoneHead
FFE05434	HcFmInterval
FFE05438	HcFmRemaining
FFE0543C	HcFmNumber
FFE05440	HcPeriodicStart
FFE05444	HcLSThreshold
FFE05448	HcRhDescriptorA
FFE0544C	HcRhDescriptorB
FFE05450	HcRhStatus
FFE05454	Reserved.
FFE05458	HcRhPortStatus[1]

표 3-21 USB Host Registers List

3.19 YC Image Capturer

3.19.1 Description

EAGLE에 내장된 YC Image Capturer 은 외부 영상 (Video Decoder YCbCr 4:2:2)을 입력 받아 이를 YCbCr 4:2:0 Format으로 변환하여 User가 지정한 Memory 영역에 Y(휘도)와 C(색상)을 분리하여 저장하는 역할을 수행하게 된다. 4:2:0 Format으로 변환되어 Memory에 저장된 Data는 EAGLE 내부의 Scaler 블록에서 읽는다. Scale Up / Down, RGB Conversion, CSC Image Capturer 을 거쳐 Frame Buffer (Image Capture Buffer)에 저장되어 Display 된다.

Multi-Master System에서의 응용에 따른 Local Bus (EAGLE의 경우 AMBA 상위 Layer) 의 효율을 극대화 시킬 수 있도록 Bus 점유율 및 access time 설정이 가능하도록 설계되어 있다.

3.19.2 Features

- Selectable Bus Request FIFO Level. (16 or 32 Level Request)
- Y, C 신호를 위한 각각의 FIFO (64x32)
- Y, C 각각 별도의 Memory Interface
- * Notice !!!

입력 Dot-Clock의 주파수는 YC Image Capturer Module의 System(AHB) 동작주파수의 1/2 이하가 되어야 한다.

3.19.3 Block Diagram

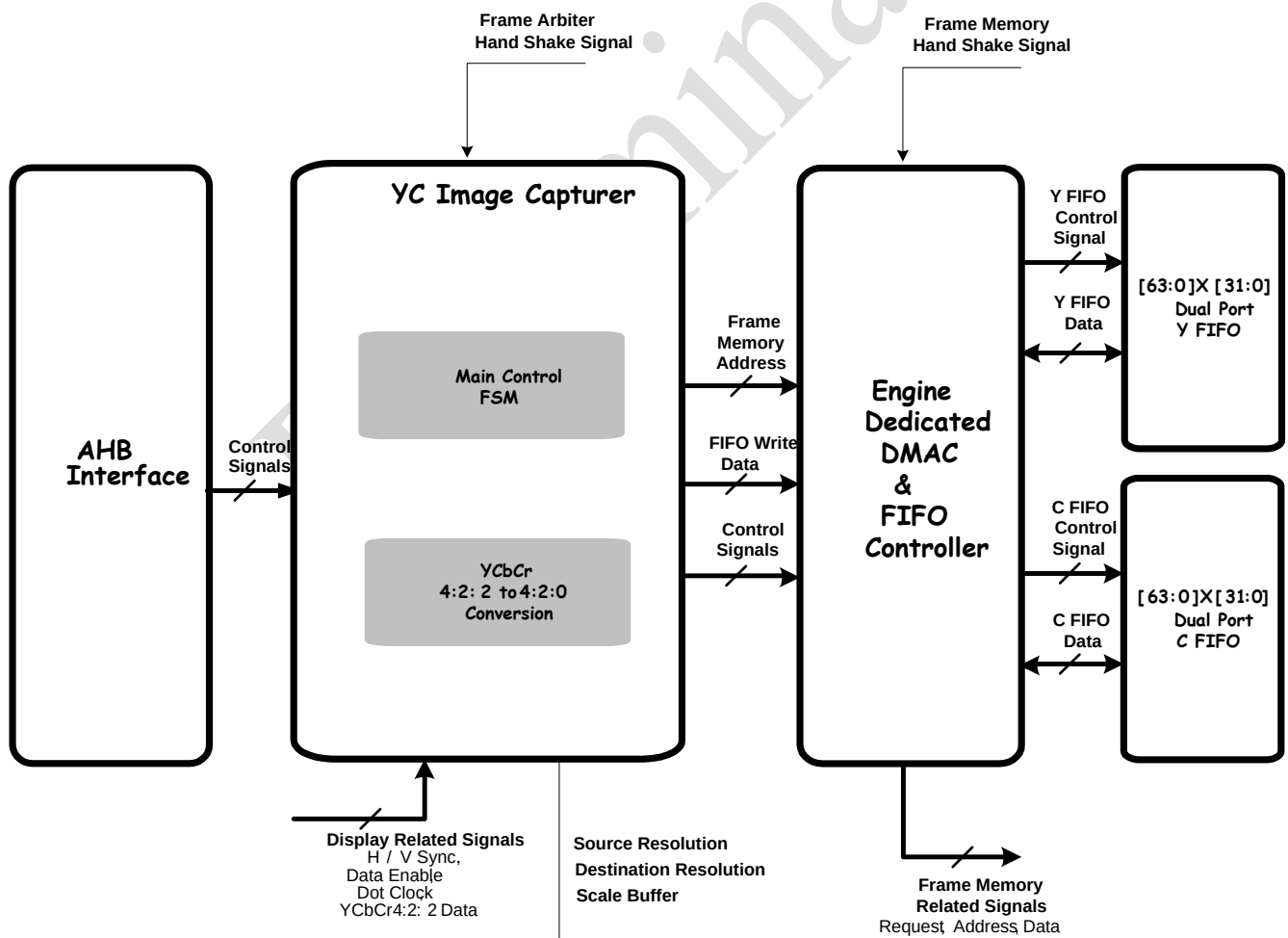


그림 3-34 YC Image Capture Engine Block Diagram

* Y : Luminance Data, C : Chrominance Data

3.19.4 Operational Descriptions

위의 그림에서처럼 YC Image Capturer 은 크게 AHB Interface Module, Engine Core, Engine DMAC & FIFO Controller, 64x32 Dual Port Y(C) FIFO로 구성되어 있다.

1) AHB Interface Module :

AMBA 상위 Layer에 대한 Bus Interface module이며 Register Bank를 포함하고 있다.

Register의 내용들은 Engine을 동작 시키기 위한 제어신호 및 Master Device에 module의 현 상태를 알려주기 위한 용도로 사용된다.

2) YC Image Capturer Core:

Engine Core는 크게 Main Control FSM, YCbCr 4:2:2 to 4:2:0 Converter 로 구성되어져 있다.

Main Control FSM은 영상 관련 신호 (Sync, Display, etc..)의 정보를 받아서 전체 Engine의 동작을 제어하는 역할 및 Scaler에 Source/Destination Resolution, Scale Buffer 정보를 전달하는 역할을 수행하며, YCbCr 4:2:2 to 4:2:0 Conversion 은 YCbCr 4:2:2 Format 외부 영상을 4:2:0 Format으로 변환하게 된다.

3) Engine DMAC & FIFO Controller:

Engine DMA Controller는 설정된 Bus Request FIFO Level 및 FIFO Level에 따라 Bus 요청을 하게 되며, Bus 제어 권한 획득 시, 정해진 Request Level만큼 Memory Controller와 통신하게 된다.

FIFO Controller는 내부 FIFO (64*32 Dual Port Sync Y and C FIFO)에 대한 제어를 한다.

3.19.5 Engine Control Register (YCICCON)

Address : 0xFFE0 5800

Bit	R/W	Description	Default Value
31 : 4	R	Reserved.	-
3	R/W	FIFO Request Level Setting Bits. 0: Level 32 Request 1: Level 16 Request	0b
2	R/W	Non Interlace Setting Bit. 0: Disable 1: Enable	0b
1	R/W	YC Image Capture Mode	0b
0	R/W	Engine Enable 0: Disable 1: Enable	0b

Control Register의 Bit “0” 은 Engine Enable은 Engine을 활성화 / 비활성 시킨다.

Enable Bit을 Setting하기 이전에 다른 Parameter들을 설정하여서 동작 중 parameter의 변화에 영향을 받지 않도록 한다.

YC Image Capturer는 Frame단위로 이뤄지게 된다. 가령 Enable bit을 동작 중 Clear시키더라도 현재 진행중인 화면의 YC Image Capturer는 계속 진행되며, 현재 Frame이 종료된 후 Engine은 Idle상태로 천이하게 된다.

Control Register의 Bit “1”은 EAGLE 내부의 Scaler 블록의 입력 소스 선택과 관련된 레지스터로써, 외부 영상을 Scale Up / Down의 과정을 거쳐 Display 하고자 한다면 ‘1’로 설정하여야 한다.

YC ICE Buffer and Scaler Buffer의 Switching은 외부 영상의 Vertical Sync 에 의해 이뤄진다.

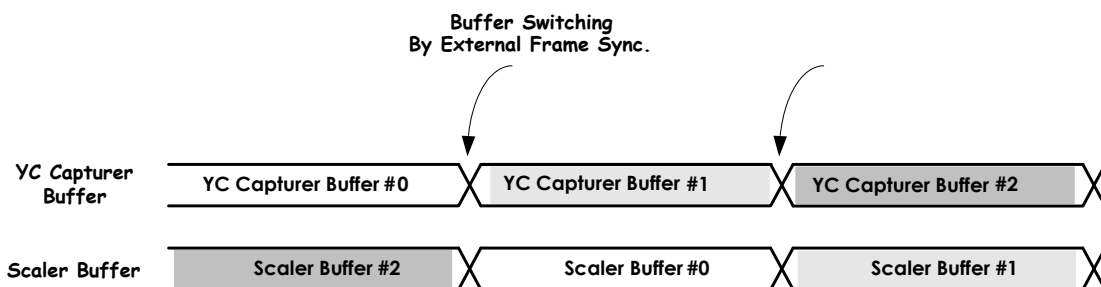


그림 3-35 YC Image Capturer Buffer and Scaler Buffer Switching & Pipe Line Operation

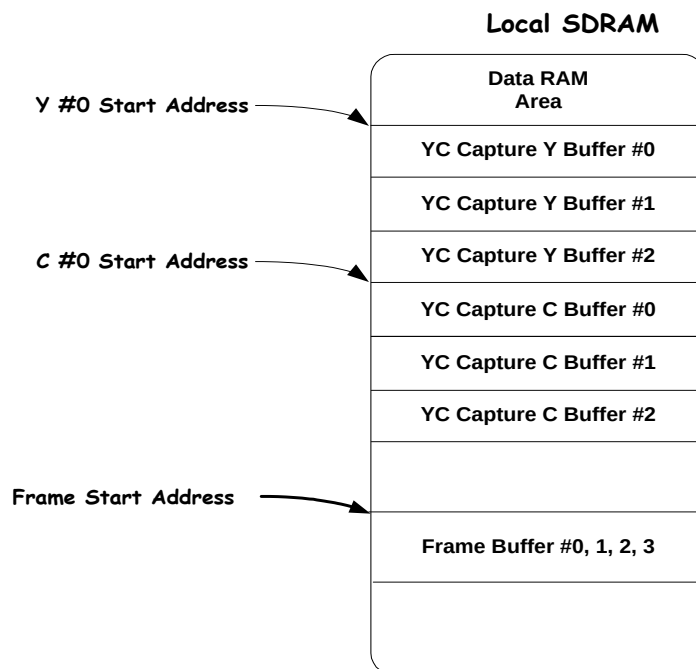


그림 3-36 YC Image Capture Y / C Buffer Assignment

Control Register의 Bit “2”은 Non-Interlace Mode 로 고정해서 사용해야 한다.
외부 영상이 Interlace / Non-Interlace 방식인지와는 무관하며, 내부적인 동작 방식을 가리키는 것이다.

Control Register의 Bit “3” FIFO Request Level Setting Bit은 설정된 값과 현재 FIFO의 Level에 따라 Local bus 제어 권한을 요청하게 된다. FIFO의 Depth는 64이며, 16 (Quarter Full) / 32 (Half Full) Request 설정이 가능하다.
Multi Master System에서 Data Acquisition time이 빨라야 하는 응용에서는 이 bit을 Quarter full request 설정으로 하고, 전체적인 bus request time을 최적화하기 위해선 이 bit을 half full request 설정으로 한다.

3.19.6 Y Buffer 0 Start Address Register (YCICYB0SA)

Address : 0xFFE0 5804

Bit	R/W	Description	Default Value
31 : 0	R/W	Y Start Address 0	0000 0000h

Y (Luminance) 신호가 저장될 Memory Address 0

3.19.7 Y Buffer 1 Start Address Register (YCICYB1SA)

Address : 0xFFE0 5808

Bit	R/W	Description	Default Value
31 : 0	R/W	Y Start Address 1	0000 0000h

Y (Luminance) 신호가 저장될 Memory Address 1

3.19.8 Y Buffer 2 Start Address Register (YCICYB2SA)**Address : 0xFFE0 580C**

Bit	R/W	Description	Default Value
31 : 0	R/W	Y Start Address 2	0000 0000h

Y (Luminance) 신호가 저장될 Memory Address 2

3.19.9 C Buffer 0 Start Address Register (YCICCB0SA)**Address : 0xFFE0 5810**

Bit	R/W	Description	Default Value
31 : 0	R/W	C Start Address 0	0000 0000h

C (Chrominance) 신호가 저장될 Memory Address 0

3.19.10 C Buffer 1 Start Address Register (YCICCB1SA)**Address : 0xFFE0 5814**

Bit	R/W	Description	Default Value
31 : 0	R/W	C Start Address 1	0000 0000h

C (Chrominance) 신호가 저장될 Memory Address 1

3.19.11 C Buffer 2 Start Address Register (YCICCB2SA)**Address : 0xFFE0 5818**

Bit	R/W	Description	Default Value
31 : 0	R/W	C Start Address 2	0000 0000h

C (Chrominance) 신호가 저장될 Memory Address 2

3.19.12 Input Source Image X Size Register (YCICISXS)**Address : 0xFFE0 581C**

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 0	R	Input Source Image X Size	000h

입력 영상의 X 축 사이즈에 대한 레지스터로써, 입력 영상에 대해 내부적으로 X Size를 Counting 하여 이 레지스터에 반영한다. 또한, EAGLE 내부에 있는 Scaler에 전달된다.

3.19.13 Input Source Image Y Size Register (YCICISYS)**Address : 0xFFE0 5820**

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 0	R	Input Source Image Y Size	000h

입력 영상의 Y 축 사이즈에 대한 레지스터로써, 입력 영상에 대해 내부적으로 Y Size를 Counting 하여 이 레지스터에 반영한다. 또한, EAGLE 내부에 있는 Scaler에 전달된다.

3.19.14 Output Image X Size Register (YCICOXS)**Address : 0xFFE0 5824**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 10	R	Reserved	-
9 : 0	R/W	Output Image X Size	000h

이 레지스터는 YC Image Capturer 블록에서 사용되는 레지스터는 아니다. EAGLE 내부에 있는 Scaler에 전달되는 레지스터로써, Scaler는 Input Source Image X Size 레지스터를 참고하여 이 레지스터 값에 해당되는 X Size 만큼 Scale Up / Down하게 된다.

3.19.15 Output Image Y Size Register (YCICOYS)**Address : 0xFFE0 5828**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 10	R	Reserved	-
9 : 0	R/W	Output Image Y Size	000h

이 레지스터는 YC Image Capturer 블록에서 사용되는 레지스터는 아니다. EAGLE 내부에 있는 Scaler에 전달되는 레지스터로써, Scaler는 Input Source Image Y Size 레지스터를 참고하여 이 레지스터 값에 해당되는 Y Size 만큼 Scale Up / Down하게 된다.

3.20 UART

EAGLE에는 RS-232C 인터페이스의 기능을 보유한 일반적인 PC 또는 I/O device와 직렬 통신을 위한 4채널 UART(Universal Asynchronous Receiver/Transmitter)를 가진다. UART Controller는 비동기 통신을 위한 다양한 제어기능을 지원한다.

다음은 EAGLE의 UART의 특징을 기술한 것이다.

- ◆ Compatible with standard 16550(16450) UARTs
- ◆ Fully programmable serial-interface protocols
 - ✓ 5,6,7,8-bit characters
 - ✓ Even, odd or no-parity, stick parity generation and detection
 - ✓ 1, 1.5, 2 stop bit generation
 - ✓ Baud rate generator
- ◆ Line break generation and detection
- ◆ False start bit detection
- ◆ Prioritized transmit, receive and line status control interrupts
- ◆ Independent 16 characters transmit and receive FIFOs
- ◆ Support 4 Ch. UARTs

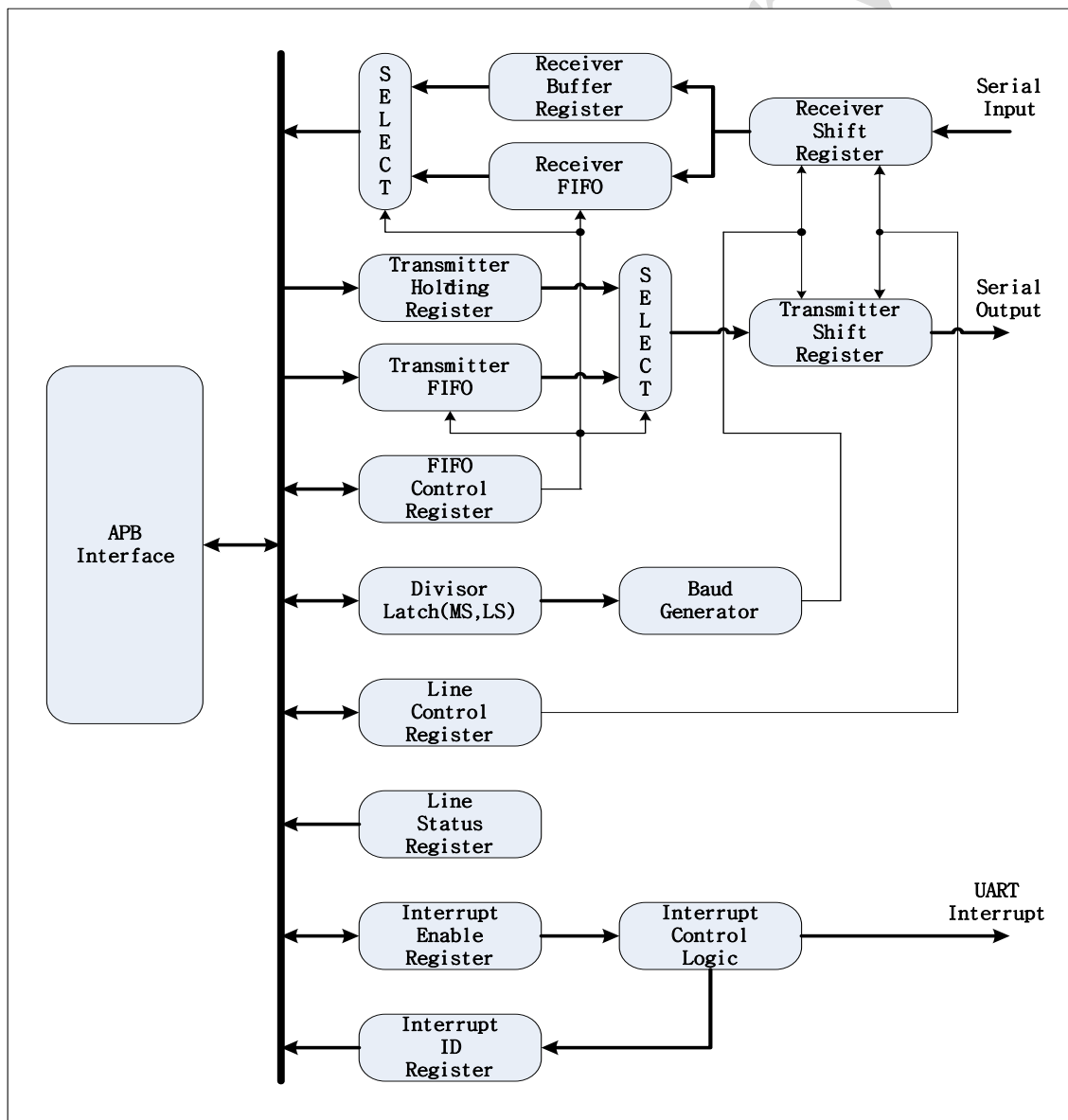


그림 3-37 UART Block Diagram

Tx/Rx Interrupt

Tx/Rx FIFO 인터럽트와 관련하여 기본적인 설정은 Tx FIFO의 경우 FIFO가 완전히 비워졌을 때 인터럽트가 발생하게 되어있으며, Rx FIFO의 경우 Receiver FIFO Trigger Level(RFTL)과 비교하여 인터럽트가 발생하게 되어있다. 또한 Rx에서는 Rx FIFO가 Receiver FIFO Trigger Level(RFTL)에 못 미치는 데이터가 쌓여있고 일정시간(4~5프레임)이 흐른 상태에서도 인터럽트가 발생하는데 이는 Rx 인터럽트의 조건보다 적은 개수의 데이터가 수신되었을 경우 데이터를 처리하기 위한 것이다. 또한 수신된 데이터 에러가 발생했을 경우 인터럽트를 발생시킬 수 있는데, UIEn[2] 비트를 '1'로 설정해야 수신 데이터 에러에 대한 인터럽트 발생이 가능해진다. 수신 데이터 에러의 종류는 ULSTATn 레지스터 설명을 참조하기 바란다. Rx 인터럽트의 경우 FIFO 인터럽트와 수신 데이터 에러 인터럽트가 하나의 인터럽트로 발생하므로 사용자의 주의가 필요한데, 다음 Flow를 참조하기 바란다.

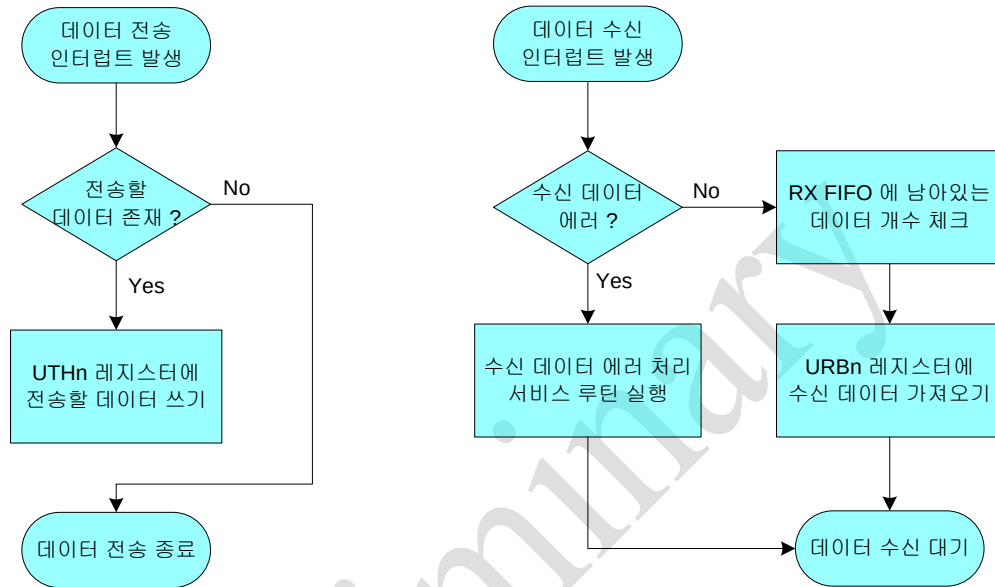


그림 3-38 UART Rx/Tx Interrupt and Data Flow

Data Format

EAGLE의 UART에서는 ULCRn[4:0] 비트의 레지스터 설정으로 UART 통신 Serial Data Format에 대한 변경이 가능하다. 다음 표는 ULCRn[4:0] bit의 Register 설정으로 변경 가능한 데이터 포맷에 대한 설명이다.

ULCRn[4:0]	Description
00010 No Parity / 1 Stop bit / 7 Data bit	
00011 No Parity / 1 Stop bit / 8 Data bit	
00110 No Parity / 2 Stop bit / 7 Data bit	
00111 No Parity / 2 Stop bit / 8 Data bit	
11010 Even Parity / 1 Stop bit / 7 Data bit	
11011 Even Parity / 1 Stop bit / 8 Data bit	

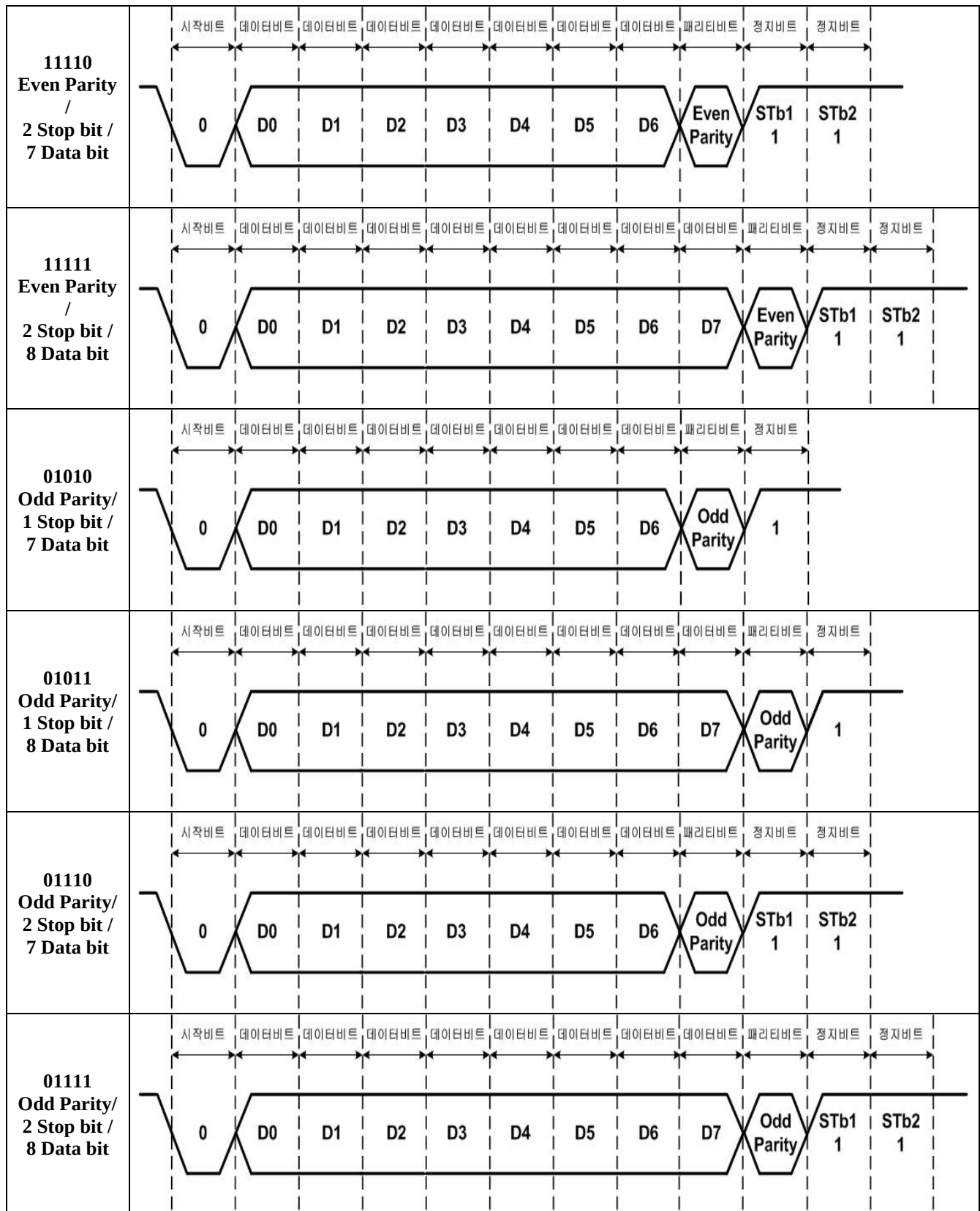


표 3-22 UART LCR Register Setting and Serial Data Format

Summary of Registers

Bit No	00 DLAB = 0	00 DLAB = 0	04 DLAB = 0	08	08	0C	14	00 DLAB = 1	04 DLAB = 1
	RX Buffer Register	TX Holding Register	Interrupt Enable Register	Interrupt Ident. Register	FIFO Control Register	Line Control Register	Line Status Register	Divisor Latch (LS)	Divisor Latch (MS)
	URB	UTH	UIE	UII	UFCON	ULCON	ULSTAT	DLL	DLM
	R	W	R/W	R	R/W	R/W	R	R/W	R/W
0	Data Bit 0	Data Bit 0	Enable Received Data Available Interrupt	“0” if Interrupt Pending	FIFO Enable	Word Length Select Bit 0	Data Ready	Bit 0	Bit 0
1	Data Bit 1	Data Bit 1	Enable TX Holding Register Empty Interrupt	Interrupt ID Bit 0	RCVR FIFO Reset	Word Length Select Bit 1	Overrun Error	Bit 1	Bit 1
2	Data Bit 2	Data Bit 2	Enable RX Line Status Interrupt	Interrupt ID Bit 1	XMIT FIFO Reset	Number of Stop Bits	Parity Error	Bit 2	Bit 2
3	Data Bit 3	Data Bit 3	0	Interrupt ID Bit 2	0	Parity Enable	Framing Error	Bit 3	Bit 3
4	Data Bit 4	Data Bit 4	0	0	Reserved	Even Parity Select	Break Interrupt	Bit 4	Bit 4
5	Data Bit 5	Data Bit 5	0	0	Reserved	Stick Parity	TX Holding Register	Bit 5	Bit 5
6	Data Bit 6	Data Bit 6	0	FIFO Enabled	RCVR Trigger(LS B)	Set Break	TX Empty	Bit 6	Bit 6
7	Data Bit 7	Data Bit 7	0	FIFO Enabled	RCVR Trigger(M SB)	Divisor Latch Access Bit	Error in RCVR FIFO	Bit 7	Bit 7
* ULCON[7](Divisor Latch Access Bit) = DLAB * FIFO Control Register : (DLAB = 0) Register Write, (DLAB = 1) Register Read * Address 10(30), 18(38), 1C(3C)는 16550 UART 표준과의 호환성을 위해 Skip 되었다.									

표 3-23 Register Table of UART

3.20.1 UART Channel 0~3 Receiver Buffer Register (URB0 ~ URB3)

Address : FFE0 8000h / FFE0 8020h / FFE0 8040h / FFE0 8060h

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7: 0	R	Receive Data for UART0 ~3	00h

3.20.2 UART Channel 0~3 Transmitter Holding Register (UTH0 ~ UTH3)

Address : FFE0 8000h / FFE0 8020h / FFE0 8040h / FFE0 8060h

Bit	R/W	Description	Default Value
31: 8	W	Reserved.	-
7: 0	W	Transmit Data for UART0 ~ 3	

3.20.3 UART Channel 0~3 Interrupt Enable Register (UIE0 ~ UIE3)

Address : FFE0 8004h / FFE0 8024h / FFE0 8044h / FFE0 8064h

Bit	R/W	Description	Default Value
31: 3	R	Reserved.	-
2	R/W	Enable Receiver Line Status Interrupt(ERLSI) 0 : Disable 1 : Enable	0b
1	R/W	Enable Transmitter Holding Register Empty Interrupt(ETHREI) 0 : Disable 1 : Enable	0b
0	R/W	Enable Received Data Available Interrupt(ERDAI) 0 : Disable 1 : Enable	0b

3.20.4 UART Channel 0~3 Interrupt Identification Register (UII0 ~ UII3)

Address : FFE0 8008h / FFE0 8028h / FFE0 8048h / FFE0 8068h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 6	R	FIFO Enabled : Always zero if not in FIFO mode	00b
5 : 4	R	Reserved	-
3 : 1	R	Interrupt ID (Note Table 3, Interrupt Control Function)	000b
0	R	Interrupt Pending : When this bit is a logic 1, no interrupt is pending	1b

Interrupt Identification Register				Priority Level	Interrupt Type	Interrupt Source	Interrupt Reset Condition
Bit 3	Bit 2	Bit 1	Bit 0				
0	0	0	1	-	None	None	-
0	1	1	0	Highest	Receiver Line Status	Overrun Error or Parity Error Framing Error or Break Interrupt	Reading the Line Status Register
0	1	0	0	Second	Received Data Available	Receiver Data Available or Trigger Level Reached	Reading the Receiver Buffer Register or the FIFO Drops Below the Trigger Level
1	1	0	0	Second	Character Timeout Indication	No Characters have been removed from or input to the RCVR FIFO during the last 4 Char. times, and there is at least 1 Char. in it during this Time	Reading the Receiver Buffer Register
0	0	1	0	Third	Transmitter Holding Register Empty	Transmitter Holding Register Empty	Reading the IIR Register (if source of interrupt) or Writing into the Transmitter Holding Register

표 3-24 UART Interrupt Control Function

3.20.5 UART Channel 0~3 FIFO Control Register (UFCON0 ~ UFCON3)

Address : FFE0 8008h / FFE0 8028h / FFE0 8048h / FFE0 8068h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 6	R/W	Receiver FIFO Trigger Level(RFTL) 00 : 01 Byte 01 : 04 Byte 10 : 08 Byte 11 : 14 Byte	00b
5 : 3	R	Reserved	-
2	R/W	XMIT FIFO Reset(XFR) : XFR가 “1” 일 때, XMIT FIFO 내의 모든 데이터는 Reset 된다. 그러나 Shift Register 내의 데이터는 Reset 되지 않는다. : XFR에 “1”을 설정했을 때 XFR은 self-clearing 된다.	0b
1	R/W	RCVR FIFO Reset(RFR) : RFR가 “1” 일 때, RCVR FIFO 내의 모든 데이터는 Reset 된다, 그러나 Shift Register 내의 데이터는 Reset 되지 않는다. : RFR에 “1”을 설정했을 때 RFR은 self-clearing 된다.	0b
0	R/W	FIFO Enable : Bit “1”이 설정되면 XMIT와 RCVR FIFO 모두 Enable된다. 0 : 16450 UART Mode 1 : Enables FIFO	0b

ULCON[7](Divisor Latch Access Bit) = DLAB

FIFO Control Register : (DLAB = 0) Register Write, (DLAB = 1) Register Read

3.20.6 UART Channel 0~3 Line Control Register (ULCON0 ~ULCON3)

Address : FFE0 800Ch / FFE0 802Ch / FFE0 804Ch / FFE0 806Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	R/W	Divisor Latch Access Bit(DLAB) : DLAB이 “1” 일 때, Divisor Latch Registers의 Read/Write와 FIFO Control Register의 Read가 가능하다.	0b
6	R/W	Set Break(SB) : SB가 “1” 일 때, Serial Data Output에 Logic “0”이 출력된다. SB는 내부 Transmitter Logic에는 영향을 미치지 않으며, 단지 Serial Output에만 영향을 미친다.	0b
5	R/W	Stick Parity(SP) 0 : Disables Stick Parity 1 : PEN, EPS, SP가 “1”일 때, Parity Bit “0” PEN, SP가 “1”이고, EPS가 “0” 일 때, Parity Bit “1”	0b
4	R/W	Even Parity Select(EPS) 0 : Select Odd Parity 1 : Select Even Parity	0b
3	R/W	Parity Enable(PEN) 0 : Disables Parity 1 : Enables Parity	0b
2	R/W	Number of Stop Bits(STB) 0 : 1 Stop bit 1 : 2 Stop bits(만약, WLS Bit에서 5 Bits/Character를 선택했다면, 1.5 Stop bits 을 갖는다.)	0b
1 : 0	R/W	Word Length Select(WLS) 00 : 5 Bits/Character 01 : 6 Bits/Character 10 : 7 Bits/Character 11 : 8 Bits/Character	00b

3.20.7 UART Channel 0~3 Line Status Register (ULSTAT0 ~ ULSTAT3)

Address : FFE0 8014h / FFE0 8034h / FFE0 8054h / FFE0 8074h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	R	Error in RCVR FIFO(EIRF) : FIFO 모드가 아닌 경우 EIRF는 항상 “0”이다. FIFO 모드에서 EIRF는 RCVR FIFO 내에서 OE, PE, FE, BI 중 어느 하나라도 “1”이 설정되면, “1”이 된다. EIRF는 만약 FIFO 내에 연속적인 에러가 없다면, LSR 레지스터를 읽었을 때 Clear(“0”)된다.	0b
6	R	Transmitter Empty(TEMT) : FIFO 모드가 아닌 경우 TEMT는 Transmitter Holding Register (THR)와 Transmitter Shift Register(TSR)이 모두 Empty일 때 “1”이 된다. THR 또는 TSR에 데이터가 있으면 Clear된다. FIFO 모드에서는, TEMT는 Transmitter FIFO와 TSR이 모두 Empty일 때 “1”이 된다.	1b
5	R	Transmitter Holding Register Empty(THRE) : FIFO 모드가 아닌 경우 THRE는 THR의 데이터가 TSR로 전송 되어 Empty가 되었을 때 “1”이 되며, THR에 전송을 위한 새로운 데이터를 쓸 수 있다. FIFO 모드에서는 Transmit FIFO가 Empty일 때 THRE가 “1”이 되며, 적어도 하나의 Byte라도 Transmit FIFO에 써지면 Clear된다. 만약 THRE interrupt(ETHREI)가 “1”이고 THRE가 “1”이라면 Interrupt가 발생한다.	1b
4	R	Break Interrupt(BI) : 수신되는 입력 데이터가 Full-word 전송 시간 동안 “0”일 때 BI는 “1”이 된다. Full-word 전송 시간은 Start, Data, Parity 그리고 Stop 비트 전송을 위한 전체 시간을 의미한다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용되며, BI가 발생했을 때 FIFO에는 “0”이 써진다. CPU가 LSR을 읽어 올 때 Clear 된다.	0b
3	R	Framing Error(FE) : FE는 수신되는 입력 데이터가 유효한 Stop 비트를 가지지 않았을 때 “1”이 된다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용된다. CPU가 LSR을 읽어 올 때 Clear 된다.	0b
2	R	Parity Error(PE) : PE는 수신되는 입력 데이터가 LCR 레지스터에 의해 선택된 Parity 비트와 같지 않을 때 “1”이 된다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용된다. CPU가 LSR을 읽어 올 때 Clear 된다.	0b
1	R	Overrun Error(OE) : OE는, FIFO 모드가 아닌 경우, RBR 내의 데이터를 읽어가기 전에 새로운 데이터가 써진 경우 “1”이 된다. FIFO 모드에서는 FIFO가 Full 상태에서 Receiver Shift Register(RSR)에 새로운 Full-word가 들어왔을 때 “1”이 된다. 이 경우 RSR은 새로운 데이터로 계속 갱신이 되지만, FIFO로 전송은 되지 않는다. CPU가 LSR을 읽어 올 때 Clear 된다.	0b
0	R	Data Ready(DR) : DR은 수신된 데이터가 RBR 또는 FIFO에 써졌을 때 “1”이 된다. RBR 또는 FIFO 내의 모든 데이터가 CPU에 의해 읽혀졌을 때 Clear된다.	0b

3.20.8 UART Channel 0~3 Divisor Latch LSB Register (UDLL0 ~ UDLL3)

Address : FFE0 8000h / FFE0 8020h / FFE0 8040h / FFE0 8060h

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	R/W	Divisor Latch Least Significant Byte	00h

ULCON[7](Divisor Latch Access Bit)이 “1” 일 때 Access 가능하다.

3.20.9 UART Channel 0~3 Divisor Latch MSB Register (UDLM0 ~ UDLM3)

Address : FFE0 8004h / FFE0 8024h / FFE0 8044h / FFE0 8064h

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	R/W	Divisor Latch Most Significant Byte	00h

ULCON[7](Divisor Latch Access Bit)이 “1” 일 때 Access 가능하다.

TX/RX Baud Rate은 아래 식으로 계산된다.

$$\text{Baud Rate} = \frac{\text{APB Clock}}{\text{Divisor Latch Value} \times 16}$$

아래 표는 APB Clock이 50MHz일 때 TX/RX Baud Rate 계산식에 따른 UDLLn, UDLMn Register 설정 값이다.

Baud Rate	UDLMn, UDLLn[15:0]
1200	0A2Ch
2400	0516h
4800	028Bh
9600	0145h
14400	00D9h
19200	00A2h
38400	0051h
57600	0036h
115200	001Bh

표 3-25 UART Baud Rate Setting

3.20.10 Operation Sequence Flow

EAGLE의 16550 UART를 통해 데이터를 전송하기 위한 기본적인 제어 Flow는 다음과 같다

UART Initialization

- ① FIFO LEVEL설정 및 Interrupt 사용 연부와 같은 기본적인 전송환경을 설정하기 위해서 UFCR및 ULCR Register를 설정한다.
*UFCR및 ULCR은 User Dependent한 값이므로 사용하는 환경에 따라 적절한 값을 설정해야 한다.
- ② 원하는 전송 RATE으로 UDLL값을 설정한다.
- ③ ULCR의 7번째 BIT을 0으로 설정하여 UTH및 URB에 대한 Access가 가능하게 설정한다.
*16550 UART는 내부 레지스터의 주소를 공유하여 사용하며, 이에 대한 설정은 ULCR의 7번째 bit인 Divisor Latch Access Bit(DLAB)을 통하여 할 수 있다.(표 3-23 참조)

Data Transmission

- ① UART Initialization을 수행한다.
- ② ULSTAT의 Transmitter Empty(TEMT)및 Transmitter Holding Register Empty(THRE) bit을 check하여 데이터의 전송 여부를 판단한다.
*데이터 전송 시 FIFO의 사용 여부에 따라서 check하는 bit이 틀려지며 이에 대한 설정은 ULSTAT 레지스터의 설명을 참고
- ③ 전송이 가능하면 UTH에다가 전송할 데이터를 기입한다.

Data Reception

- ① UART Initialization을 수행한다.
- ② ULSR의 Data Ready(DR)를 Check하거나 interrupt를 Check하여 데이터가 수신되었는지를 확인한다.
*UART에서는 수신 시에 Error 상황이 발생할 수도 있다. 그러므로 상황에 따라서 ULSTAT의 Error에 관한 Bit들이나 Interrupt Mode에서는 UIIR을 Check하여 Error 상황에 대한 적절한 처리를 수행해야 한다.
- ③ 데이터가 수신되었으면 URBR을 읽어 수식된 데이터를 읽는다.

3.21 Key Scan

3.21.1 Description

EAGLE 에 내장된 Key Scan Controller는 최대 5x5의 Key 행렬 (Matrix)를 제어할 수 있다. 부가적으로 Scan 주기의 설정이 가능하며, 응용에 따라 Key Press Mode (Key를 누른 경우에 만 응답), Key Press & Release Mode (Key 누른 경우 떼는 경우 모두 응답) Mode의 설정이 가능하다.

3.21.2 Features

- Scan Mode. (Key press, Key press & release) 설정 기능.
- Scan Period 설정 기능.
- Key Value는 2진 또는 10진수로 표현 (Described as Binary or Decimal format.)

3.21.3 Block Diagram

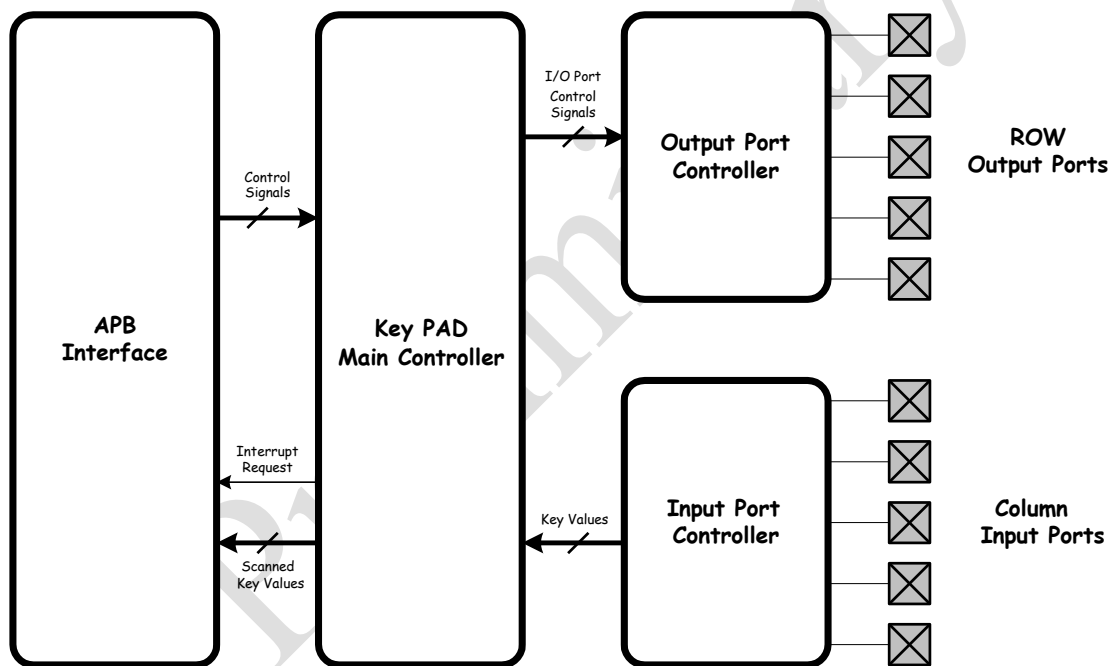


그림 3-39 Key Scan Block Diagram

3.21.4 Operational Descriptions

위의 그림에서 Main Controller는 설정된 Scan Clock 주기로 Scan 출력 제어신호를 생성하며, 입력되어진 Key 값을 판단하여, 정해진 Scan Mode 설정에 따라 interrupt를 발생시키게 한다.

3.21.5 Key Scan Control Register (KSCON)

Address : FFE0 8C00h

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	-
2	R/W	Scan Mode select bits 0: Key press mode 1: Key press & release mode	0b
1	R	Reserved	-
0	R/W	Scan Enable bit 1: Scan Enable. 0: Scan Disable.	0b

Control Register의 Scan Enable Bit은 Key-Pad Controller의 동작을 활성 / 비활성 시키게 한다.

활성 시키기 이전에 Scan Counter Register의 Divisor 값, Scan Mode 등을 먼저 Setting하여 안정적인 동작이 이뤄질 수 있도록 한다.

Control Register의 Scan Mode Selection Bits는 Scan Mode를 설정하게 한다.

Key Press Mode 설정할 경우 Key를 누르는 경우만 Key 값이 인식되며 인터럽트로 이를 알린다.

Key Press & Release Mode인 경우엔 Key를 누르는 경우와 떼는 경우 두 가지 경우에서 Key 값이 인식되며 마찬가지로 인터럽트를 발생하여 이를 알려준다.

3.21.6 Key Scan Counter Register (KSCNT)

Address : FFE0 8C04h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 0	R/W	Scan clock divide ratio setting bits.	FFFFh

Counter Register의 Scan Clock Divisor Register는 Scan 주기를 결정한다.

Scanning Frequency = APB Clock / { (Clock Divisor + 1) * 11 } (Hz)

3.21.7 Key Scan Data Register 1 (KSD1)

Address: FFE0 8C08h

Bit	R/W	Description	Default Value
31:25	R	Reserved	-
24: 0	R	Scanned Switch value (아래 표 참조)	00 0000h

이 레지스터는 5x5 Key Matrix에 있는 각 Switch의 상태를 저장하고 있는 레지스터이다. 비트 값이 1이면 Switch는 눌러진 상태이고 0이면 눌러지지 않은 상태를 나타낸다. 사용자는 인터럽트가 발생하였을 때 이 레지스터 값을 읽음으로써 현재 Switch의 상태를 알 수 있다. (레지스터 값은 인터럽트 발생시에만 새로 갱신된다.)

Bit	Switch	Bit	Switch	Bit	Switch	Bit	Switch	Bit	Switch
24	SW44	19	SW34	14	SW24	9	SW14	4	SW04
23	SW43	18	SW33	13	SW23	8	SW13	3	SW03
22	SW42	17	SW32	12	SW22	7	SW12	2	SW02
21	SW41	16	SW31	11	SW21	6	SW11	1	SW01
20	SW40	15	SW30	10	SW20	5	SW10	0	SW00

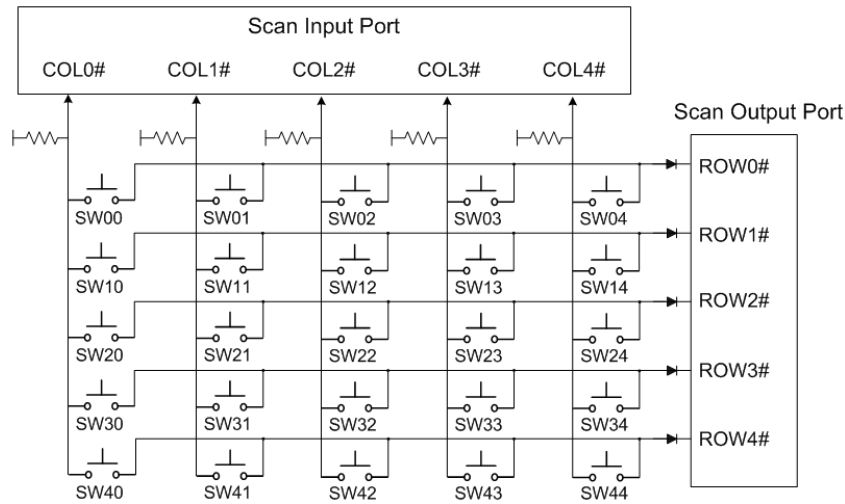


그림 3-40 5x5 Key Matrix

그림 3-40에서 유의할 점은 Scan output port 에 연결된 다이오드이다. 만약 다이오드가 없으면 같은 열(column)의 Switch를 두 개 이상 눌렀을 때 Key값을 인식하지 못하게 되므로 주의한다.

그림3-41은 Scan Mode 설정에 따른 인터럽트의 발생위치와 레지스터 값의 변화를 보여주고 있다.

Key Press Mode 인 경우 스위치를 누를 때만 인터럽트가 발생하며 그때 Key Scan Data Register 값이 새로 갱신되고, Key Press & Release Mode 인 경우 스위치를 누를 때와 펠 때에 인터럽트를 발생시키며 그때 Key Scan Data Register 값이 갱신됨을 보여 주고 있다.

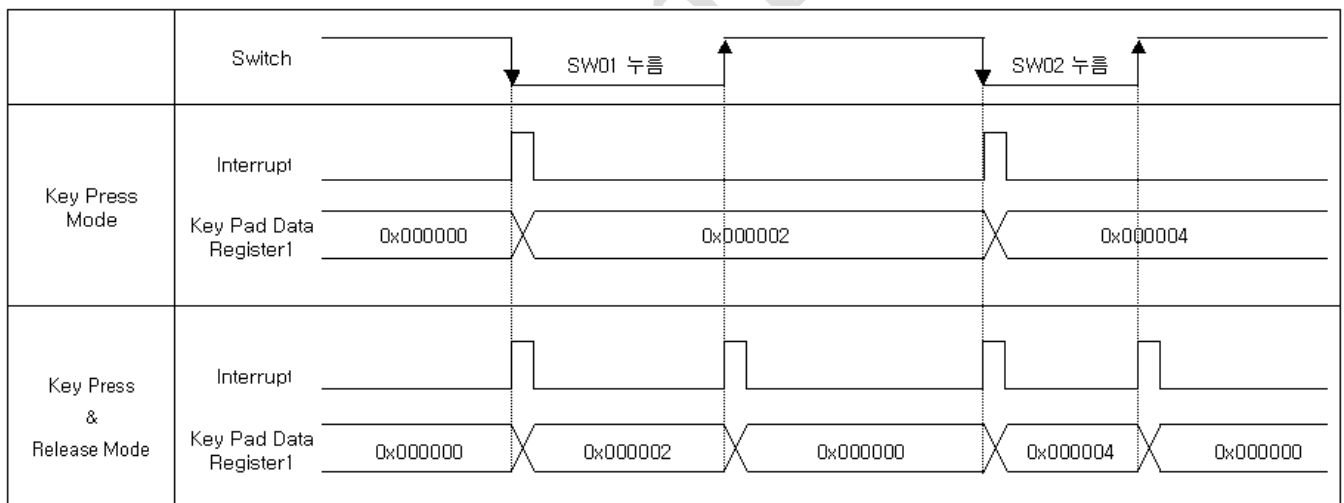


그림 3-41 Key Scan Time Diagram

3.21.8 Key Scan Data Register 2 (KSD2)

Address: FFE0 8C0Ch

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4:0	R	Scanned Switch value (Represented as Decimal Value)	

이 Register는 Register 1의 값을 십진법으로 표현하게 된다.

예를 들어 Switch04는 4'b0101로 표현하게 된다.

만일 2개 이상의 Key가 눌러졌다면 이 Register의 값은 “0”으로 Setting 된다.

3.22 I2S with ADPCM

3.22.1 Features

I2S with ADPCM은 외부 8 / 16-bit stereo audio CODEC IC의 CODEC interface를 통해 audio 출력이 가능하다.

1. I2S-bus, MSB-justified format.
2. ADPCM Engine (Encoding / Decoding).
3. 4-bit ADPCM, 8 / 16-bit linear PCM data.
4. 16, 32, 48, 64fs serial bit clock per channel. (fs : sampling frequency)
5. 256, 384, 512fs master clock.
6. Normal interrupt / DMA transfer mode.
7. 128-byte FIFO for transmits and receives.

3.22.2 Block Diagram

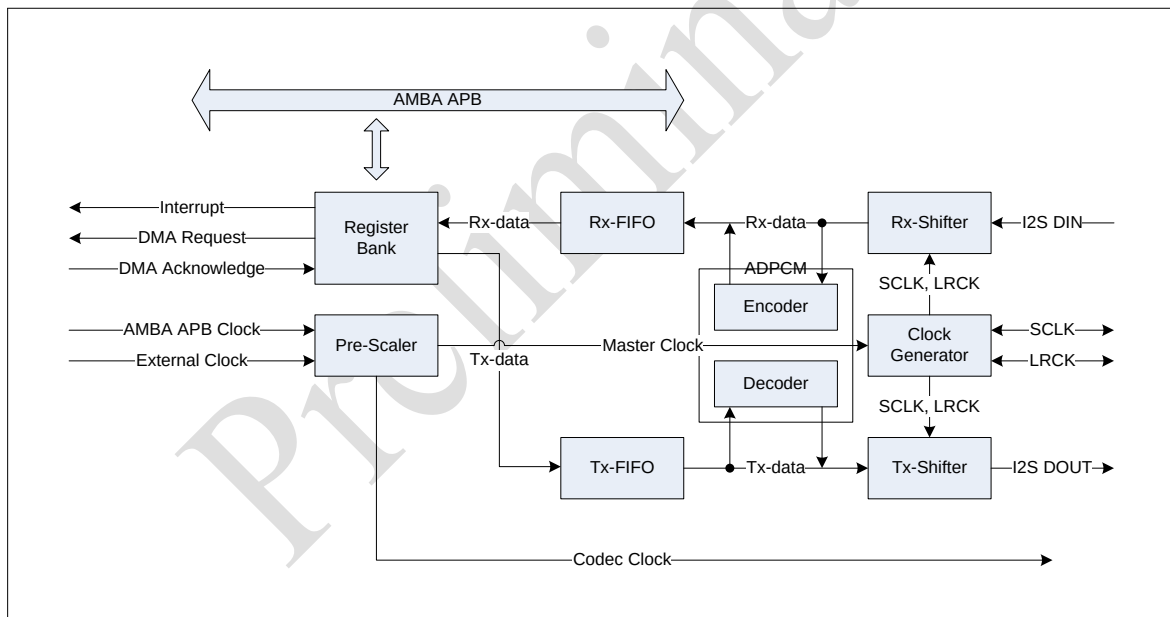


그림 3-42 I2S with ADPCM Block Diagram

3.22.3 Register Map

3.22.3.1 I2S Control Register (I2SCON)

I2S의 동작방법을 설정하는 레지스터이다.

Address: FFE0 9400h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	Transmit access mode 0 : Normal / Interrupt 1 : DMA	0b
6	R/W	Receive access mode 0 : Normal / Interrupt 1 : DMA	0b
5	R/W	Transmit interrupt active 0 : Disable 1 : Enable	0b
4	R/W	Receive interrupt active 0 : Disable 1 : Enable	0b
3	R/W	Transmit pause active 0 : Disable 1 : Enable	0b
2 : 1	R	Reserved	-
0	R/W	I2S Enable / Disable 0 : Disable (Stop) 1 : Enable (Start)	0b

- Transmit / Receive access mode select는 data의 access방법을 설정하는 bit이다. Normal interrupt mode는 FIFO의 data count를 보고 Polling으로 값을 Read / Write할 수 있고 Interrupt Signal을 이용하여 Half level를 보고 16개(FIFO의 반)씩 채워 넣을 수 있다. 이때, Interrupt Signal은 Tx인 경우 FIFO의 반 이하, Rx인 경우 FIFO의 반 이상일 때 항상 '1'(High)이 되며 Interrupt Controller에서 Level Trigger로 설정하면 된다. 또한, DMA mode으로 설정할 경우, GDMA에 의해 FIFO의 값을 Read / Write한다. 이 또한, FIFO의 반에서 Request가 일어나는데 GDMA설정 시 한번의 전송에서 16-bit size로 16-beat increment burst로 하면 된다.
- Transmit / Receive interrupt active는 access mode의 결정에 따라 interrupt enable, 혹은 DMA request enable신호가 된다.
- Transmit pause active는 Tx의 Pause기능 bit이다. 이 bit를 설정할 경우, FIFO에서 Read / Write의 동작을 멈춘다. 시점은 Left / Right 동작을 한 이후에 멈추며, Pause가 끝나고 시작될 때 역시, Left를 먼저 시작한다.
- (Receive의 pause active bit가 없으므로 Receive interrupt active bit를 원하는 시간 만큼 Disable하여 Pause 기능을 수행할 수 있다.)
- I2S Enable / Disable은 I2S의 Start / Stop을 설정하는 bit이다. Enable를 하게 되면 동작에 필요한 LRCK와 SCLK를 발생 시키며 항상 Left channel에서 시작된다.

3.22.3.2 I2S Mode Register (I2SMOD)

I2S의 Mode를 설정하는 레지스터이다.

Address: FFE0 9404h

Bit	R/W	Description	Default Value
31 : 14	R	Reserved	-
13	R/W	Endian (for 32-bit) 0 : Little Endian 1 : Big Endian	0b
12	R/W	Endian (for 16-bit) 0 : Little Endian 1 : Big Endian	0b
11	R/W	Active level of left / right channel 0 : High for left channel (Low for right channel) 1 : Low for left channel (High for right channel)	0b
10	R/W	Reserved	-
9 : 8	R/W	Transfer mode(FIFO enable) 00 : No transfer (Tx, Rx – Off) 01 : Receive (Tx – Off, Rx – On) 10 : Transmit (Tx – On, Rx – Off) 11 : Transmit and receive (Tx, Rx – On)	0h
7 : 6	R/W	Quantization mode 00 : Not used 01 : 4-bit ADPCM 10 : 8-bit linear PCM 11 : 16-bit linear PC	0h
5	R/W	Stereo mode 0 : Mono 1 : Stereo	0b
4	R/W	Serial interface format 0 : I2S-bus format 1 : MSB(Left)-justified format	0b
3 : 2	R/W	Master clock frequency 00 : 256fs 01 : 384fs 10 : 512fs 11 : Not used	0h
1 : 0	R/W	Serial bit clock frequency 00 : 16fs 01 : 32fs 10 : 48fs 11 : 64fs	0h

- ✚ Endian 비트는 I2SDATA Register를 Read / Write할 때, 32-bit 또는 16-bit의 Byte-Swap을 하는 bit이다.
- ✚ Active level of left / right channel 비트는 Left channel과 Right channel의 ‘High’와 ‘Low’를 결정하는 bit이다. 초기상태는 Left channel이 ‘High’이며, 이를 설정함으로써 ‘Low’로 설정할 수 있다.
- ✚ Transfer mode 비트는 I2S의 Transmission / Reception 동작을 설정하는 bit이다. 만약, 각각의 Transmission / Reception을 Off하면 해당 FIFO는 Clear된다.
- ✚ Quantization mode 비트는 Transmit / Receive data의 Quantization을 결정하는 bit이다.
- ✚ Stereo mode 비트는 Transmit / Receive data가 mono인지 stereo인지에 따라 설정하는 bit이다.
- ✚ Serial interface format, Master clock frequency select, Serial bit clock frequency select 비트는 Tx / Rx시 clocks과 data를 정의하는 bit이다.

3.22.3.3 I2S Pre-scaler Register (I2SPS)

I2S의 Pre-Scaler Value를 설정하는 레지스터이다.

Address: FFE0 9408h

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	-

4	R/W	Master clock select Selects the source clock used to create the master clock 0 : Source Clock is APB clock 1 : Source Clock is External codec clock	0b
3 : 0	R/W	Division Factor : 0 ~ 15 Generate master clock master clock = APB clock / (division factor + 1)	0h

- Master clock select 비트는 Master clock으로 APB clock을 사용할 것인지 external clock을 사용할 것인지를 결정하는 bit이다. 따라서 APB clock을 분주하여 사용하거나, External은 외부로부터 공급받아 사용해야 한다.
- Division Factor 비트는 APB clock을 Master clock source로 사용 시 설정하는 bit이다. 이를 설정함으로써 내부에서 사용되는 Master clock과 외부로 나가는 CODEC clock을 발생시킨다.

3.22.3.4 I2S Status Register (I2SSTAT)

I2S의 Status를 나타내는 레지스터이다.

Address: FFE0 940Ch

Bit	R/W	Description	Default Value
31 : 21	R	Reserved	-
20	R	Left / Right channel index (Read Only) When Active level of left / right channel bit is '0', 0 : Right 1 : Left	0b
19	R	Transmit FIFO half level status(Read only) 0 : more than half 1 : less than half	0b
18	R	Receive FIFO half level status (Read only) 0 : less than half 1 : more than half	0b
17	R	Transmit FIFO ready flag (Read only) 0 : Not ready (empty) 1 : Ready (not empty)	0b
16	R	Receive FIFO ready flag (Read only) 0 : Not ready (full) 1 : Ready (not full)	0b
15 : 8	R	Transmit FIFO data count (Read only) Data count value : 0 ~ 16	0h
7 : 0	R	Receive FIFO data count (Read only) Data count value : 0 ~ 16	0h

- Left / Right channel index는 현재 출력되는 LRCK의 상태를 나타내는 bit이다. Default에서 초기 출력은 항상 Left가 먼저 시작되며, 값은 '1'(High)이다.
- Transmit / Receive FIFO half level status는 Tx / Rx의 FIFO 'Half'상태를 나타내는 bit이다. Tx인 경우 Half 이하일 때 'High'가 되며 Rx인 경우 Half 이상일 때 'High'가 된다. 따라서, Normal interrupt mode일 때, 이 bit를 보고 FIFO를 Write / Read를 할 수 있다.
- Transmit / Receive FIFO ready flag는 I2S Enable상태에서 각각의 FIFO가 준비되었는지를 나타내는 bit이다.
- Transmit / Receive FIFO data count 는 각각 FIFO의 level를 나타내는 비트이다.

3.22.3.5 I2S Data Register (I2SDATA)

Tx / Rx의 Data 레지스터이다.

Address: FFE0 9410h

Bit	R/W	Description	Default Value
31 : 0	R/W	I2S Data (Tx / Rx)	0h

3.22.4 Example for Register Set

3.22.4.1 To Start I2S operation

- 1) I2SPS를 설정한다.
- 2) I2SMOD로 Tx / Rx의 각각 해당 동작을 설정한다.
- 3) Transmit mode시 Tx FIFO에 Dummy value를 채우고, Receive mode시에는 Rx FIFO를 비운다.
- 4) I2SCON으로 interrupt / request를 Enable한다.
- 5) I2S를 Enable한다.

3.22.4.2 To End I2S operation

- 1) I2SCON으로 interrupt / request를 Disable한다.
- 2) I2S를 Disable한다. (만약, FIFO에 남아있는 Data를 Transmit / Receive하기 원한다면, I2SSTAT에서 FIFO Level이 '0'이 됨을 확인한 후에 I2S를 Disable한다.)
- 3) I2SMOD를 Clear한다.

3.22.5 Audio Serial Interface Format

3.22.5.1 I2S-bus format

I2S bus는 I2S-bus format과 MSB(Left)-justified format을 지원하며, serial data input (I2SDIN), serial data output (I2SDOUT), left / right channel (LRCK), 그리고 serial bit clock (SCLK)의 4개 라인으로 구성된다. 아래 그림에서 보는 바와 같이 I2S-bus format은 LRCK edge에서 SCLK의 한 클럭 뒤부터 MSB가 시작되며, SCLK는 Left / Right의 각각 한 channel 동안 16 / 32 / 48 / 64 주기를 갖는다. Transmitter로 보내는 serial data는 SCLK의 trailing (High to Low), 혹은 leading (Low to High) edge에 동기화되지만 Receiver는 leading edge에서 data를 latch한다. 따라서 Transmitter는 trailing edge로 data를 보내는 게 일반적이다.

3.22.5.2 MSB(Left)-justified format

MSB(left)-justified format은 LRCK edge의 바로 뒤부터 MSB가 시작되는 것을 제외하고는 I2S-bus format과 동일한 format을 갖는다.

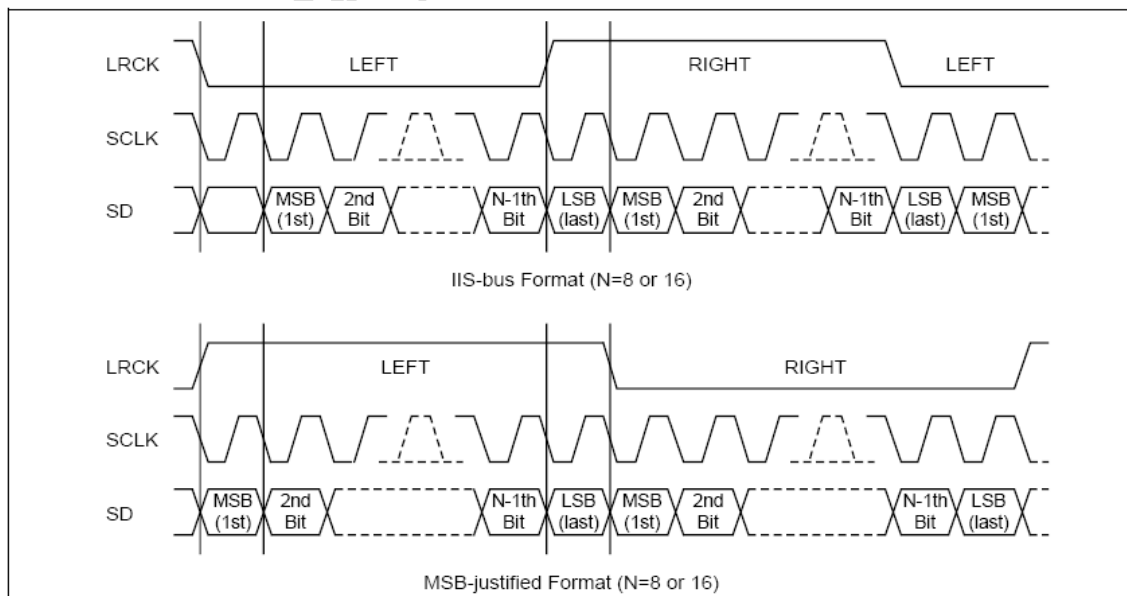


그림 3-43 I2S-bus and MSB(Left)-justified format

3.22.6 Sampling Frequency and Master Clock

3.22.6.1 CODEC Clock

아래 표는 Master clock (CODEC clock)과 LRCK frequency의 관계를 나타낸다.

LRCK (fs)	8.000 kHz	11.025 kHz	16.000 kHz	22.050 kHz	32.000 kHz	44.100 kHz	48.000 kHz	64.000 kHz	88.200 kHz	96.000 kHz
CODEC Clock (MHz)	256fs									
	2.0480	2.8224	4.0960	5.6448	8.1920	11.2896	12.2880	16.3840	22.5792	24.5760
	384fs									
	3.0720	4.2336	6.1440	8.4672	12.2880	16.9344	18.4320	24.5760	33.8688	36.8640
	512fs									
	4.096	5.6448	8.1920	11.2896	16.3840	22.5792	24.5760	32.7680	45.1584	49.1520

표 3-26 Sampling frequency and CODEC clock

3.22.6.2 Serial bit clock frequency

아래 표는 Master clock (CODEC clock)과 SCLK frequency의 관계를 나타낸다.

Serial bit per channel	8-bit	16-bit
CLOCK	Serial clock frequency (SCLK)	
256fs	16fs, 32fs, 64fs	32fs, 64fs
384fs	16fs, 32fs, 48fs, 64fs	32fs, 48fs, 64fs
512fs	16fs, 32fs, 64fs	32fs, 64fs

표 3-27 Sampling frequency and serial bit clock

3.23 USB Device

Eagle에 내장된 USB Device Controller는 2.0 Full-speed(12Mbps)를 지원하며, 5개의 endpoint으로 구성되어 있다.

Bulk 와 Interrupt 전송방식을 지원한다. 하드웨어적으로 USB 프로토콜을 지원하며, 자동적인 data retry, data toggle 그리고 power management 기능(suspend와 resume)을 지원한다. 내부에 PHY 가 포함 되어 있다.

3.23.1 Features

- USB 2.0 Full Speed
- 5 개의 Endpoint 지원(표 3-28 참조)
- 하드웨어적으로 USB 프로토콜 지원
- Suspend와 Resume signaling 지원
- 내부 PHY 가 내장

Endpoint	Max Size (bytes)	Direction	Transaction Type
0	16	IN/OUT	Control
1	64	OUT	Bulk
2	64	IN	Bulk
3	16	OUT	Interrupt
4	16	IN	Interrupt

표 3-28 Endpoint List

3.23.2 USB Register Summary

Register	Offset Address	R/W	Description	Default Value
USBFAR	0xFFE0_9800	R/W	Function address register	00h
USBPM	0xFFE0_9804	R/W	Power management register	00h
USBEP1	0xFFE0_9808	R/W	Endpoint interrupt register	00h
USBINT	0xFFE0_9810	R/W	USB interrupt register	00h
USBEP1EN	0xFFE0_9814	R/W	Endpoint interrupt enable register	1Fh
USBINTEN	0xFFE0_9818	R/W	USB interrupt enable register	04h
USBLBFN	0xFFE0_981C	R	Frame number1 register	00h
USBHBFN	0xFFE0_9820	R	Frame number2 register	00h
USBIND	0xFFE0_9824	R/W	Index register	00h
USBMP	0xFFE0_9828	R/W	MAXP register	00h
USBEP0CON	0xFFE0_982C	R/W	EP0 control register	00h
USBICON1	0xFFE0_982C	R/W	EP2, 4 IN Control register1	00h
USBICON2	0xFFE0_9830	R/W	EP2, 4 IN Control register2	00h
USBOCON1	0xFFE0_9838	R/W	EP1, 3 OUT Control register 1	00h
USBOCON2	0xFFE0_983C	R/W	EP1, 3 OUT Control register 2	00h
USBLBOWC	0xFFE0_9840	R	Low Byte OEP Write count register	00h
USBHBOWC	0xFFE0_9844	R	High Byte OEP write count register	00h
USBEP0D	0xFFE0_9848	R/W	EP0 FIFO data register	00h
USBEP1D	0xFFE0_984C	R/W	EP1 FIFO data register	00h
USBEP2D	0xFFE0_9850	R/W	EP2 FIFO data register	00h
USBEP3D	0xFFE0_9854	R/W	EP3 FIFO data register	00h
USBEP4D	0xFFE0_9858	R/W	EP4 FIFO data register	00h

표 3-29 USB Core Register List

USB Function Address Register (USBFA)

USBFA 레지스터에는 호스트에 의해 할당된 USB 디바이스 주소가 저장된다. MCU는 SET_ADDRESS request를 통해 받은 값을 이 레지스터에 저장한다. 이 값은 다음 token packet부터 device를 식별하기 위한 주소로 사용된다.

USB Power Management Register (USBPM)

USBPM 레지스터는 Suspend, Resume 그리고 reset 신호를 위해 사용된다. Suspend와 Reset 상태는 USB_INTERRUPT Register에 저장된다.

USB Interrupt Registers (USBEP1, USBINT)

USB Host의 요청상태와 각 Endpoint 의 상태와 알려준다.

USB Interrupt Enable Registers (USBEP1EN, USBINTEN)

각 Endpoint의 인터럽트를 Enable 한다. 대부분의 인터럽트는 초기값이 Enable상태이나, Suspend 인터럽트는 Disable 이다.

Frame Number Registers (USBLBFN, USBHBFN)

Frame 패킷의 끝에서 frame 번호를 저장한다.

Index Register (USBIND)

인덱스 레지스터는 각각의 endpoint에 해당하는 컨트롤 레지스터를 선택할 때 사용한다.

MAXP Register (USBMP)

8byte 배수 단위로 사용할 FIFO 크기를 조절할 수 있다. 그러나 각 Endpoint 에서 지원하는 최대 FIFO 사이즈보다 크지는 설정 할 수 없다.

EP0 Control Register (USBEP0CON)

Endpoint 0를 제어하고, 상태를 나타낸다.

IN Control Registers (USBICON1, USBICON2)

IN Endpoint를 제어하고, 상태를 나타낸다.

Out Control Registers (USBOCON1, USBOCON2)

Out Endpoint를 제어하고, 상태를 나타낸다.

Out Write Count Registers (USBLBOWC, USBHBOWC)

두 개의 레지스터로 이루어져 write count 값을 가진다. OUT endpoint(USBOCON1 register)에서 OCOPR 비트가 set되면, 이 레지스터에는 MCU가 가져간 packet의 수를 가지고 있다.

Endpoint FIFO Access Registers (USBEP0D, USBEP1D, USBEP2D, USBEP3D, USBEP4D)

FIFO에 접근하기 위한 register이다.

3.23.3 USB Control Registers

3.23.3.1 USB Function Address Register (USBFA)

Address : 0xFFE0_9800h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	-
7	R/W	R/ Clear	ADDUP : ADDR_UPDATE bit. Function 주소가 업데이트 되면 MCU 가 이 비트를 1로 설정한다. Endpoint 0 CSR의 DATA_END 비트를 clear에 의해 알 수 있는 제어 전송의 status 단계 이후에 FUNCTION_ADDR 부분은 사용된다.	0b
6 : 0	R/W	R	FUNADD : FUNCTION_ADDR bit. MCU가 주소를 여기에 write 한다.	00h

3.23.3.2 USB Power Management Register (USBPM)

Address : 0xFFE0_9804h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 4	R		Reserved	-
3	R	Set	UBRST : USB_RESET bit. 호스트로부터 Reset 신호를 받으면 USB가 이 비트를 설정한다. Reset 신호가 버스상에서 유지되는 한 ,이 비트는 set 상태를 유지한다.	0b
2	R/W	R	UBRSUM : USB_RESUME bit. Resume 신호를 초기화 하기 위해 MCU가 10ms (최대 15ms) 동안 이 비트를 설정한다. Suspend 모드에서 이 비트가 설정되어 있는 동안 USB 가 Resume 신호를 발생한다.	0b
1	R	R/W	UBSPDMOD : SUSPEND_MODE bit. Suspend모드로 들어가게 되면 USB 가 이 비트를 설정한다. 다음 조건에 의해 clear 가 된다. -Resume 신호를 끝내기 위해서 MCU가 USB_RESUME bit를 clear 하는 경우 -호스트로부터 resume 신호를 받은 경우	0b
0	R/W	R	UBENSPD : ENABLE_SUSPEND bit = 1 Enable Suspend mode = 0 Disable Suspend mode (Default) 이 비트가 zero 이면, 디바이스는 suspend 모드 상태로 들어가지 않는다.	0b

3.23.3.3 Endpoint Interrupt Register (USBEP1)

Address : 0xFFE0_9808h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 5	R		Reserved	-
4	R/ Clear	Set	EP4INT : EP4 Interrupt bit. (Interrupt in mode) 이 비트는 endpoint4 인터럽트에 해당된다. (USBICON1, USBICON2 의 bit 참고) - ICIPR(In Control 1 In Packet Ready bit) 비트가 clear 될 때 - FIFO가 flush 되었을 때 - ICSTSTAL(In Control 1 Sent Stall bit) 비트가 set 되었을 경우에	0b
3	R/ Clear	Set	EP3INT : EP3 Interrupt bit. (Interrupt out mode) 이 비트는 endpoint3 인터럽트에 해당된다. (USBOCON1, USBOCON2 의 bit 참고) - OCOPR(Out Control 1 Out Packet Ready bit) 비트를 set 할 때 - OCSTSTAL(Out Control 1 Sent Stall bit) 비트를 set 할 때	0b
2	R/ Clear	Set	EP2INT : EP2 Interrupt bit. (Bulk in mode) 이 비트는 endpoint2 인터럽트에 해당된다. (USBICON1, USBICON2 의 bit 참고) - ICIPR(In Control 1 In Packet Ready bit) 비트가 clear 될 때 - FIFO가 flush 되었을 때 - ICSTSTAL(In Control 1 Sent Stall bit) 비트가 set 되었을 경우에	0b
1	R/ Clear	Set	EP1INT : EP1 Interrupt bit. (Bulk out mode) 이 비트는 endpoint1 인터럽트에 해당된다. (USBOCON1, USBOCON2 의 bit 참고) - OCOPR(Out Control 1 Out Packet Ready bit) 비트를 set 할 때 - OCSTSTAL(Out Control 1 Sent Stall bit) 비트를 set 할 때	0b
0	R/ Clear	Set	EP0INT : EP0 Interrupt bit. (Control mode) 이 비트는 endpoint0 인터럽트에 해당된다. (USBEP0CON 의 bit 참고) 1. EP0OPR bit is set. 2. EP0IPR bit is cleared 3. EP0STSTAL bit is set 4. EP0STED bit is set 5. EP0DED bit is cleared(Indicates End of control transfer)	0b

3.23.3.4 USB Interrupt Register (USBINT)

Address : 0xFFE0_9810h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 3	R		Reserved	-
2	R/ Clear	Set	RSTINT : USB Reset Interrupt bit. Reset신호가 입력되면 USB가 이 비트를 set 한다.	0b
1	R/ Clear	Set	RSUMINT : Resume Interrupt bit. Suspend 모드 상태에서 Resume신호를 받으면 USB가 이 비트를 set한다. USB Reset에 의한 Resume 이면, Resume 인터럽트에 의해 MCU에 먼저 인터럽트가 걸린다. 일단 Clock이 다시 동작하고 SE0 상태가 3ms 동안 지속되면, USB Reset 인터럽트가 발생한다..	0b
0	R/ Clear	Set	SPDINT : Suspend Interrupt bit Suspend 신호를 수신하면 USB는 이 비트를 set 한다. 버스상에서 3ms 동안 아무런 동작이 이루어지지 않으면 이 비트는 set 된다. 그래서 MCU가 첫 번째 suspend 인터럽트 이후에 Clock을 멈추지 않으면, USB 버스상에서 아무런 동작이 이루어지지 않는 한 매 3ms 마다 인터럽트가 계속 발생한다. 디폴트로 이 인터럽트는 disable 이다.	0b

3.23.3.5 Endpoint Interrupt Enable Register (USBEP1EN)

Address : 0xFFE0_9814h

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	-
4	R/W	EP4INTEN : Endpoint 4 Interrupt enable bit	1b
3	R/W	EP3INTEN : Endpoint 3 Interrupt enable bit	1b
2	R/W	EP2INTEN : Endpoint 2 Interrupt enable bit	1b
1	R/W	EP1INTEN : Endpoint 1 Interrupt enable bit	1b
0	R/W	EP0INTEN : Endpoint 0 Interrupt enable bit	1b

3.23.3.6 USB Interrupt Enable Register (USBINTEN)

Address : 0xFFE0_9818h

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	-
2	R/W	RSTINTEN : USB RESET Interrupt enable bit	1b
1	R	Reserved	-
0	R/W	SPDINTEN : SUSPEND Interrupt enable bit	0b

3.23.3.7 USB Low Byte Frame Number Register (USBLBFN)

Address : 0xFFE0_981Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	Frame Number 1 register	00h

3.23.3.8 USB High Byte Frame Number Register (USBHBFN)

Address : 0xFFE0_9820h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	Frame Number 2 register	00h

3.23.3.9 USB Index Register (USBIND)

Address : 0xFFE0_9824h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	Index register	00h

3.23.3.10 USB MAXP Register (USBMP)

Address : 0xFFE0_9828h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	Max FIFO Size 0000_0000 MAXP=8 0000_0010 MAXP=16 0000_0100 MAXP=32 0000_1000 MAXP=64	00h

3.23.3.11 USB EP0 Control Register (USBEP0CON)

Address : 0xFFE0_982Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	-
7	Clear		EP0SUEC : EP0 Set Up End Clear bit. MCU가 EP0STED 비트를 clear 하기 위해 1를 write 한다.	0b
6	Clear		EP0OPRC : EP0 Out Packet Ready Clear bit. MCU는 EP0OPR 비트를 clear하기 위해 이 비트에 1를 write 한다.	0b
5	Set	Clear	EP0SDSTAL : EP0 Send Stall bit. MCU는 잘못된 token이라고 인식되면, EP0OPR 비트를 clear와 동시에 이 비트를 set 한다. USB는 STALL handshake를 현재 컨트롤 전송에 발생시킨다. MCU는 STALL 상황을 끝내기 위해 0를 write 한다.	0b
4	R	Set	EP0STED : EP0 Setup End bit. 이 비트는 읽기 전용이다. EP0DED 비트가 set되기 전에 컨트롤 전송이 끝났을 때 USB가 이 비트를 set한다. USB가 이 비트를 set 할 때 MCU에 인터럽트가 전달된다. 이러한 상황이 발생했을 때 USB는 FIFO를 flush하고 MCU의 FIFO 접근을 무효화 한다. MCU의 FIFO 접근이 무효화 될 때 이 비트는 clear 된다.	0b
3	Set/R	Clear	EP0DED : EP0 Data End bit. MCU는 다음과 같은 상황에서 이 비트 set한다: - 마지막 데이터 패킷을 가져온 후 EP0OPR 비트를 clear 할 때 - Zero length data 구간에서 EP0OPR 비트를 clear 하고 EP0IPR 비트를 set 할 때 - MCU가 FIFO에 대한 패킷 데이터를 load한 후에 EP0IPR 비트를 set함과 동시에 이 비트(EP0DED)를 set 한다.	0b
2	Clear/R	Set	EP0STSTAL : Sent Stall bit. 프로토콜 오류로 컨트롤 transaction이 끝나면 USB가 이 비트 set 한다. 이 비트가 set 되면 인터럽트가 발생한다.	0b
1	Set/R	Clear	EP0IPR : EP0 In Packet Ready bit. MCU는 endpoint 0 FIFO에 데이터 패킷을 write 한 후에 이 비트를 set 한다. 데이터 패킷이 성공적으로 호스트에 전달 되면 USB가 이 비트를 clear 시킨다. USB가 이 비트를 clear 시키면 인터럽트가 발생한다. 그래서 MCU는 계속해서 다음 데이터를 load 할 수 있게 된다. Zero length data phase에서는 MCU는 동시에 이 비트(EP0IPR)와 EP0DED 비트를	0b

			set 한다.	
0	R	Set	EP0OPR : EP0 Out Packet Ready bit. 이 비트는 읽기 전용이다. 유효한 token이 FIFO에 쓰여지면 USB가 이 비트를 set 한다. USB가 set 하면 인터럽트가 발생한다. MCU는 EP0OPRC 비트에 1을 write 함으로써 이 비트를 clear 시킨다.	0b

3.23.3.12 USB IN Control 1 Register (USBICON1)

Address : 0xFFE0_982Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 7	R		Reserved	-
6	Set	R/Clear	ICCDT : In Control 1 Clear Data Toggle bit. MCU가 이 비트에 1을 write하면 data toggle 비트가 clear 된다. 이 비트는 쓰기 전용이다.	0b
5	R/Clear	Set	ICSTSTAL : In Control 1 Sent Stall bit. MCU가 ICSDSTAL 비트를 set 했기 때문에, IN token 에 STALL handshake를 발생된다. 이 때 USB 가 이 비트를 set 한다. USB 가 STALL handshake를 발생 시키면 ICIPR 비트는 clear된다. MCU 가 0를 write함으로써 이 비트를 clear 시킨다.	0b
4	R/W	R	ICSDSTAL : In Control 1 Send Stall bit. MCU가 USB에 STALL handshake를 발생시키기 위해 이 비트에 1을 write한다. STALL 상황을 끝내기 위해 MCU가 이 비트를 clear 한다.	0b
3	R/Set	Clear	ICFFLU : In Control 1 FIFO Flush bit. IN FIFO를 flush하고자 하면 MCU가 이 비트를 set 한다. FIFO가 flush가 되면 USB 에 의해 이 비트는 clear 된다. 이런 상황이 발생하면 MCU에 인터럽트가 걸린다. Token이 진행 중이라면, USB는 FIFO가 flush 되기 전에 전송이 완료 될 때까지 기다린다. 만약에 두 개의 패킷이 FIFO에 load되어 있으면, 가장 상위의 패킷(호스트로 보내려고 하는 것)만 flush이 되고 그 패킷에 관련 있는 ICIPR 비트가 clear 된다.	0b
2	R		Reserved	0b
1	R	Set	ICFNE : In Control 1 FIFO Not Empty bit. FIFO에 적어도 한 개의 데이터 패킷이 있음을 나타낸다. 0 : FIFO에 패킷이 없다. 1 : FIFO에 패킷이 있다.	0b
0	Set / R	Clear	ICIPR : In Control 1 In Packet Ready bit. FIFO에 데이터 패킷을 쓰고 난 뒤 MCU가 이 비트를 set 한다. 호스트로 데이터 패킷 전송이 성공적으로 끝나면 USB 는 이 비트를 clear 한다. 이 비트를 USB 가 clear 하면 인터럽트가 발생하고, MCU는 다음 패킷을 로드 할 수 있게 된다. 이 비트가 set 되어 있는 동안에는 MCU는 FIFO에 쓰기를 할 수 없다. MCU에 의해 ICSDSTAL 비트가 set 되면, 이 비트는 set 될 수 없다.	0b

3.23.3.13 USB IN Control 2 Register (USBICON2)

Address : 0xFFE0_9830h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	-
7	R/W	R	ICASET : In Control 2 Auto Set bit. 이 비트가 set 되어 있으면, MCU가 MAXP만큼의 데이터를 쓰기를 하면 자동적으로 ICIPR 비트가 set 된다. MAXP데이터 보다 적은 데이터를 쓸 경우는 MCU가 ICIPR 비트를 set 해줘야 한다.	0b
6	R		Reserved	0b
5	R/W	R	ICMODIN : In Control 2 Mode In bit. Endpoint의 방향을 프로그래머블할 수 있게끔 해준다. 1 = endpoint의 방향을 IN으로 설정된다. 0 = endpoint의 방향을 OUT으로 설정된다.	1b
4 : 0	R		Reserved	-

3.23.3.14 USB OUT Control Register 1 (USBOCON1)

Address : 0xFFE0_9838h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	-
7	R/W	R	OCCDT : Out Control 1 Clear Data Toggle bit. MCU가 이 비트에 1를 write하면, data toggle sequence 비트가 DATA0로 reset 된다.	0b
6	Clear/R	Set	OCSTSTAL : Out Control 1 Sent Stall bit. OUT token이 STALL handshake로 종료될 때 USB가 이 비트 set 한다. OUT Token에서 MAXP 데이터 보다 더 많은 데이터를 보낼 경우 USB가 host에 stall handshake를 발생시킨다. MCU가 0를 write하면 clear 된다.	0b
5	R/W	R	OCSDSTAL : Out Control 1 Send Stall bit. USB에 STALL handshake를 발생시키기 위해 MCU가 이 비트에 1를 write 한다. STALL 상황을 끝내기 위해 MCU가 이 비트에 0을 write 한다.	0b
4	R/W	Clear	OCFFLU : Out Control 1 FIFO Flush bit. MCU가 FIFO를 flush하기 위해 1를 write 하고 flush를 멈추기 위해 0을 write 한다. OCOPR 비트가 set되어 있는 동안만 이 비트가 set 될 수 있다. MCU가 가져간 데이터 패킷은 flush가 될 것이다.	0b
3	R	R/W	OCERR : Out Control 1 Data Error bit 전송 받은 데이터에 에러(bit stuffing 또는 CRC)가 있음을 나타낸다. OCOPR 비트가 clear될 때 자동적으로 clear 된다.	0b
2	R	R	Reserved	-
1	R	R/W	OCFFUL : Out Control 1 FIFO Full bit. 더 이상의 패킷을 수용할 수 없음을 나타낸다. 0 : FIFO에 패킷을 받을 수 있다. 1 : FIFO에 패킷을 받을 수 없다.	0b
0	R/ Clear	Set	OCOPR : Out Control 1 Out Packet Ready bit. FIFO에 데이터 패킷이 load가 되면 USB가 이 비트를 set 한다. MCU가 패킷 전체를 읽고 나면 이 비트는 MCU에 의해 clear 되어야 한다. MCU가 0을 write 함으로써 clear 된다.	0b

3.23.3.15 USB OUT Control Register 2 (USBOCON2)

Address : 0xFFE0_983Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	-
7	R/W	R	OCACLR : Out Control 2 Auto Clear bit. 이 비트가 set이면, MCU가 OUT FIFO에서 데이터를 읽을 때 마다 자동적으로 USB core에 의해 OCOPR 비트가 clear 된다.	0b
6 : 0	R		Reserved	-

3.23.3.16 USB Low Byte Out Write Count Register (USBLBOWC)

Address : 0xFFE0_9840h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	(LBOWC) Low Byte OEP write count register	00h

3.23.3.17 USB High Byte Out Write Count Register (USBHBOWC)

Address : 0xFFE0_9844h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	(HBOWC) High Byte OEP write count register	00h

3.23.3.18 EP0 FIFO Data Register (USBEP0D)

Address : 0xFFE0_9848h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP0 FIFO Data Register	00h

3.23.3.19 EP1 FIFO Data Register (USBEP1D)

Address : 0xFFE0_984Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP1 FIFO Data Register	00h

3.23.3.20 EP2 FIFO Data Register (USBEP2D)**Address : 0xFFE0_9850h**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 8	R	Reserved	-
7 : 0	R/W	EP2 FIFO Data Register	00h

3.23.3.21 EP3 FIFO Data Register (USBEP3D)**Address : 0xFFE0_9854h**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 8	R	Reserved	-
7 : 0	R/W	EP3 FIFO Data Register	00h

3.23.3.22 EP4 FIFO Data Register (USBEP4D)**Address : 0xFFE0_9858h**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 8	R	Reserved	-
7 : 0	R/W	EP4 FIFO Data Register	00h

Preliminary

3.24 Watch Dog Timer

Watch dog timer는 System Error나 Noise와 같은 이유로 CPU가 정상적인 오퍼레이션을 하지 않을 때 초기 상태로 복귀시키는 역할을 한다. Watch Dog Timer가 enable된 상태에서 APB(AHB clock/2) Clock으로 32 Bit Counter (WDCNT)는 Down-counting을 하게 되며, 32 Bit 카운터(WDCNT) 값이 “0” 이 되면 시스템 Reset 이 발생한다.

Watch dog timer의 사용 시에는 이 32 Bit 카운터의 값이 “0” 이 되지 않도록 주기적으로 WDCNT 레지스터에 “0” 이 아닌 값을 저장되도록 하며, Watch dog timer Reset 이 발생하였다면 시스템 동작이 비정상적인 것으로 판단한다.

3.24.1 Watch Dog Timer Control Register (WDCON)

Address : FFE0 9C00h

Bit	R/W	Description	Default Value
31 : 5	R	Reserved.	-
4	R	Watch Dog Reset Status. WDCON Read시 Clear된다. 0 : Normal 1 : Watch Dog에 의한 Reset발생	0b
3 : 1	R	Reserved.	-
0	R/W	Watch Dog Timer Enable / Disable 0 : Disable Timer 1 : Enable Timer	0b

3.24.2 Watch Dog Timer Count Register (WDCNT)

Address : FFE0 9C04h

Bit	R/W	Description	Default Value
31 : 0	R/W	Watch Dog Timer Count Value. Watch dog timer는 여기에 쓰여진 값에서부터 down counting을 하게 되며, 0에 도달하였을 때 reset을 발생시킨다. 그러므로 Watch Dog Timer count value는 “0” 보다 커야 한다. 이 register 값은 항상 Watch dog counter의 값을 반영하고 있으므로 현재 카운터의 값을 읽어 볼 수 있다.	FFFF FFFFh

Watch Dog Reset Time

Time	WDCNT
1 sec	02FAF080h
2 sec	05F5E100h
5 sec	0EE6B280h
10 sec	1DCD6500h
30 sec	59682F00h
1 min	B2D05E00h
85.9 sec	FFFFFFFh

표 3-30 Watch-Dog Timer Counter Setting

* System CLOCK : 100Mhz, APB CLOCK : 50MHz(20 ns) 기준

3.25 Timer / PWM / Capture

3.25.1 Introduction

Eagle은 4개의 Timer/Counter를 내장한다. 이들은 기본적으로 Timer/Counter 기능뿐만 아니라 PWM 기능과 Capture 기능을 추가로 가진다.

3.25.2 10bit Pre-scale

Pre-scale은 APB clock와 external clock중에서 Main Clock Source을 선택하여 10bit 의 Counter를 통해 1/2 ~ 1/1024배 분주 된 클럭을 생성한다.

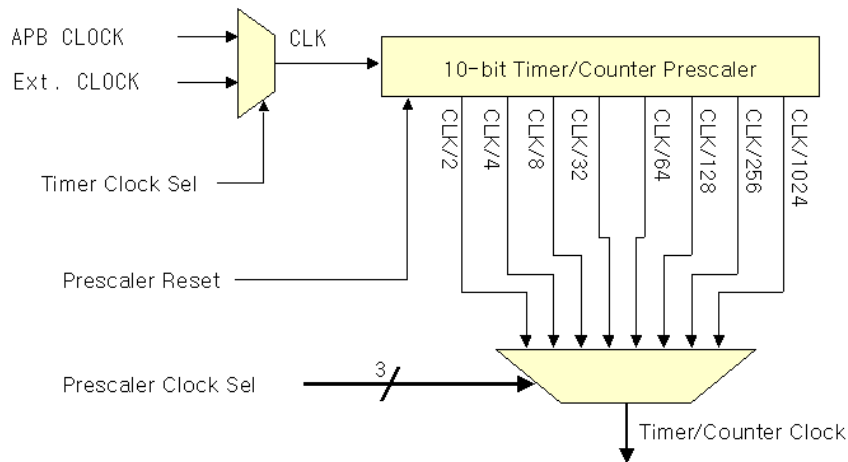


그림 3-44 Pre-scale Block Diagram

3.25.3 Timer/Counter

Timer/Counter는 Pre-scale에 의해 분주된 Clock을 사용하여 0x0000의 초기값에서 매 클럭마다 카운터 값을 “1” 씩 증가시킨다. 증가하던 카운터 값이 사용자가 설정한 Timer counter 레지스터 값에 도달하면 다시 0x0000이 되면서 인터럽트가 발생하게 된다.

Timer counter 레지스터 값이 ‘N’인 경우에, 인터럽트 발생 주기는 ‘N’ 이 된다. 32비트 카운터가 주기적으로 0 ~ N-1을 카운트하여 인터럽트를 발생시킨다.

인터럽트 발생 주기는 선택된 Pre-scale 값과 Timer counter 값에 의해서 결정되며, 가장 긴 인터럽트 주기는 32.768KHz 의 Clock을 사용하였을 경우 $1/32,768 \times 1024 \times 2^{32} = 134217728$ 초이다. 100MHz 시스템 Clock를 사용할 경우는 APB clock이 50MHz가 되므로, $1/50,000,000 \times 1024 \times 2^{32} = 87960.93022208$ 초이다.

3.25.4 PWM

PWM(Pulse Width Modulation)은 설정한 duty와 주기의 펄스 신호를 출력하기 위한 기능이다. Pre-scale에서 설정한 Clock을 통해 동작하며 PWM Period 레지스터 값의 주기로 카운트를 반복한다.

PWM의 출력 펄스는 32비트 카운터의 값이 PWM Duty, PWM Period 레지스터 값에 이를 때마다 레벨이 반전되어 출력 파형이 만들어진다. 그리고 PWM Pulse Number 레지스터를 통해 인터럽트를 발생시킬 펄스 횟수를 결정한다.

PWM Period Value (TCNTxR) = 9h
 PWM Duty Value (TDUTx) = 6h
 PWM Pulse Number Value (TPULx) = 2h

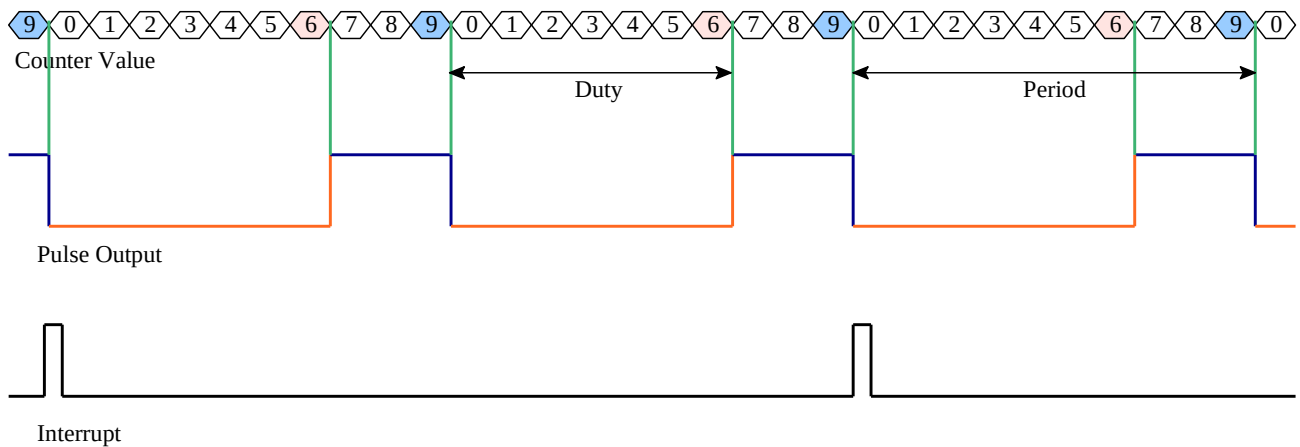


그림 3-45 PWM Pulse output

3.25.5 Capture Mode

Capture mode 는 Pre-scale에서 설정한 Clock의 주기를 사용하여 외부 입력을 측정한다. 외부입력에 대해 Low/High Pulse, Only Low Pulse, Only High Pulse, Falling to Falling Period, Rising to Rising Period 의 5가지 형태의 펄스와 주기를 측정한다.

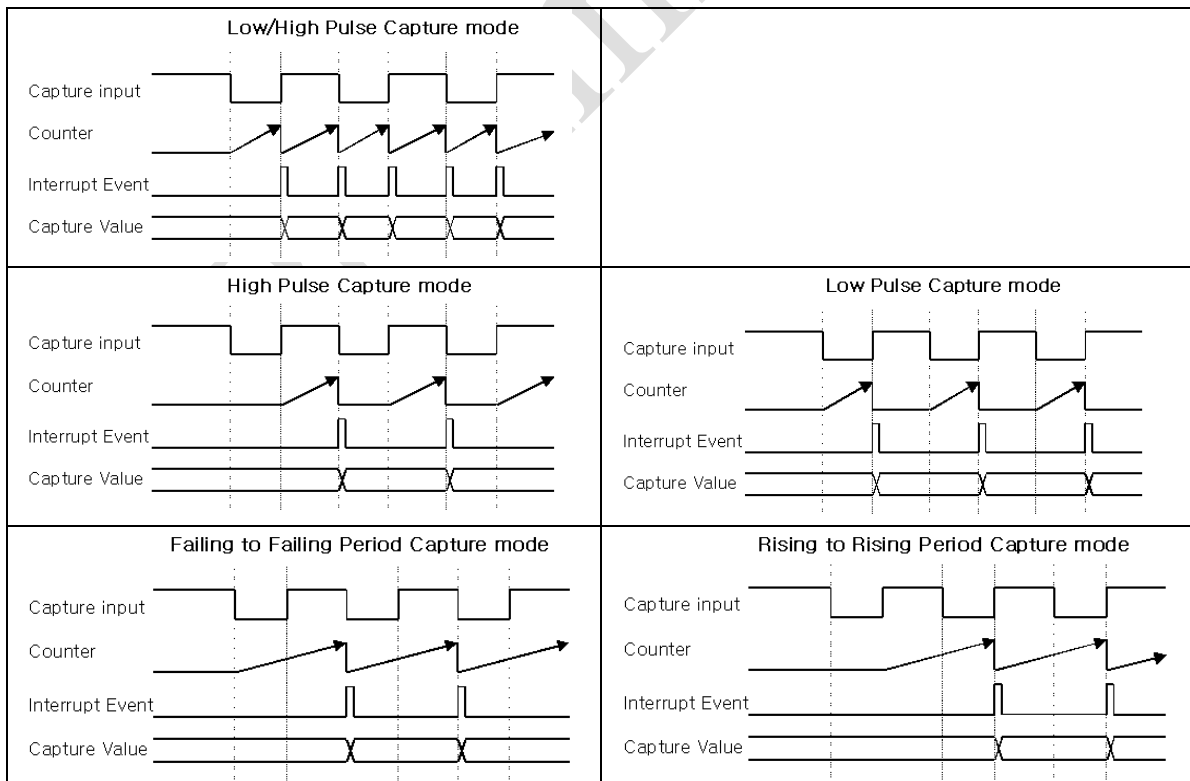


그림 3-46 Capture Mode Timing Diagram

3.25.6 Timer Registers

3.25.6.1 Timer Clock Selection Register (TCSR0 / TCSR1 / TCSR2 / TCSR3)

Address : 0xFFE0 A000h / 0xFFE0 A100h / 0xFFE0 A200h / 0xFFE0 A300h

Bit	R/W	Description	Default Value
15 : 5	R	Reserved	-
4	R/W	CNTCLR : Pre-scale Counter and Counter Reset When this bit is “1”, the Timer Pre-scale and Counter will be reset state. To exit reset state, this bit is cleared by writing “0”.	0b
3 : 1	R/W	Reserved	-
0	R/W	CLKSEL : Pre-scale Clock Selection 0 : APB clock 1 : External input clock	0b

3.25.6.2 Timer Control Register (TCON0 / TCON1 / TCON2 / TCON3)

Address : 0xFFE0 A004h / 0xFFE0 A104h / 0xFFE0 A204h / 0xFFE0 A304h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	TMOD : Timer/Counter Mode 00 : Timer 01 : PWM 1x : Capture	00b
13	R	Reserved	-
12	R	(Capture mode only) OVST : Capture Overflow Status bit	0b
11	R/W	Reserved	-
10 : 8	R/W	(Capture mode only) CAPMOD : Capture Mode Selection 00x : Low/High Pulse Capture mode 010 : Low Pulse Capture mode 011 : High Pulse Capture mode 10x : Falling to Falling Period Capture mode 11x : Rising to Rising Period Capture mode	000b
7 : 6	R	Reserved	-
5	R/W	(PWM mode only) PWM Output Start Level PWML : PWM Output Start Level 0 : Start Level is High 1 : Start Level is Low	0b
4	R/W	(Timer mode only) WAVE : Waveform Generation 0 : Disable 1 : Enable	0b
3 : 1	R/W	PFSEL : Pre-scale Factor Selection (10bit pre-scale) 000 : clock / 2 001 : clock / 4 010 : clock / 8 011 : clock / 32 100 : clock / 64 101 : clock / 128 110 : clock / 256 111 : clock / 1024	111b
0	R/W	TMEN : Timer Counter Enable 0 : Disable 1 : Enable	0b

3.25.6.3 Timer Counter / Output Period Register (TCNT0 / TCNT1 / TCNT2 / TCNT3)

Address : 0xFFE0_A008h / 0xFFE0_A108h / 0xFFE0_A208h / 0xFFE0_A308h

Bit	R/W	Description	Default Value
31 : 0	R/W	- Timer mode Write : Timer Counter value setting Read : Current up-counter value - PWM mode Write : PWM Period Value Read : PWM Period Current up-counter value	FFFF FFFFh

3.25.6.4 Capture Counter / PWM Duty Compare Register (TDUT0 / TDUT1 / TDUT2 / TDUT3)

Address : 0xFFE0_A00Ch / 0xFFE0_A10Ch / 0xFFE0_A20Ch / 0xFFE0_A30Ch

Bit	R/W	Description	Default Value
31 : 0	R/W	- Capture mode Read : Result value of counting at the sampling period - PWM mode Write : PWM Duty Value Read : PWM Duty Value	FFFF FFFFh

3.25.6.5 Output Pulse Count Register (TPUL0 / TPUL1 / TPUL2 / TPUL3)

Address : 0xFFE0_A010h / 0xFFE0_A110h / 0xFFE0_A210h / 0xFFE0_A310h

Bit	R/W	Description	Default Value
31 : 0	R/W	- PWM mode Write : PWM Pulse Number Value Read : Current PWM Pulse Number	FFFF FFFFh

3.25.7 Interrupts

각 채널당 Timer, PWM, Capture, Capture Overflow interrupt가 존재한다. 이들은 각 채널에 한하여 한 인터럽트 소스를 공유하고 있다. Capture 모드인 경우에는 인터럽트가 발생하였을 시, Overflow에 의한 인터럽트인지 확인하기 위해 Control 레지스터의 OVST 비트를 읽어야 한다.

3.26 GPIO

3.26.1 Features

1. Port A ~ D까지 4개의 그룹으로 구성된 GPIO 레지스터가 있다.
2. 사용 가능한 Port는 Port A[20:6], A[2:0], B[31:28], B[26:21], B[18:13], B[10:5], C[31:0], D[19:10], D[7:0]의
로써 총 90개이다.
3. Port Direction Register로 현재 설정된 I/O의 방향을 알 수 있다.
4. Port Direction Output / Input Mode Register를 통해 bit단위로 I/O의 방향을 결정할 수 있다.
5. Port Output Data Level Register로 현재 Output의 Level를 알 수 있다.
6. Port Output Data High / Low Level Setting Register를 통해 bit단위로 High / Low를 설정할 수 있다.
7. Port Input Data Level Register로 현재 Input의 Level를 알 수 있다.

3.26.2 Register Map

3.26.2.1 Port Direction Register (PxDIR)

Port A ~ D까지의 Direction을 나타내는 레지스터이다.

Address: FFE0 A400h / FFE0 A420h / FFE0 A440h / FFE0 A460h

Bit	R/W	Description	Default Value
31 : 0	R	Port x Direction bit 0 : Input 1 : Output	0h

✚ 현재 설정된 Port의 Direction을 확인할 수 있고, Read Only이다.

3.26.2.2 Port Direction Output Mode Register (PxOUT)

Port A ~ D까지의 Direction을 Output Mode로 설정하는 레지스터이다.

Address: FFE0 A400h / FFE0 A420h / FFE0 A440h / FFE0 A460h

Bit	R/W	Description	Default Value
31 : 0	W	Port x Direction Output Mode bit 0 : No effect 1 : Set to output mode the corresponding bit the PxDIR registers	-

✚ Port Direction을 Output Mode로 설정하는 bit이다.

3.26.2.3 Port Direction Input Mode Register (PxIN)

Port A ~ D까지의 Direction을 Input Mode로 설정하는 레지스터이다.

Address: FFE0 A404h / FFE0 A424h / FFE0 A444h / FFE0 A464h

Bit	R/W	Description	Default Value
31 : 0	W	Port x Direction Input Mode bit 0 : No effect 1 : Set to input mode the corresponding bit the PxDIR registers	-

✚ Port Direction을 Input Mode로 설정하는 bit이다.

3.26.2.4 Port Output Data Level Register (PxOLEV)

Port A ~ D까지의 Output Data Level를 나타내는 레지스터이다.

Address: FFE0 A408h / FFE0 A428h / FFE0 A448h / FFE0 A468h

Bit	R/W	Description	Default Value
31 : 0	R	Port x Output Level bit 0 : Low Level 1 : High Level	0h

현재 설정된 Port의 Output Data Level을 확인할 수 있고, Read Only이다.

3.26.2.5 Port Output Data High Level Setting Register (PxOH)

Port A ~ D까지의 Output Data를 High Level로 설정하는 레지스터이다.

Address: FFE0 A408h / FFE0 A428h / FFE0 A448h / FFE0 A468h

Bit	R/W	Description	Default Value
31 : 0	W	Port x Output Data High Level Setting bit 0 : No effect 1 : Set to high level output data the corresponding bit in the PxOLEV registers	-

Port Output Data를 High Level로 설정하는 bit이다.

3.26.2.6 Port Output Data Low Level Setting Register (PxOL)

Port A ~ D까지의 Output Data를 Low Level로 설정하는 레지스터이다.

Address: FFE0 A40Ch / FFE0 A42Ch / FFE0 A44Ch / FFE0 A46Ch

Bit	R/W	Description	Default Value
31 : 0	W	Port x Output Data Low Level Setting bit 0 : No effect 1 : Set to low level output data the corresponding bit in the PxOLEV registers	-

Port Output Data를 Low Level로 설정하는 bit이다.

3.26.2.7 Port Input Data Level Register (PxILEV)

Port A ~ D까지의 Input Data Level를 나타내는 레지스터이다.

Address: FFE0 A410h / FFE0 A430h / FFE0 A450h / FFE0 A470h

Bit	R/W	Description	Default Value
31 : 0	R	Port x Input Level bit 0 : Low Level 1 : High Level	-

현재 설정된 Port의 Input Level을 확인할 수 있고, Read Only이다.

3.26.3 Mapping

Port A ~ D의 Register는 아래와 같이 각각의 GPIO pin으로 Mapping된다.

<i>Group</i>	<i>Bit</i>	<i>Mapping</i>
Port A	31 : 21	Reserved
	20 : 6	GPIO[20:6]
	5 : 3	Reserved
	2 : 0	GPIO[2:0]
Port B	31 : 28	GPIO[63:60]
	27	Reserved
	26 : 21	GPIO[58:53]
	20 : 19	Reserved
	18 : 13	GPIO[50:45]
	12 : 11	Reserved
	10 : 5	GPIO[42:37]
	4 : 0	Reserved
Port C	31 : 0	GPIO[95:64]
Port D	31 : 20	Reserved
	19 : 10	GPIO[115:106]
	9 : 8	Reserved
	7 : 0	GPIO[103:96]

3.27 Real Time Clock

시스템 전원과 별도로 자체 battery로 동작하는 RTC는 시스템 전원이 인가되어 있는 동안 APB bus를 통하여 실제 register를 제어할 수 있으며, 시스템 전원이 off되어 있는 동안에 모든 BUS 입력은 masking된다.

각 년, 월, 일, 시, 분, 초의 표시는 BCD 표기 기준을 따르며, 초기값은 2004년 1월 1일 0시 0분 0초이다.

3.27.1 RTC Control Register (RTCCON)

Address : FFE0 A800h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	R/W	RTC Test Simulation Mode 0 : Normal (내부에서 생성한 1Hz clock을 사용) 1 : 빠른 시뮬레이션을 위해서 1Hz의 16384배 빠른 clock을 사용	0b
6 : 0	R	Reserved.	-

3.27.2 SEC Register (RTCSEC)

Address : FFE0 A804h

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6 : 4	R/W	BCD value for second from 0 to 5	0h
3 : 0	R/W	BCD value for second from 0 to 9	0h

3.27.3 MIN Register (RTCMIN)

Address : FFE0 A808h

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6 : 4	R/W	BCD value for minute from 0 to 5	0h
3 : 0	R/W	BCD value for minute from 0 to 9	0h

3.27.4 HOUR Register (RTCHOUR)

Address : FFE0 A80Ch

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6 : 4	R/W	BCD value for hour from 0 to 2	0h
3 : 0	R/W	BCD value for hour from 0 to 9	0h

3.27.5 DAY Register (RTCDAY)**Address : FFE0 A810h**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 6	R	Reserved	-
5 : 4	R/W	BCD value for day from 0 to 3	0h
3 : 0	R/W	BCD value for day from 0 to 9	1h

3.27.6 WEEK Register (RTCWEEK)**Address : FFE0 A814h**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 3	R	Reserved	-
2 : 0	R/W	Weekday (0:SUN, 1:MON, 2:TUE, 3:WED, 4:THU, 5:FRI, 6:SAT)	0h

3.27.7 MONTH Register (RTCMON)**Address : FFE0 A818h**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 5	R	Reserved	-
4	R/W	BCD value for month from 0 to 1	0b
3 : 0	R/W	BCD value for month from 0 to 9	1h

3.27.8 YEAR Register (RTCYEAR)**Address : FFE0 A81Ch**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31 : 5	R	Reserved	-
4	R/W	BCD value for year from 0 to 1	0h
3 : 0	R/W	BCD value for year from 0 to 9	4h

3.28 TWI Controller

Eagle은 범용 TWI bus와의 인터페이스를 위해 TWI controller를 내장한다. 이 controller는 전송 클럭을 위한 SCL(serial clock) line과 데이터 전송을 위한 SDA(serial data) line을 가진다.

3.28.1 Features

- Master transmitter mode
- Master receive mode
- Slave transmitter mode
- Slave receive mode
- Software programmable clock frequency
- Software programmable acknowledge bit
- Interrupt driven data-transfers
- START/STOP/Repeated START condition, Acknowledge generation
- Multi master operation

3.28.2 TWI Controller Block Diagram

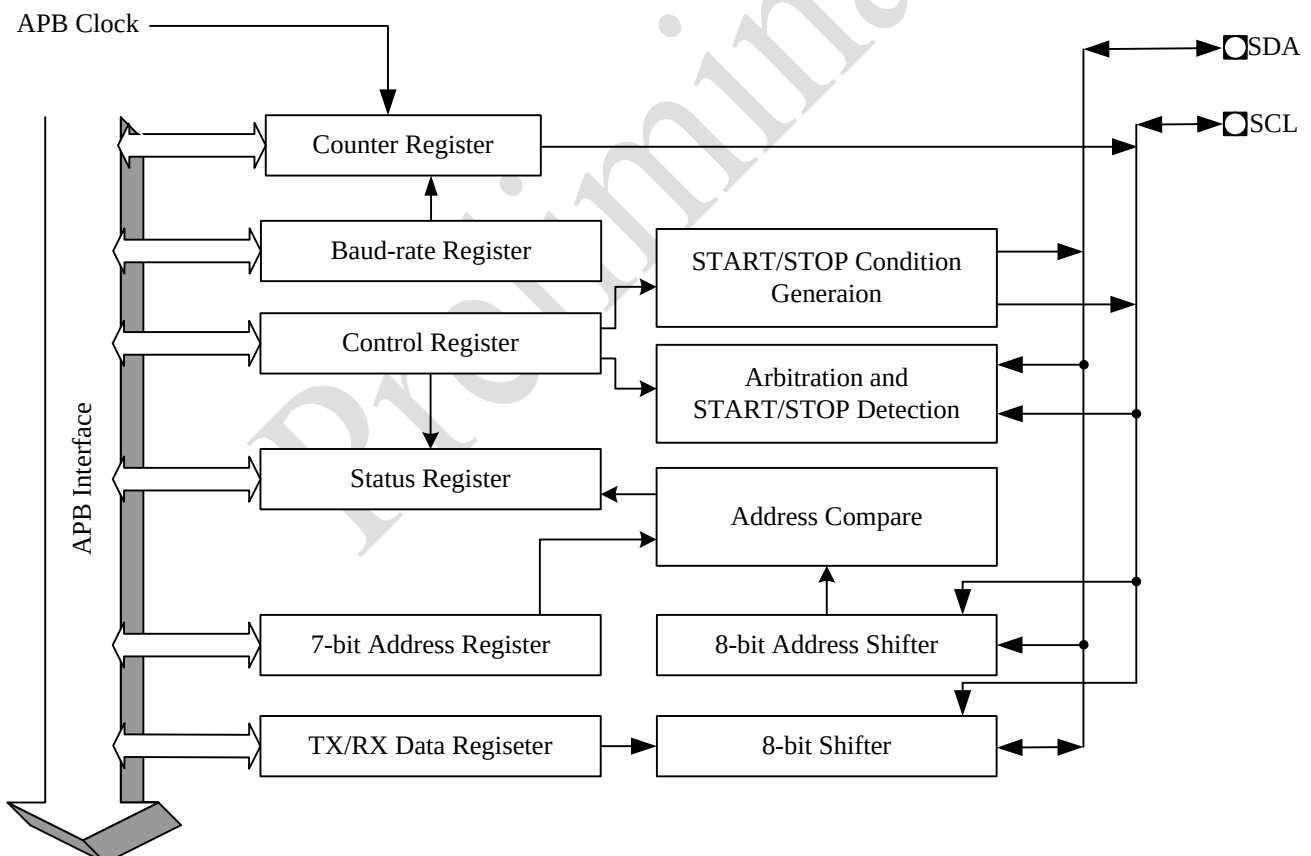


그림 3-47 TWI Controller Block Diagram

3.28.3 DATA TRANSFER FORMAT

SDA line에서 모든 데이터 길이는 8비트이다. 매 전송마다 전송될 수 있는 바이트 수는 제한되어 있지 않다.

START condition 다음의 첫 바이트는 주소 필드이다. TWI bus가 마스터 모드로 동작 할 때 마스터에 의해 주소 필드가 전송된다. 모든 전송 데이터 다음에는 ACK 비트가 따라온다. 항상 데이터와 주소의 MSB 비트부터 전송이 시작된다.

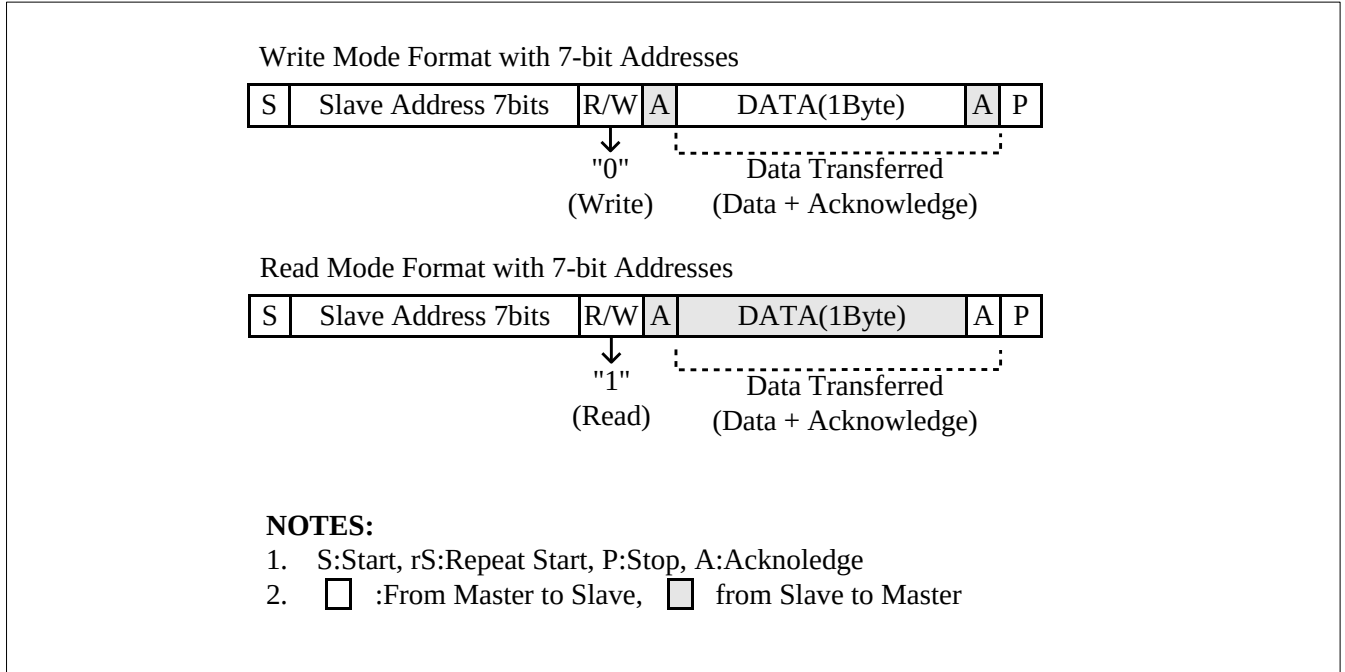


그림 3-48 TWI-Bus Interface Data Format

3.28.4 START AND STOP CONDITION

TWI Controller가 데이터 전송을 시작하기 위해서는 START condition을 발생시켜야 하고, 데이터 전송을 종료하기 위해서는 STOP condition을 발생시켜야 한다. START condition은 SCL line이 high 상태일 때 SDA line이 high에서 low로 떨어지면 발생한다. STOP condition은 SCL line이 high 상태일 때 SDA line이 low에서 high로 올라가면 발생한다. START condition이 발생하면, TWI bus는 busy 상태가 된다. STOP condition이 발생하게 되면, TWI bus는 release 상태가 된다.

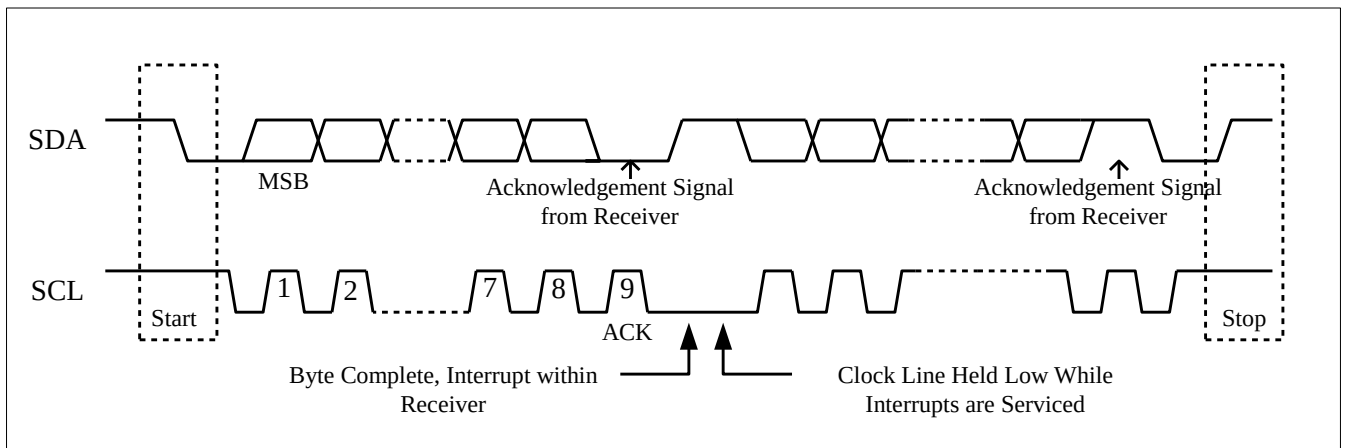


그림 3-49 Data Transfer on the TWI-Bus

3.28.5 ACK SIGNAL TRANSMISSION

한 바이트의 전송을 완료하기 위해서는 수신 단은 송신 단에 ACK 비트를 보내야 한다. ACK 펄스는 SCL line의 9 번째 클럭에서 발생해야 한다. 한 바이트 데이터를 전송을 위해 8개의 클럭이 필요하다. 마스터는 ACK 비트 전송을 위한 클럭 펄스를 생성해야 한다.

송신 단은 ACK 클럭 펄스를 입력 받을 때 SDA line을 high로 만들기 위해 SDA line을 release해줘야 한다. 또한 수신 단은 ACK 펄스 때 SDA line을 low로 유지하여 SCL line의 아홉 번째의 high pulse 구간에서 SDA line을 low로 만든다.

ACK 비트는 소프트웨어적으로 control register의 TXACK 비트를 설정하여 ACK나 NOACK로 선택할 수 있다.

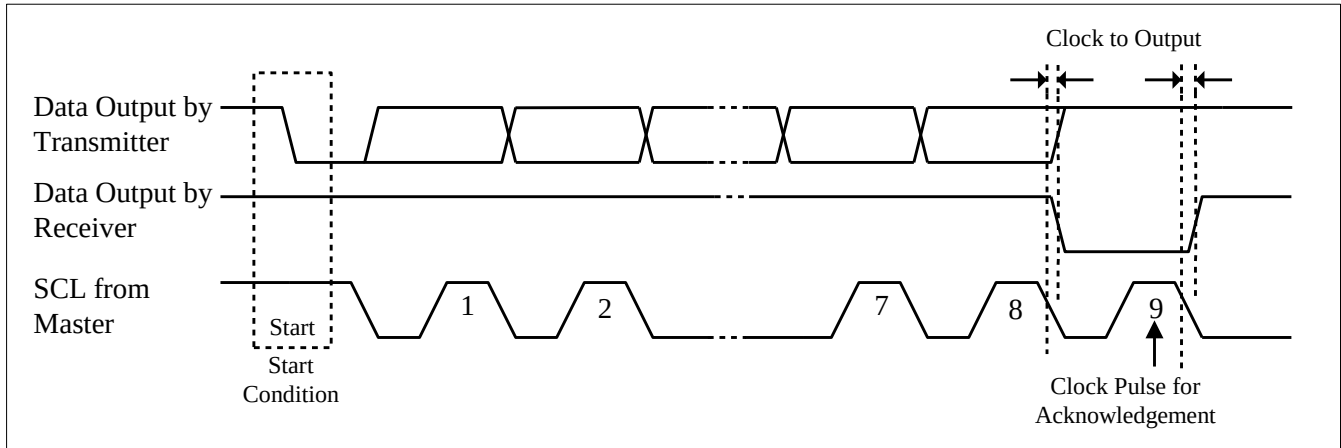


그림 3-50 Ack. Signal Transmission

3.28.6 READ-WRITE OPERATION

송신 동작 모드에서 데이터 전송 후에 TWI-Bus 인터페이스는 8-bit shifter register에 데이터가 준비 될 때 까지 기다려야 한다. 데이터 쓰여질 때까지 SCL line은 low로 유지될 것이다. 새로운 데이터가 8-bit shifter register에 쓰여지고 나서 SCL line은 release 된다.

수신 동작 모드에서 데이터를 수신한 후에, TWI bus는 데이터를 읽어 갈 때까지 SCL line을 low로 유지한다. 새로운 데이터가 읽혀지고 난 다음에 SCL line은 release되며, 8-bit shifter register에 새로운 데이터를 수신하게 된다.

3.28.7 BUS ARBITRATION PROCEDURES

여러 개의 master가 bus를 동시에 제어 하는 것을 방지한다. SDA line에 high level을 내보낸 master가 또 다른 master가 내보낸 low level의 SDA line을 인식하면, 현재 TWI bus를 자신이 아닌 다른 master가 제어한다고 인식하고, 데이터 전송을 더 이상 진행하지 않도록 한다.

(1) Device1과 Device2과 동시에 master mode로 동작하는 경우에 SCL line에서 발생하는 클럭의 모양을 보면 다음과 같이 동기화가 이루어진다.

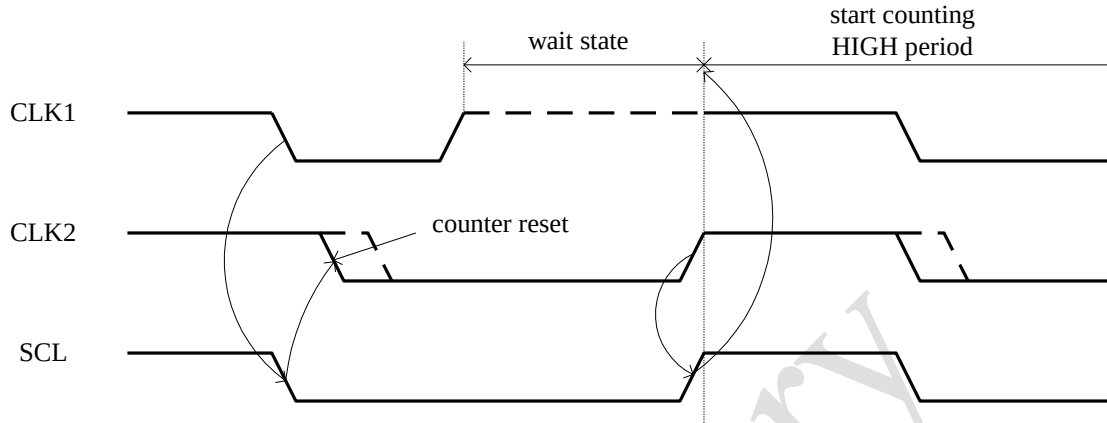


그림 3-51 Bus Arbitration procedures 1

(2) 위 상황에서 SDA line에 나타나는 데이터 값에 따라 Device1, Device2중 하나가 우선권을 갖는 과정은 다음과 같다.

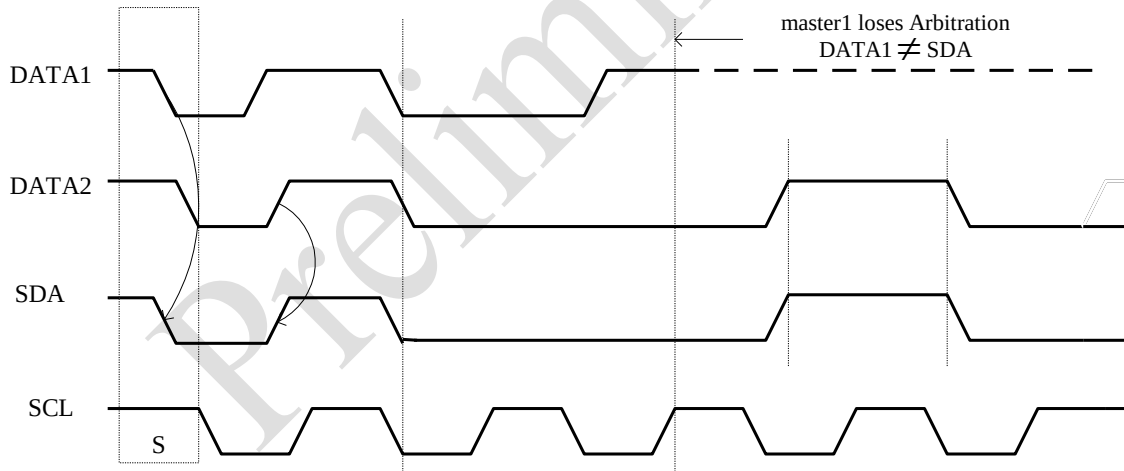


그림 3-52 Bus Arbitration procedures 2

3.28.8 ABORT CONDITION

Arbitration이 발생하지 않은 경우

1. 소프트웨어적으로 control register의 MSTA 비트(Master/Slave Select bit)를 clear시키면 STOP condition이 발생한다.
2. NO ACK가 발생하면 STOP condition이 발생한다. 즉, ACK 구간에서 SDA line이 low 가 아니면 STOP condition이 발생한다.

Arbitration이 발생한 경우

TWI-bus Arbitration에 의해 제어권을 잃은 경우 MSTA 비트는 clear되지만 이에 의한 STOP condition은 발생하지 않는다. 지금 진행중인 SCL 클럭 발생은 한 바이트 전송 끝까지 진행되고 데이터 출력인 SDA는 high 상태가 된다.

3.28.9 Operational Flow Diagrams

3.28.9.1 TWI initialization

TWI Controller를 초기화하기 전에, TWIEN bit와 register가 먼저 초기화 되어야 한다.

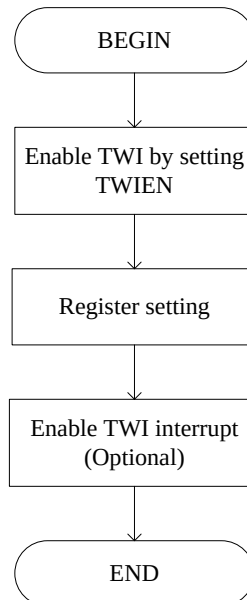


그림 3-53 TWI Initialization Flow

3.28.9.2 TWI Transmit/Receive Flow chart

TWI의 데이터 송신과 데이터 수신에 대한 Flow chart이다. 송신 시와 수신 시에 있어서 가장 큰 차이점은 수신 시에는 마지막 데이터를 수신하기 전에 ACK 비트를 NOACK로 설정하는 단계가 더 있다는 점이다. 이 것은 master가 slave에게 마지막 수신 데이터임을 알리기 위한 것이다. 또한, 실제 데이터를 수신하기 위한 SCL 클럭을 생성하기 위해 TWIDATA 레지스터의 dummy read 단계가 필요하다.

Master Transmit Flow Chart

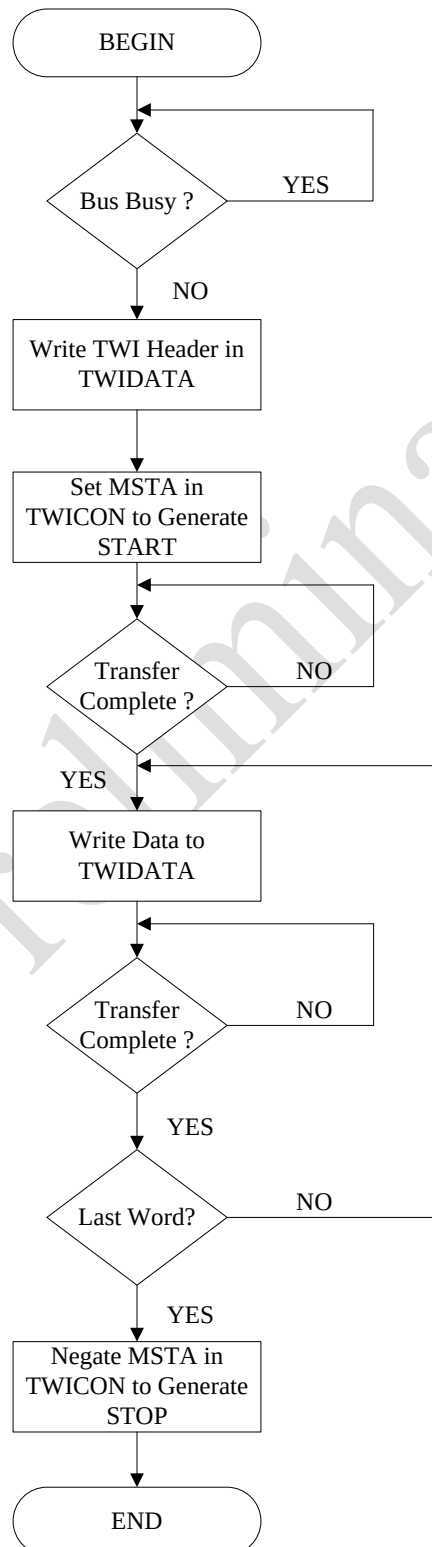


그림 3-54 TWI Master Transmit Flow

Master Receive Flow Chart

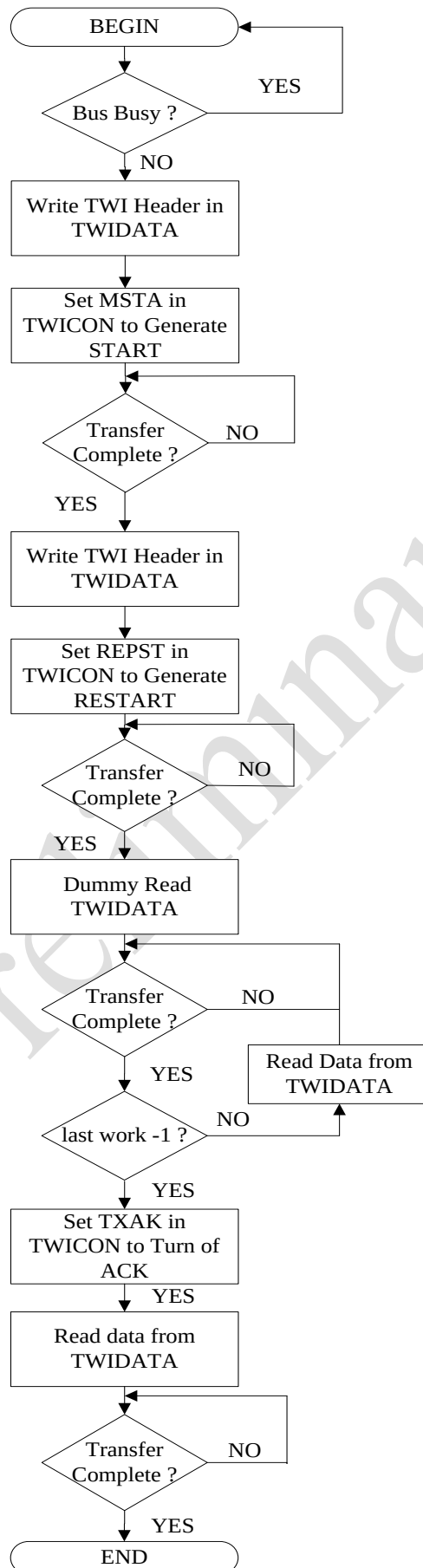


그림 3-55 TWI Master Receive Flow

Slave Transfer Flow Chart (polling 방식)

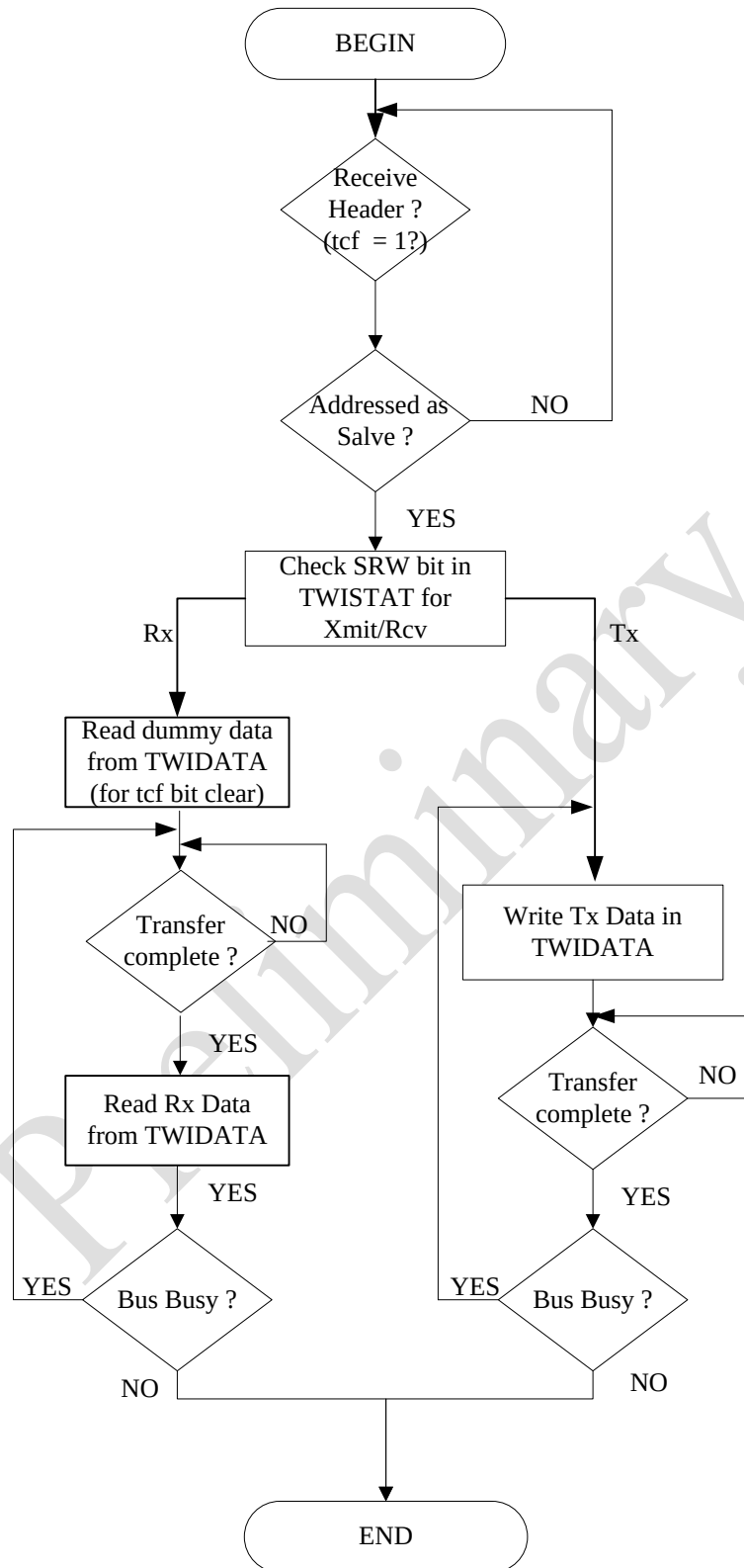


그림 3-56 TWI Slave Operation Flow(Polling)

Slave Transfer Flow Chart (interrupt 방식)

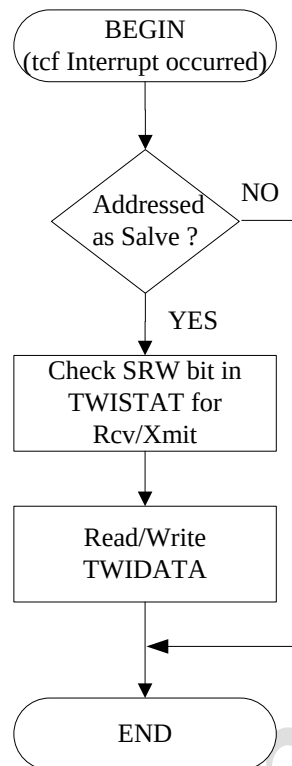


그림 3-57 TWI Slave Operation Flow(Interrupt)

3.28.10 TWI Registers

3.28.10.1 TWI Control Register (TWICON)

Address : FFE0 AC00h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	R/W	TWIEN : TWI Controller Enable bit TWI 송수신을 위해서 다른 register의 setting에 앞서 먼저 이 bit를 set시킨다. 1: TWI controller enable 0: TWI controller disable	0b
6	R	Reserved.	-
5	R/W	MSTA : Master/Slave Mode Select bit 0에서 1로 바뀌면 Master mode가 선택되면서 START condition이 발생한다. clear되면 STOP condition이 발생하고, Slave mode로 전환한다. clear되더라도 제어 권한을 잃은 상태라면, STOP condition은 발생하지 않는다. 1: START condition을 발생시킨다. 0 : STOP condition을 발생시킨다.	0b
4	R/W	TWITR : Transmit/Receive Mode Select bit Master Mode에서의 전송 동작을 결정한다. 1: TWI Master 송신 0: TWI Master 수신	0b
3	R/W	TXAK : Transmit Acknowledge bit 이 비트는 ACK 구간 동안에 SDA line의 값을 결정한다. Master Receive Mode일 때 마지막 바이트 전송일 때 NO ACK는 데이터 전송이 마지막임을 나타낸다. 마지막 전송 후 NO ACK이면, STOP condition을 발생시킨다. 1: ACK bit = "1" – NO ACK (no acknowledge) 0: ACK bit = "0" – ACK (acknowledge)	0b
2	R/W	REPST : Repeated START bit 이 bit를 1로 write 하면, TWI controller 가 Master일 때 Repeated START condition을 발생시킨다. Repeated START condition이 발생하면 clear된다. 1: Repeated START condition을 발생시킨다. 0 : N/A	0b
1	R/W	TCFIRQ : Transfer complete IRQ Enable bit 1-byte단위의 데이터 전송이 완료되었을 때, 인터럽트 발생 여부를 결정한다. 1 : Interrupt enable 0 : Interrupt disable	0b
0	R/W	LSTIRQ : Lost Arbitration IRQ Enable bit Master로 동작 시, 전송 권한을 잃었을 경우, 인터럽트 발생 여부를 결정한다. 1 : Interrupt enable 0 : Interrupt disable	0b

3.28.10.2 TWI Status Register (TWISTAT)

Address : FFE0 AC04h

Bit	R/W	Description	Default Value
31 : 10	R	Reserved.	-
9	R/W	TXEMPTY : TX buffer Empty bit 송신 버퍼의 상태를 나타낸다. 이 bit가 0일 때, 원하는 값으로 write할 수 있다. 1: 송신 버퍼가 비었음 0: 송신 버퍼에 보낼 데이터가 있음	1b
8	R/W	RXFULL : RX buffer Full bit 수신 버퍼의 상태를 나타낸다. 이 bit가 1일 때, 원하는 값으로 write할 수 있다. 1: 수신 버퍼에 읽어갈 데이터가 있음 0: 수신 버퍼가 비었음	0b
7	R	TCF : Byte Transfer Complete bit 한 바이트 전송 될 때마다 set되고, TWIDATA 레지스터를 read나 write할 때 clear된다. 또한, 이 bit에 1을 write하면 clear된다. 1: 한 바이트 전송 완료 0: 바이트 전송 중	0b
6	R	AAS : Addressed as Slave bit 자신의 address와 전송 받은 address가 일치할 때 TWI controller는 slave로서 동작 하게 된다. TWICON 레지스터가 write되거나, STOP condition 발생 시 clear 된다. 1: Address가 일치함 0: Address가 일치하지 않음	0b
5	R/W	BSY : Bus Busy bit TWI bus 상태를 의미한다. START condition에 의해 set 되고, STOP condition에 의해 clear된다. 이 비트에 0을 write하여도 clear된다. 1: Bus busy 상태 0: Bus idle 상태	0b
4	R/W	LST : Lost Arbitration bit TWI controller가 master mode일 때, bus의 제어 권한을 잃었을 경우 set된다. 소프트웨어 적으로 clear해주어야 한다. 1을 write하면 clear된다. 1: Lost arbitration이 발생하였음. 0: Lost arbitration이 발생하지 않았음.	0b
3	R	SRW : Slave Read/Write bit. TWI controller가 slave mode일 때 송수신 동작을 나타낸다. 1: Slave 송신 모드 0: Slave 수신 모드	0b
2	R	Reserved	-
1	R/W	RSF : Repeated START condition Flag bit Repeated START condition이 발생하였는지 확인하는 flag bit이다. Repeated START condition이 발생하면 set되며, STOP condition이 발생하거나, set된 상태에서 이 bit에 1을 write하면 clear된다. 1: Repeated START condition이 발생하였음. 0: Repeated START condition이 발생하지 않았거나 STOP condition이 발생하였음.	0b
0	R	RXAK : Received Acknowledge bit ACK 구간에 들어온 SDA line의 값을 의미 한다. 1: No Acknowledge 수신 0: Acknowledge 수신	1b

3.28.10.3 TWI Address Register(TWIADDR)**Address : FFE0 AC08h**

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	R/W	Slave Address. 7-bit slave address. TWI controller의 device address를 나타낸다. [7:1] = Slave Address [0] = Not mapped	00h

3.28.10.4 TWI Data Register (TWIDATA)**Address : FFE0 AC0Ch**

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	R/W	TWI 데이터를 나타낸다. Write : 송신 데이터 혹은 접근할 device의 주소. Read : 수신 데이터	00h

3.28.10.5 TWI Baud-rate 0 Register (TWIBR0)**Address : FFE0 AC10h**

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	R/W	Baud-rate 0 Value. (3보다 큰 값이어야 한다.)	4Fh

3.28.10.6 TWI Baud-rate 1 Register (TWIBR1)**Address : FFE0 AC14h**

Bit	R/W	Description	Default Value
31 : 9	R	Reserved.	-
8 : 0	R/W	Baud-rate 1 Value.	1FFh

$$TWIBR0 = f_{bus} \times 700ns + 3$$

$$SCL = \frac{f_{bus}}{(2TWIBR1 + TWIBR0 + 7)}$$

* f_{bus} = AMBA APB clock frequency (시스템 클럭의 2분주)

*SCL = TWI 전송 속도

ex) APB clock이 50MHz, TWI 전송속도가 400Kbps 인 경우, (f_{bus} = 50MHz , SCL = 400Kbps)

$$TWIBR0 = 50MHz \times 700ns + 3 = 50 \times 10^6 \times 700 \times 10^{-9} + 3 = 38$$

$$SCL = \frac{f_{bus}}{(2TWIBR1 + TWIBR0 + 7)} \Rightarrow 400Kbps = \frac{50MHz}{(2TWIBR1 + 38 + 7)} \Rightarrow 400 \times 10^3 = \frac{50 \times 10^6}{(2TWIBR1 + 45)}$$

<Baud-rate Register Setting Reference Table>

f_{bus}	TWIBR0	TWIBR1			
		400Kbps	300Kbps	200Kbps	100Kbps
55Mhz	42(2Ah)	45(2Dh)	67(43h)	113(71h)	251(FBh)
50Mhz	38(26h)	40(28h)	61(3Dh)	103(67h)	227(E3h)
45Mhz	35(23h)	36(24h)	54(36h)	92(5Ch)	204(CCh)
40Mhz	31(1Fh)	31(1Fh)	48(30h)	81(51h)	181(B5h)
35Mhz	28(1Ch)	27(1Bh)	41(29h)	70(46h)	158(9Eh)
30Mhz	24(18h)	22(16h)	35(23h)	60(3Ch)	135(87h)
25Mhz	21(15h)	18(12h)	28(1Ch)	49(31h)	111(6Fh)
20Mhz	17(11h)	13(Dh)	22(16h)	38(26h)	88(58h)

Preliminary

3.29 SPI(Serial Peripheral Interface)

3.29.1 Features

- Full duplex, Half duplex 지원함
- Master / Slave 모두 지원
- Programmable clock polarity and phase
- End of transmission interrupt flag
- 32Bytes FIFO 내장
- DMA 전송 지원
- Support external clock divided SCK
- 최대 전송 SCK : Master인 경우 APB Clock의 1/2, Slave 인 경우 APB Clock의 1/8 임

3.29.2 SPI Block Diagram

SPI는 데이터 전송동작과 데이터 수신동작이 동시에 이루어 진다. 두 시리얼 데이터 라인에서 정보의 샘플링(sampling)과 쉬프팅(shifting)은 시리얼 Clock 라인에 의해 동기 된다. Slave SPI 디바이스의 개별적인 선택은 Slave 선택 라인을 통해 할 수 있다. 선택되지 않은 Slave 디바이스는 SPI 버스의 동작에 영향을 주지 않는다.

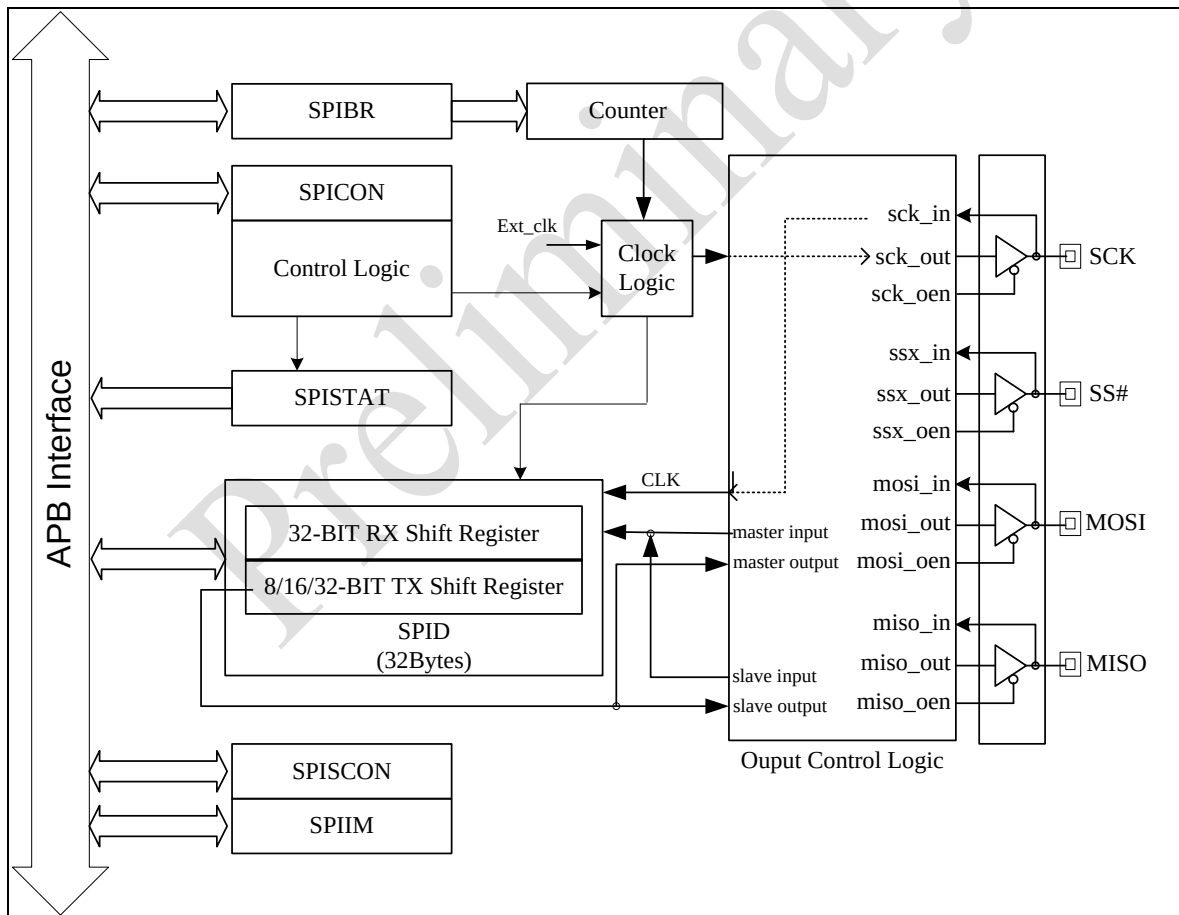


그림 3-58 SPI Block Diagram

3.29.3 SPI Pins

SPI에는 MISO, MOSI, SCK, SSX, 네 개의 양방향 핀이 있다. SPI 컨트롤 레지스터의 WOMP 비트가 각각의 핀의 출력 동작에 대해 Open Drain 출력 이나 CMOS 출력을 결정하게 된다. SPI 컨트롤 레지스터의 MSTR 비트에 의해 Master 또는 Slave 동작이 결정되어지고 이에 따라 핀의 동작이 결정되어진다.

<i>Pin Name</i>	<i>Mode</i>	<i>Function</i>
Master in, slave out(MISO)	Master	Provides serial data input to the SPI
	Slave	Provides serial data output from the SPI
Master out, slave in (MOSI)	Master	Provides serial output from the SPI
	Slave	Provides serial input to the SPI
serial clock(SCK)	Master	Provides clock output from the SPI
	Slave	Provides clock input to the SPI
Slave select(SSX)	Master	Output : Selects slave devices
	Slave	Input : chip select for SPI

표 3-31 SPI Pin Functions

3.29.4 SPI Operating Modes

SPI는 Master나 Slave 모드에서 동작한다. Master 모드는 MCU가 데이터 전송을 주관할 경우에 사용된다. Slave 모드는 외부 디바이스에 의해 MCU에 시리얼 전송이 이루어지는 경우에 사용된다. 컨트롤 레지스터의 MSTR 비트에 의해 Master나 Slave 동작이 선택된다.

3.29.4.1 Master Mode

SPICON의 MSTR 비트를 설정하면 Master 모드 동작이 선택된다. Master 모드에서는 데이터 전송을 초기화 할 수 있고 외부에서의 초기화된 전송에 응답하지 않는다.

SPI를 Master 모드에서 사용하려면 다음 과정을 거쳐야 한다.

1. Pin MUX 레지스터에서 다음의 핀이 SPI 할당되어 있는지 확인한다. MISO and MOSI. Master 모드에서는 MISO는 시리얼 데이터 입력으로 사용되어지고 MOSI는 시리얼 데이터 출력으로 사용되어진다. 특정한 응용 분야에 따라 하나 또는 둘 다 필요할 수 있다.
2. 컨트롤레지스터에 BAUD, CPHA, CPOL, SIZE, LSBF, WOMP의 값을 할당한다. Master동작을 위해 MSTR 비트 설정한다. SPI를 enable하도록 SPIEN 비트를 설정한다.
3. Slave 디바이스를 enable 한다.
4. 전송을 시작하기 위해 적당한 데이터를 SPI 데이터 레지스터에 쓰기를 한다.

SPI는 전송이 끝나면 상태레지스터의 SPIF 플래그를 H/W적으로 설정한다. SPIF가 인가되면 인터럽트 요청이 발생된다. SPIF가 설정되어 있는 상태에서 상태레지스터를 읽고 데이터 레지스터에 쓰기 나 읽기 동작이 일어나면 SPIF 플래그는 자동적으로 클리어 된다.

3.29.4.2 Slave Mode

컨트롤 레지스터의 MSTR 비트를 클리어 시키면 Slave 모드로 동작한다. Slave 모드에서는, SPI는 시리얼 전송을 초기화 할 수 없다. 전송은 외부 버스 Master에 의해 초기화 된다.

1. 우선 Pin Mux 레지스터를 설정한다. 외부 핀들은 다른 IP 블록의 핀들과 Muxing 되어 있으므로 SPI 에 핀들을 할당하도록 Pin Mux 레지스터를 설정한다.
2. CPHA, CPOL, SIZE, LSBF, WOMP 의 설정을 위해 컨트롤 레지스터에 값을 쓴다. MSTR 비트 클리어 함으로써 Slave 동작을 선택한다. SPIEN를 셋하여 SPI를 enable시킨다. (Slave 모드의 디바이스에서는 BAUD의 값은 SPI 동작에 영향을 미치지 않는다)
3. 전송할 데이터를 SPI 데이터 레지스터에 저장한다.

Slave 모드에서는 SSX 핀의 상태가 Low가 되면 데이터를 전송할 준비를 하고 Master가 SCK 클럭을 주었을 때 클럭에 동기화 된 데이터 전송을 시작한다. 데이터의 전송이 끝났음을 확인하는 것은 SPIF 비트를 확인하는 것으로 이는 Master 모드의 경우와 동일하다.

3.29.5 SCK Phase and Polarity Control

컨트롤 레지스터의 두 개의 비트가 SCK의 위상과 극성을 결정한다. 클럭 극성(CPOL) 비트는 클럭의 극성 (High or Low)을 선택한다. 클럭 위상 비트 CPHA는 전송 타이밍에 영향을 주는 두 가지 전송 형태 중 하나를 선택한다. 클럭의 위상과 극성은 Master와 Slave 모두 동일하여야 한다. 어떤 경우에는 전송 사이에 위상과 극성을 바꾸어 Master 디바이스가 Slave 디바이스와 다른 조건으로 데이터를 주고 받을 수도 있다. SPI의 이러한 유연성은 거의 모든 동기 시리얼 주변장치와의 직접적인 연결을 가능하게 한다.

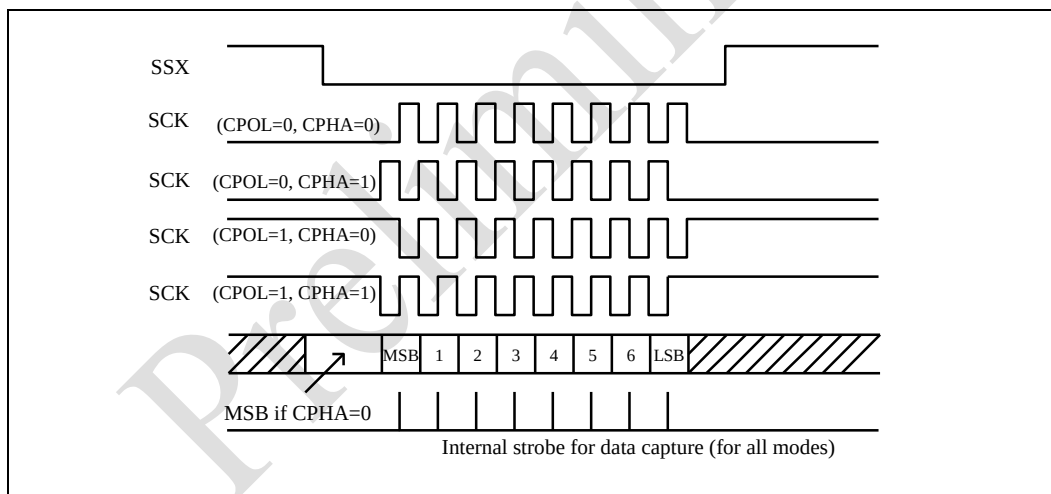


그림 3-59 SCK Phase and Polarity

3.29.6 Data Transfer Timing

아래의 타이밍 다이어그램은 Master를 기준으로 하여 데이터 입출력을 표시한 그림이다. 하지만 Slave의 입장에서 동일하다.

CPHA = 0 일 때는 1clock cyle 을 기준으로 클럭 위상이 0일 때 데이터를 sampling 하고 클럭 위상이 180일 때 다음 번 데이터를 출력한다

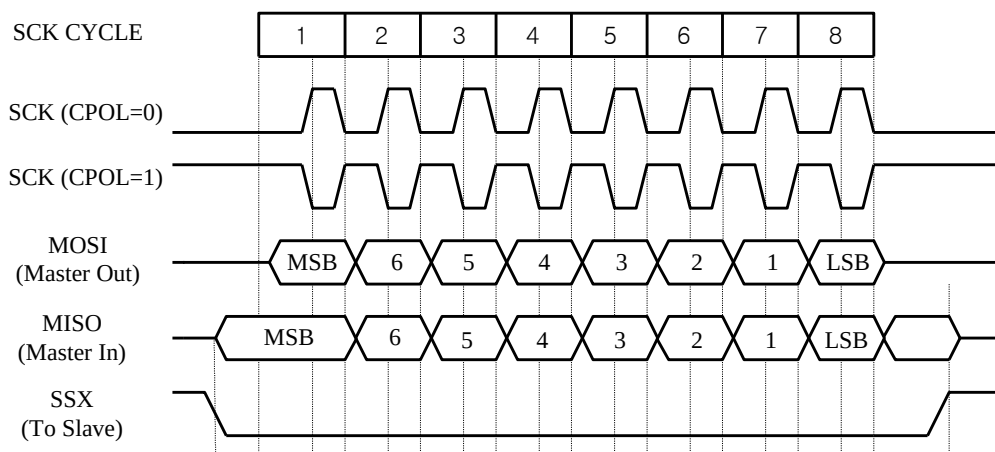


그림 3-60 Transfer Timing when CPHA = '0'

다음은 CPHA='1'의 경우이다. 이 경우는 1clock cycle 을 기준으로 클럭 위상이 0일 때 데이터가 출력되고 클럭 위상이 180일 때 데이터 sampling이 일어난다

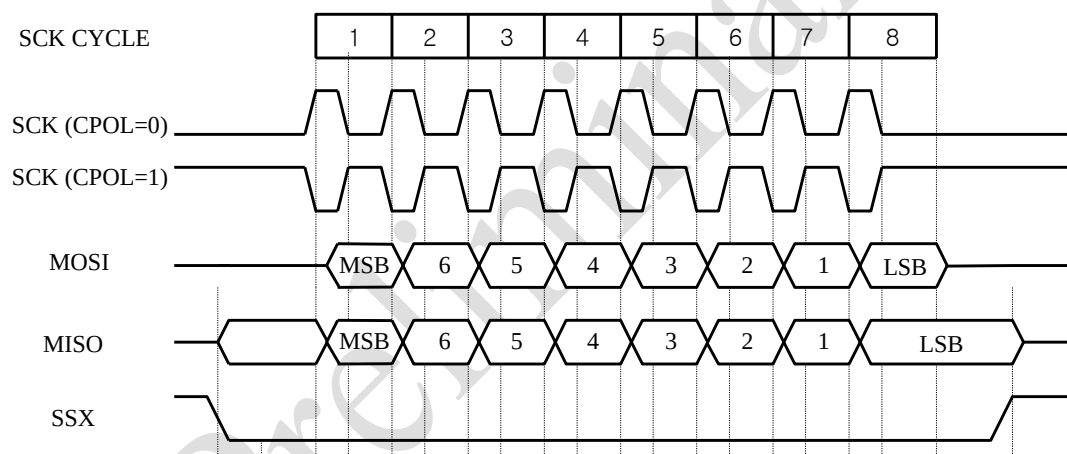


그림 3-61 Transfer Timing when CPHA = '1'

3.29.7 SPI Register Description

3.29.7.1 SPI Control Register (SPICON)

Address : 0xFE00_B000h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	SPIEN : SPI Enable 0 : SPI is disabled. 1 : SPI is enabled	0b
6	R/W	WOMP : Wired-OR Mode for SPI Pins 0 : Outputs have normal CMOS drivers. 1 : Open-drain drivers	0b
5	R/W	MSTR : Master/Slave Mode Select 0 : SPI is a slave device	0b

		1 : SPI is system master	
4	R/W	CPOL : Clock Polarity 0 : The inactive state value of SCK is logic level zero 1 : The inactive state value of SCK is logic level one.	0b
3	R/W	CPHA : Clock Phase 0 : Data captured on the leading edge of SCK and changed on the trailing edge of SCK. 1 : Data is changed on the leading edge of SCK and captured on the trailing edge of SCK.	0b
2	R/W	LSBF : Least Significant Bit First 0 : Serial data transfer starts with LSB. 1 : Serial data transfer starts with MSB.	0b
1 : 0	R/W	SPI_SIZE : Transfer Data Size 00 : 8-bit data transfer. 01 : 16-bit data transfer. 10 : 32-bit data transfer.	00b

Wired-OR Open-Drain Outputs

일반적으로 하나의 마스터만 사용하는 경우 Open-drain driver는 사용할 이유는 없다. Open-drain driver가 쓰이는 이유는 여러 개의 Master가 하나의 데이터 버스를 사용할 때 버스에서 발생할 수 있는 충돌을 피하기 위함이다. 단 데이터 라인에는 반드시 pull-up 저항을 달아야 한다. 일반적인 Single Master의 경우 normal CMOS driver를 사용한다.

3.29.7.2 SPI Baud Rate Register (SPIBR)

Address : 0xFE00_B004h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	R/W	Serial Clock Baud Rate $f_{SCK} = \frac{f_{APB_Clock}}{2 \times (SPIBR[7:0] + 1)}$ Master Mode SCK ≤ APB Clock / 2 Slave Mode SCK ≤ APB Clock / 8	FFh

SPI Baud rate는 SPIBR 레지스터에 0에서 255까지의 값을 설정할 수 있다. 그러나 Slave Mode에서의 외부 SPI Master가 제공하는 SCK를 받아들이기 때문에 SPIBR 레지스터의 값의 설정에 영향을 받지 않는다. 단 Slave Mode에서 받아들일 수 있는 최대 SCK 속도는 APB Clock의 1/8 이하여야 한다.

3.29.7.3 SPI Status Register (SPISTAT)

Address : 0xFE00_B008h

Bit	R/W	Description	Default Value
15 : 8	R	Reserved	-
7	R	SPIF : SPI Finished Flag 0 : SPI is not finished. 1 : SPI is finished.	0b
6	R	WCOL : Write Collision 0 : 에러 없음 1 : FIFO가 Full이 되었을 때 FIFO에 쓰기 시도를 하면 발생하는 에러임	0b
5	R	MODF : Mode Fault Flag 0 : Normal operation 1 : 둘 이상의 SPI Master가 동시에 Slave에 접근할 때 발생하는	0b

		예리입	
4	R	SSX : Slave Select Flag 0 : Current Value of SSX port is low 1 : Current Value of SSX port is high	0b
3	R	STXF : TX FIFO Full Status bit 0 : FIFO_TX is not full 1 : FIFO_TX is full	0b
2	R	STXE : TX FIFO Empty Status bit 0 : FIFO_TX is not empty 1 : FIFO_TX is empty	0b
1	R	SRXF : RX FIFO Full Status bit 0 : FIFO_RX is not full 1 : FIFO_RX is full	0b
0	R	SRXE : RX FIFO Empty Status bit 0 : FIFO_RX is not empty 1 : FIFO_RX is empty	0b

3.29.7.4 SPI Data Register (SPID)

Address : 0xFE00_B00Ch

Bit	R/W	Description	Default Value
31 : 0	R/W	SPI Data At 32-bit transfer mode - MSB of Data is SPID[31] At 16-bit transfer mode - MSB of Data is SPID[15] At 8-bit transfer mode - MSB of Data is SPID[7] LSB of Data (received or transmit) is SPID[0] in any transfer mode	0000 0000h

3.29.7.5 SPI SSX Control Register (SPISCON)

Address : 0xFE00_B010h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	SSXCON : SSX output Level	1b

3.29.7.6 SPI Interrupt Mask Register (SPIIM)**Address : 0xFE00_B014h**

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	SPIFE : SPIF Interrupt en/disable SPIF Interrupt occurs when transfer has completed. 0 : SPIF interrupt is disabled 1 : SPIF is enabled	0b
6	R/W	MODFE : MODFI Interrupt en/disable MODFI Interrupt occurs when two more master use data line. 0 : MODFI interrupt is disabled 1 : MODFI is enabled	0b
5	R	Reserved	-
4	R/W	SSXE : SSX Interrupt en/disable SSX Interrupt occurs when SSX signal has changed. 0 : SSX Interrupt is disabled 1 : SSX Interrupt is enabled	0b
3	R/W	STXFE : FIFO_TX_FULL Interrupt en/disable FIFO_TX_FULL Interrupt occurs when FIFO_TX is full 0 : FIFO_TX_FULL Interrupt is disabled 1 : FIFO_TX_FULL Interrupt is enabled	0b
2	R/W	STXEE : FIFO_TX_EMPTY Interrupt en/disable FIFO_TX_EMPTY Interrupt occurs when FIFO_TX is empty 0 : FIFO_TX_EMPTY Interrupt is disabled 1 : FIFO_TX_EMPTY Interrupt is enabled	0b
1	R/W	SRXFE : FIFO_RX_FULL Interrupt en/disable FIFO_RX_FULL Interrupt occurs when FIFO_RX is full 0 : FIFO_RX_FULL Interrupt is disabled 1 : FIFO_RX_FULL Interrupt is enabled	0b
0	R/W	SRXEE : FIFO_RX_EMPTY Interrupt en/disable FIFO_RX_EMPTY Interrupt occurs when FIFO_RX is empty 0 : FIFO_RX_EMPTY Interrupt is disabled 1 : FIFO_RX_EMPTY Interrupt is enabled	0b

3.29.7.7 SPI Transfer Mode Register (SPITM)**Address : 0xFE00_B018h**

Bit	R/W	Description	Default Value
31 : 15	R	Reserved.	-
14 : 4	R/W	Byte number of Data transferred by DMA	000h
3	R/W	DMA on / off bit 0 : DMA Off 1 : DMA On	0b
2	R/W	TX mode 0 : SPI Operation is Full duplex 1 : Tx data is transmitted but Rx data is not stored.	0b
1	R/W	RX mode 0 : SPI Operation is Full duplex 1 : Rx data is taken but Tx data is always high.	0b
0	R	Reserved	-

3.29.7.8 SPI Clock Select Register (SPICS)**Address : 0xFE00_B01Ch**

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	SCK clock select bit 0 : SCK is APB clock divided 1 : SCK is external clock divided	0b

3.29.7.9 SPI Response Character Register (SPIRC)**Address : 0xFE00_B020h**

Bit	R/W	Description	Default Value
31 : 9	R	Reserved.	-
8	R/W	Response character exclusive 0 : 수신 버퍼에 Response character 가 도착할 때까지 데이터 전송 수행 1 : 수신 버퍼에 Response character 와 다른 데이터가 도착할 때까지 데이터 전송 수행	0b
7 : 0	R/W	Response character	00h

이 레지스터는 별도의 기능이다. 이것은 RX mode 이고 DMA를 사용하지 않을 때 사용 가능하다. 이 기능은 RX 데이터에 사용자가 지정한 특정한 문자가 들어올 때까지 SCK 를 toggling 하며 이때 TX로 나가는 데이터는 0xFF 가 된다.

3.30 JPEG Decoder

Features

640x480 4:2:0 format 1frame(lena image) 35ms 안에 decoding 가능(GDMA 사용시)

ISO 10918-2 base line JPEG decoder

Only support typical Huffman table defined in annex K of standard.

Support YCbCr 4:2:2 format

Support YCbCr 4:2:0 format

Maximum resolution:1024x1024

입력되는 JPEG Image width 는 32의 배수 이미지 height는 4:2:2일 때는 8의 배수, 4:2:0일 때는 16의 배수가 되는
이미지만 디코딩 가능

Block Diagram

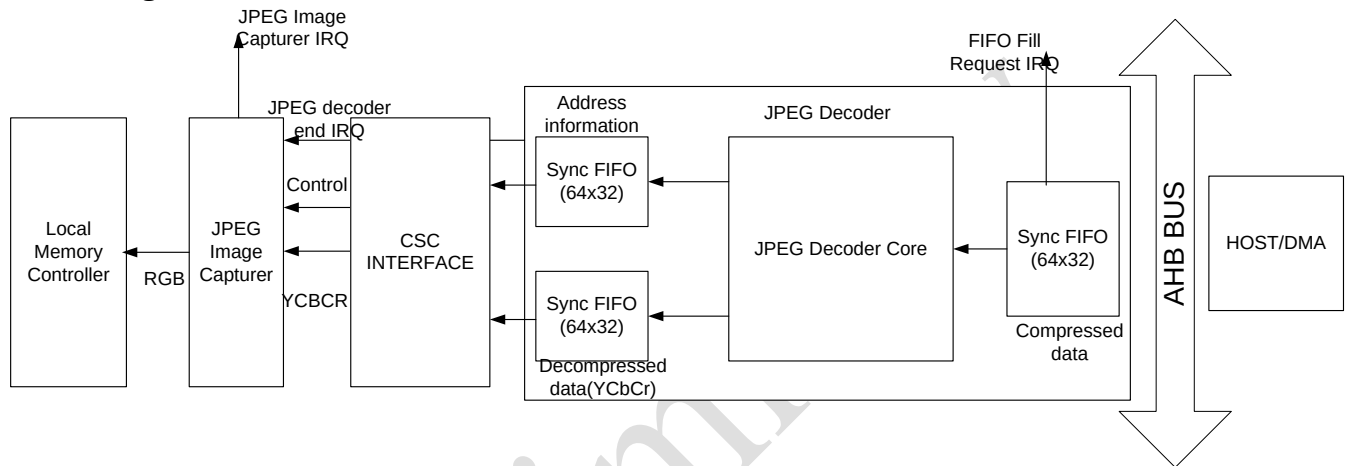


그림 3-62 JPEG Decoder Block Diagram

JPEG Decoder 내부에는 JPEG image data, decompressed data(YCbCr) 및 데이터 MCU(Minimum Code Unit)에 대한 address information을 저장하기 위한 64x32 FIFO가 3개가 존재 하며, 3개의 FIFO의 level은 JDFCON Register의 [6:0]의 setting값에 의해서 결정된다.

JPEG Decoder는 동작 시 JPEG image data의 요청을 위한 level 방식의 FIFO fill request IRQ를 발생시킨다. 이 IRQ는 JDCTRL 에서 설정한 FIFO level 만큼 데이터가 FIFO내부에 차 있을 때 까지 유지되며, FIFO level을 넘어가게 되면 자동으로 clear 된다. 그리고 FIFO 에 데이터가 level 보다 작게 되는 순간 다시 IRQ는 발생된다.

JPEG Decoder는 JPEG image내의 EOI(End Of Image) maker를 decode하면 decoding이 끝났음을 알리는 JPEG decoder end IRQ를 발생한다. 이 IRQ는 JPEG image capturer 의 interrupt source가 되며, JPEG image capturer에서는 마지막 MCU의 데이터를 memory에 저장할 때 이 IRQ를 사용하여 JPEG image capturer IRQ(JICIRQ)를 생성한다. JICIRQ는 JPEG decoder end IRQ를 clear 하기 전 까지 유지된다.

Decoder Core Block Diagram

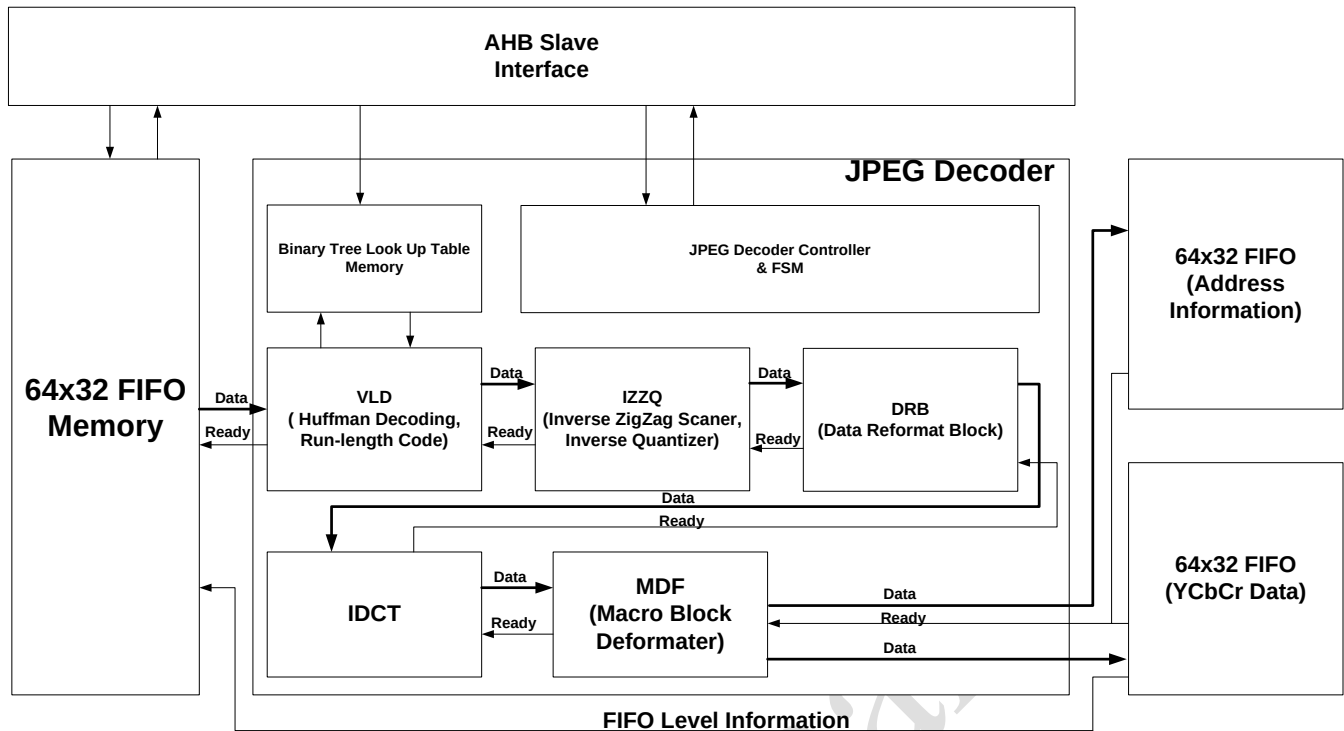


그림 3-63 JPEG Decoder Core Block Diagram

JPEG Decoder의 내부의 각각의 연산 블록 들은 다음 단계의 연산 블록에서 생성하는 ready 신호에 의해서 출력 데이터 transaction을 결정한다. 외부 System요건에 의해서 JPEG image input stream이 멈추거나, 또는 out data가 JDWCON에 설정된 level만큼 YCbCr FIFO에 채워지면 JPEG decoder는 wait 상태가 된다. 그러나 input data stream이 재개되거나 out data가 설정된 level이하로 될 경우 멈추었던 시점부터 다시 decoder는 동작하게 된다.

Software Flow Chart

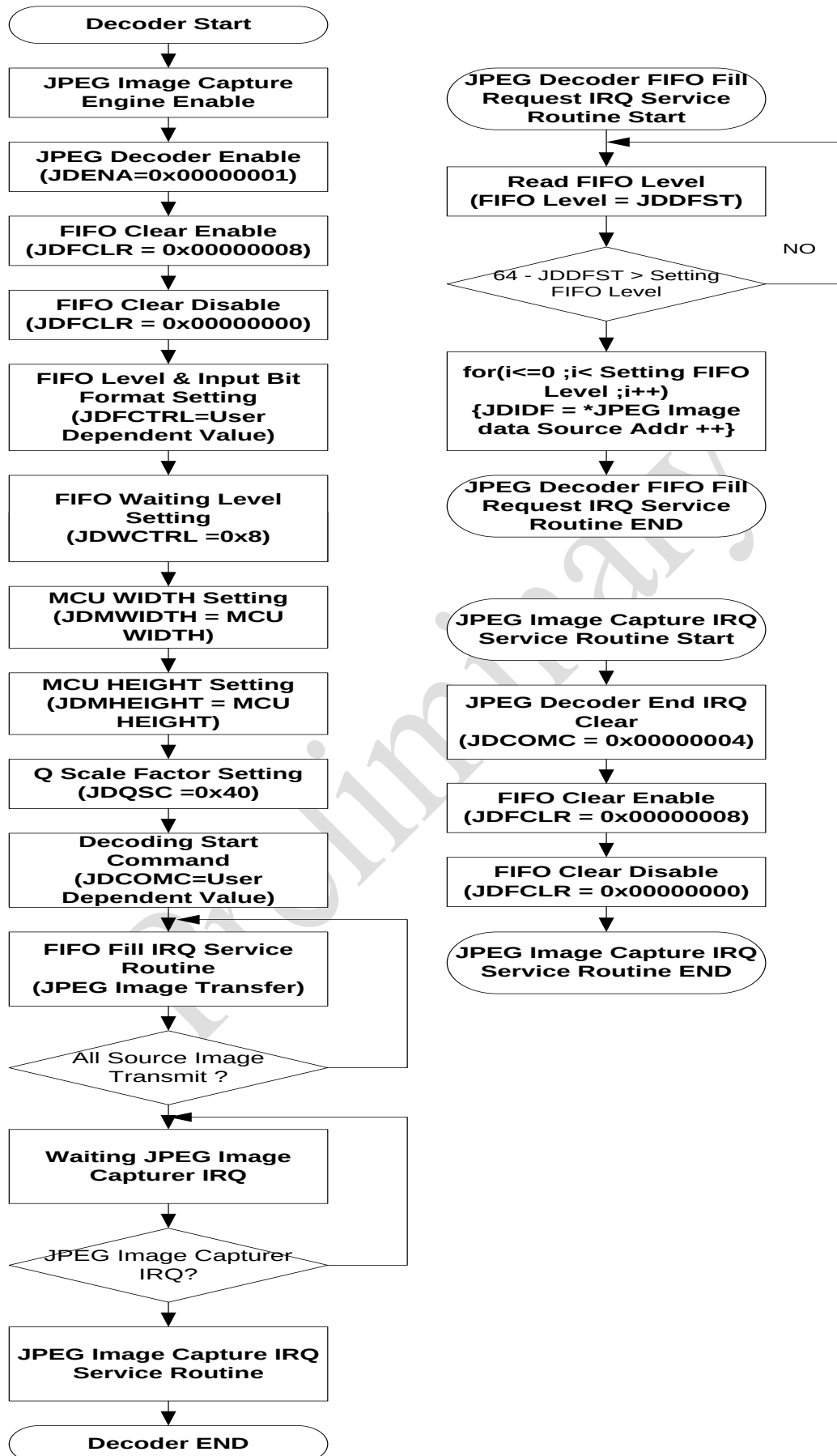


그림 3-64 JPEG Decoder Software Flow Chart

3.30.1 JPEG DECODER MCU WIDTH Register (JDMWIDTH)

Address : FFE1 0234h

Bit	R/W	Description	Default Value
31 : 12	R	Reserved.	-
11 : 0	W	JPEG Decoder MCU WIDTH -Decoding할 Image의 MCU width 를 설정 *MCU width = image width/16 (JPEG Decoder에서 지원 가능한 image width 는 32의 배수가 되어야 함)	000h

3.30.2 JPEG DECODER MCU HEIGHT Register (JDMHEIGHT)

Address : FFE1 0238h

Bit	R/W	Description	Default Value
31 : 12	R	Reserved.	-
11 : 0	W	JPEG Decoder MCU HEIGHT Decoding할 image의 MCU height 를 설정 *MCU HEIGHT = image height/16(YCBCR 420 format) *MCU HEIGHT = Image height/8 (YCBCR 422 format) (JPEG Decoder에서 지원 가능한 image height SIZE는 420 format 일 때는 16의 배수, 422 일 때는 8의 배수 이미지 임)	000h

3.30.3 JPEG DECODER Quantization Scale Control Register (JDQSC)

Address : FFE1 023Ch

Bit	R/W	Description	Default Value
31 : 12	R	Reserved.	-
11 : 0	W	JPEG Quantization Scale Control JPEG Image header 에 포함된 quantization table(Q table)값의 Scale을 조정. 64를 기준으로 큰 값은 q table값을 증가 시키며, 작은 값은 q table를 감소 시킨다. 64 이외의 값을 설정하는 경우 설정 값에 따라 이미지의 왜곡이 생길 수 있다.	000h

3.30.4 JPEG DECODER Command Control Register (JDCOMCON)

Address : FFE1 0240h

Bit	R/W	Description	Default Value
31 : 3	R	Reserved.	-
2	W	JPEG Decoder End IRQ Clear 1:End IRQ Clear 0:IDLE JPEG Decoder end IRQ는 JICIRQ의 source로 사용되며, 이 bit을 1로 설정하면 JPEG decoder end IRQ와 JICIRQ는 동시에 clear 된다. 이 bit은 1로 설정 후 다음 clock에서 자동적으로 0으로 clear 된다. *JPEG Decoder 가 다음 Image를 Decoding 하기 위해서 JPEG decoder end IRQ는 반드시 clear 되어야 한다.	0b
1	W	DECODING IMAGE FORMAT 1:YCBCR 420 0:YCBCR 422	0b
0	W	Decoding Start 1:Decoding Start 0:IDLE JDENA Register의 0번 bit이 1로 setting된 후 이 bit을 1로 setting하면 decoder가 동작 한다. -이 bit이 1이 되면 최초로 JPEG decoder FIFO fill request IRQ 가 발생하게 된다. -Decoder가 image decoding을 시작한 후 자동 Clear 된다.	0b

3.30.5 JPEG DECODER Y DC NODE Table (JDYDCNT)**Address : FFE1 0800h ~FFE1 0830h**

Bit	R/W	Description	Default Value
31 : 18	R	Reserved	-
17 : 0	W	Y DC Node Table for Huffman Decoding Huffman Decoding시 Y DC 2진 tree를 위한 node table	-

3.30.6 JPEG DECODER Y DC LEAF Table (JDYDCLT)**Address : FFE1 0C00h ~FFE1 0C30h**

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	W	Y DC LEAF Table for Huffman Decoding Huffman Decoding시 Y DC 2진 tree를 위한 leaf table	-

3.30.7 JPEG DECODER Y AC NODE Table (JDYACNT)**Address : FFE1 2800h ~FFE1 2A88h**

Bit	R/W	Description	Default Value
31 : 18	R	Reserved	-
17 : 0	W	Y AC Node Table for Huffman Decoding Huffman Decoding시 Y AC 2진 tree를 위한 node table	-

3.30.8 JPEG DECODER Y AC LEAF Table (JDYACLT)**Address : FFE1 3000h ~FFE1 3288h**

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	W	Y AC LEAF Table for Huffman Decoding Huffman Decoding시 Y AC 2진 tree를 위한 leaf table	-

3.30.9 JPEG DECODER UV DC NODE Table (JDUVDCNT)**Address : FFE1 4800h ~FFE1 4830h**

Bit	R/W	Description	Default Value
31 : 18	R	Reserved	-
17 : 0	W	UV AC Node Table for Huffman Decoding Huffman Decoding시 UV AC 2진 tree를 위한 node table	-

3.30.10 JPEG DECODER UV DC LEAF Table (JDUVDCLT)**Address : FFE1 5000h ~FFE1 5030h**

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	W	UV DC LEAF Table for Huffman Decoding Huffman Decoding시 UV DC 2진 tree를 위한 leaf table	-

3.30.11 JPEG DECODER UV AC NODE Table (JDUVACNT)**Address : FFE1 6800h ~FFE1 6A88h**

Bit	R/W	Description	Default Value
31 : 18	R	Reserved	-
17 : 0	W	UV AC Node Table for Huffman Decoding Huffman Decoding시 UV AC 2진 tree를 위한 node table	-

3.30.12 JPEG DECODER UV AC LEAF Table (JDUVACLT)

Address : FFE1 7000h ~FFE1 7288h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	W	UV AC LEAF Table for Huffman Decoding Huffman Decoding시 UV AC 2진 tree를 위한 leaf table	-

3.30.13 JPEG DECODER STATUS Register (JDSTAT)

Address : FFE1 8000h

Bit	R/W	Description	Default Value
31 : 4	R	Reserved	-
3	R	JPEG Decoder Finished	0b
2	R	JPEG Decoder MCU Decoding	0b
1	R	JPEG Decoder Header Parsing	0b
0	R	JPEG Decoder Ready	0b

3.30.14 JPEG DECODER IRQ STATUS Register (JDIRQSTAT)

Address : FFE1 8004h

Bit	R/W	Description	Default Value
31 : 2	R	Reserved.	-
1	R	JPEG Decoder FIFO Fill Request IRQ Compressed data FIFO에 JDCTRL register의 [6:0]에서 설정한 level만큼 데이터가 차 있지 않으면 인터럽트가 발생한다.	0b
0	R	JPEG Decoder End IRQ JPEG Decoder 의 종료 시점을 나타낸다. JPEG decoder에 설정한 만큼의 MCU가 decoding 된 후 JPEG EOF flag가 들어오면 이 interrupt는 발생한다. *이 interrupt 는 JPEG image capturer으로 인가되어 JICIRQ의 source로 사용된다.	0b

3.30.15 JPEG DECODER Data FIFO Status Register (JDDFSTAT)

Address : FFE1 8008h

Bit	R/W	Description	Default Value
31 : 7	R	Reserved.	-
6 : 0	R	Current FIFO Level Status 현재의 compressed data FIFO level을 나타낸다. FIFO에 데이터를 쓰는 경우 current FIFO level status 가 0x3fh를 넘어가면 이후 데이터들은 기존 데이터를 덮어쓰게 되므로, 0x3fh를 넘어가지 않게 데이터를 Write해야 한다.	00h

3.30.16 JPEG DECODER Enable Register (JDENA)

Address : FFE1 8010h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved.	-
0	R/W	JPEG Decoder Enable JPEG Decoder를 enable 시킨다. 이 bit을 set한 후 JDCOMCON register의 0번 bit를 set 하면 JPEG decoder는 decoding을 시작한다.	0b

3.30.17 JPEG DECODER FIFO Clear Register (JDFCLR)

Address : FFE1 8014h

Bit	R/W	Description	Default Value
31: 4	R	Reserved.	-
3	R/W	FIFO Clear 1:ALL FIFO Clear 0:IDLE	0b
2 : 0	R	Reserved	-

3.30.18 JPEG DECODER FIFO Control Register (JDFCON)

Address : FFE1 8018h

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9	R/W	Input data Format Selection 1:Big Endian Format 0:Little Endian Format	0b
8 : 7	R	Reserved	-
6 : 0	R/W	Compressed Data FIFO Threshold Level Compressed data FIFO의 threshold level을 설정. 이 설정 값만큼의 데이터가 FIFO에 없으면, FIFO fill request interrupt가 발생한다. 설정 값은 FIFO Size(64)보다 작은 값을 사용해야 한다.	00h

3.30.19 JPEG DECODER WAITE CONTROL Register (JDWCON)

Address : FFE1 801Ch

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6 : 0	R	WAITE FIFO Threshold Level Decompressed data FIFO의 LEVEL을 나타낸다. 설정 값 * 8만큼의 데이터가 FIFO에 남아 있으면, decoder는 대기 상태가 되며, 설정 값 *8 보다 데이터가 적은 경우 decoder는 다시 동작을 하게 된다. 설정 값은 최소 1, 최대 8이 되며 설정 값이 작을수록 대기 상태의 빈도는 늘어나게 된다.	08h

3.30.20 JPEG DECODER SOFTWARE RESET Register (JDSRST)

Address : FFE1 8024h

Bit	R/W	Description	Default Value
31 : 1	R	Reserved.	-
0	R/W	Software Reset 1:IDLE 0:Reset 잘못된 데이터의 인가로 인한 JPEG Decoder가 이상 상태에서 동작할 때 강제로 decoder를 초기화 한다. 이 bit을 0으로 설정하여 decoder를 reset을 시킨 후 다시 1로 설정을 해야 decoder를 동작시킬 수 있다.	1b

3.30.21 JPEG DECODER INPUT DATA FIFO Register (JDIDF)

Address : FFE1 9000h

Bit	R/W	Description	Default Value
31 : 0	W	INPUT DATA FIFO Compressed data(JPEG Input stream) FIFO	-

3.31 Internal Memory Controller

3.31.1 Features

- Eagle에 내장된 2-Kbyte 크기의 내부 SRAM을 관리
- Core와 NAND Flash Controller 사이의 Arbitration을 수행.
- 상위, 하위 각 1-Kbyte로 구성되어, 각각 개별적인 access가 가능
- NAND Flash Auto-boot 시, 최초 Boot-code가 복사되어 수행되는 영역.
- Normal 모드 동작 시, NAND Flash Controller나 Core의 Buffer로 사용가능.

3.31.2 Block diagram

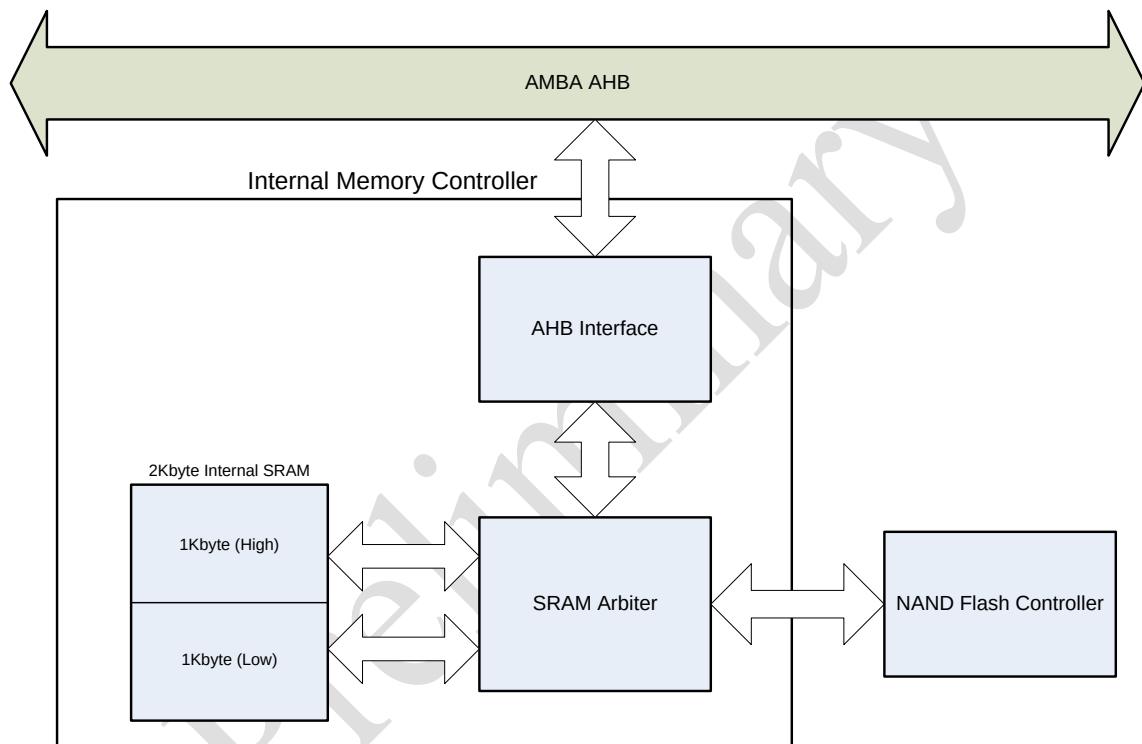


그림 3-65 Internal Memory Controller Block Diagram

3.31.3 Memory Map

Boot Mode	Address	Description	Size
Normal Mode	1F00 0000h ~ 1F00 07FFh	Inside 2K SRAM 1F00:0000h ~ 1F00:03FFh lower 1kb 1F00:0400h ~ 1F00:07FFh upper 1kb	2Kbyte
Auto boot Mode	0000 0000h ~ 0000 07FFh	Inside 2K SRAM 0000:0000h ~ 0000:03FFh lower 1kb 0000:0400h ~ 0000:07FFh upper 1kb	2Kbyte

표 3-32 Internal Memory Map

3.32 AE32000C System Co-processor

3.32.1 General description

AE32000C System Co-processor 는 메모리 관리를 위한 Memory Management Unit(MMU) 과 Instruction/Data Cache 그리고 On Silicon ICE (OSI) 기능 블록을 포함하며, 이들 기능 블록들과 기타 부가 기능블록에 대한제어를 담당한다.

Features

- Memory Management : EAGLE 의 메모리는 다음과 같이 2개의 메모리 모드에서 메모리를 관리한다.

- Real memory mode

이 모드에서 프로세서는 4GB 크기의 선형메모리 영역과 OSI동작을 위해 예약해 놓은 일부 메모리 영역만을 접근할 수 있으며, 프로세서의 어드레스는 실제 메모리 어드레스와 일치한다.

Address	Description	Size
0000 0000h	ROM, SRAM (CS0x)	512M
2000 0000h	ROM, SRAM, SDRAM Bank 1 (CS1x)	512M
4000 0000h	ROM, SRAM, SDRAM Bank 2 (CS2x)	512M
6000 0000h	ROM, SRAM, SDRAM Bank 3 (CS3x)	512M
8000 0000h	ROM, SRAM, SDRAM Bank 4 (CS4x)	512M
A000 0000h	ROM, SRAM, SDRAM Bank 5 (CS5x)	512M
C000 0000h	ROM, SRAM, SDRAM Bank 6 (CS6x)	512M
E000 0000h	Texture Memory Bank SDRAM Bank 7 (TSD_CSx,TSD_CSx2)	512M

- Virtual memory mode

프로세서는 TLB를 통한 어드레스 변환이 가능해지며, 4GB의 가상 메모리 영역을 접근할 수 있다.

- Instruction / Data Cache

- 4 Way Set Associative Harvard Cache(8Kbyte Instruction Cache, 8Kbyte Data Cache)
- Write Back / Write Through
- 16 Byte / Line
- LRU Replacement
- Cache Invalidation by Software
- 4 Word Deep Write Buffer (FIFO)

- * 1. AE32000C 프로세서 및 시스템 보조프로세서(보조프로세서 0번)의 설정에 대한 사항은 AE32000C(Lucifer) : **Hardware Reference Manual**을 참조할 것
- * 2. AE32000C 명령어에 대한 사항은 **AE32000C:Instruction Reference Manual**을 참조할 것.

3.32.2 System Coprocessor Register

Registers	Attr.	Descriptions	Remarks
R0	R/W	OSI Control / Status / Data Register (DIX 00 – 08)	
R1	R/W	OSI Index Register	
R2	R/W	OSI RS-232C Tx/Rx Data Register	
R3	R/W	General Access Point Index Register	
R4	R/W	General Access Point Data Register	
R5	R/W	Sub-bank Address Register	
R6	R/W	TLB Virtual Address Register	
	R/W	TLB Physical Address Register	
R7	R/W	TLB Index Register	
R8	R/W	Sub-bank Index / Configuration Register	
R9	R/W	Memory Bank Register	
R10	-	-	Reserved
R11	W	Invalidate Cache Register	
R12	R/W	Vector Base Register	
R13	R/W	User Stack Pointer	
R14	R/W	Supervisor / OSI Stack Pointer	
R15	W	Master Command Register	
	R	Status Register	

3.32.2.1 Status Register(Read Only)

Co-processor #0 – R15

Bit	R/W	Description	Default Value
31	R	System Co-processor (Privileged) 0 : Supervisor only access 1 : User/Supervisor access	0b
30:28	R	Type	001b
27:25	R	Subtype	000b
24:23	R	Download Channel 00 : No Shared Channel 01 : Parallel Port 10 : USB 11 : Ethernet	00b
22:21	R	OSI configuration 00 : No OSI 01 : 2 channel OSI. 10 : 4 channel OSI. 11 : 8 channel OSI.	11b
20:19	R	TLB configuration 00 : No TLB 01 : Unified, 4-way, 128 Entry TLB 10 : Separated, I : 4way, 64entry D: 4way, 64entry 11 : Separated, I : 4way, 128entry D: 4way, 128entry	11b
18	R	L1 Cache Configuration 0 : L1 Cache Present 1 : L1 Cache Not Present (invalid pre-fetch)	0b
17	R	Reserved	-
16	R	L1 Cache Configuration – Write Policy 0 : write-through 1 : write-back	1b
15 : 10	R	Reserved	-
9:8	R	OSI Break Cause 00 : OSI Instruction Break	00b

		01 : OSI Data Break 10 : OSI Packet Receive (full) 11 : OSI External Break	
7	R	Reserved	-
6	R	Misalign Correction Support Enable / Disable 0 : Enable 1 : Disable	1b
5:2	R	Rending exception 0000 : Access violation exception (Instruction) 0001 : TLB miss exception (Instruction) 0010 : Privilege violation exception 0011 : Address alignment error exception (Data) 0100 : Access violation exception (Data) 0101 : TLB miss exception (Data) 0110 : Write to Read-Only region (Data) 1000 : Address alignment error exception (Instruction) 1111 : NIL	1111b
1	R	Pending exception status 0 : No pending exception 1 : Pending exception as bit 5:2	0b
0	R	Reserved	-

3.32.2.2 Master Command Register

Co-processor #0 – R15

Bit	R/W	Description	Default Value
31:16	W	Reserved	-
15:11	W	Write buffer Control 0xxxx : N/A 110xx : Disable write buffer 11100 : Enable write buffer without merge and forward function 11101 : Enable write buffer with forward function 11110 : Enable write buffer with merge and forward function 10xxx : Control by MBMU/ TLB information	00111b
10:8	W	Cache Configuration 0xx : N/A 100 : Disable L1 Cache Snooping 101 : Enable L1 Cache Snooping 110 : Disable L2 Cache Snooping 111 : Enable L2 Cache Snooping	000b
7:6	W	Misalign Correction Support enable/disable 0x: N/A 10: disable 11: enable	00b
5:2	W	End of exception 0000 : Access violation exception (Instruction) 0001 : TLB miss exception (Instruction) 0010 : Privilege violation exception 0011 : Address alignment error exception (Data) 0100 : Access violation exception (Data) 0101 : TLB miss exception (Data) 0110 : Write to Read-Only region (Data) 1000 : Address alignment error exception (Instruction) 1111: NIL	1111b
1:0	R	Reserved	-

3.32.2.3 Supervisor/OSI Stack Pointer Register**Co-Processor #0 – R14**

Bit	R/W	Description	Default Value
31:2	R	Supervisor stack pointer at OSI mode OSI stack pointer at supervisor mode	All 0's
1:0	R	Always 0	

3.32.2.4 User Stack Pointer Register**Co-processor #0 – R13**

Bit	R/W	Description	Default Value
31:2	R	User stack pointer	All 0's
1:0	R	Always 0	

3.32.2.5 Vector Base Register**Co-processor #0 – R12**

Bit	R/W	Description	Default Value
31:2	R	Exception vector table virtual address bit	All 0's
1:0	R	Always 0	

3.32.2.6 Cache Invalidation Register**Co-processor #0 – R11**

Bit	R/W	Description	Default Value
31:7	W	Target Address	-
6:4	W	Target Address / Target Way	-
3	W	Operation 0 : Address Based Invalidation 1 : Way Based Invalidation	-
2	W	write-back enable/disable 0 : w/o write-back 1 : w/ write-back if needed , supported in address based invalidation.	-
1	R	Reserved	-
0	W	Cache Type 0 : Instruction Cache 1 : Data Cache	-

3.32.2.7 Memory Bank Register**Co-processor #0 – R9**

Bit	R/W	Description	Default Value
31:28	R/W	Memory Bank 7 configuration	0000b
		31 Memory Bank 7 TLB address translation 0 : Disable TLB 1 : Enable TLB	

		30	Memory Bank 7 access right (TLB disable) 0 : Supervisor only access 1 : User / Supervisor access	
			Memory Bank 7 TLB Page size (TLB enable) 0 : 4KB 1 : 256KB	
		29:28	Memory Bank 7 cache configuration (Valid only if TLB is disabled) 00 : Disable cache, disable write buffer 01 : Disable cache, enable write buffer 10 : Write through cache, enable write buffer 11 : Write back cache, enable writ buffer	
27:24	R/W	Memory Bank 6 configuration		0000b
23:20	R/W	Memory Bank 5 configuration		0000b
19:16	R/W	Memory Bank 4 configuration		0000b
15:12	R/W	Memory Bank 3 configuration		0000b
11:8	R/W	Memory Bank 2 configuration		0000b
7:4	R/W	Memory Bank 1 configuration		0000b
3:0	R/W	Memory Bank 0 configuration		0000b

3.32.2.8 Sub-bank Index/Configuration Register

Co-processor #0 – R8

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6:4	R/W	Sub-bank Index Register 000 : Sub-bank 0 001 : Sub-bank 1 010 : Sub-bank 2 011 : Sub-bank 3 100 : Sub-bank 4 101 : Sub-bank 5 110 : Sub-bank 6 111 : Sub-bank 7	000b
3:0	R/W	Sub-bank Configuration (indexed by Bit[6:4]) bit 3 : configuration information validity 0 : invalid, 1 : valid bit 2 : Access right 0 : Supervisor only access, 1 : User/Supervisor access bit [1:0] : Cache Disable 00 : Disable cache, disable write buffer 01 : Disable cache, enable write buffer 10 : Write through cache, enable write buffer 11 : Write back cache, enable writ buffer	0000b

3.32.2.9 TLB Index Register

Co-processor #0 – R7

Bit	R/W	Description	Default Value
31:9	R/W	Reserved	-
8	R/W	TLB select 0 : Select instruction fetch TLB 1 : Select data access TLB	0b
7:3	R/W	TLB index TLB index = VA16-VA12/PA11-PA0=VA11-VA0	All 0's
2:1	R/W	TLB set	All 0's

		00 : 0 way 01 : 1 way 10 : 2 way 11 : 3 way	
0	R/W	TLB V/P address register select 0 : Virtual address register 1 : Physical address register	0b

3.32.2.10 TLB Virtual Address Register

Co-processor #0 – R6 (if Co-processor #0 – R7.b0 = 0)

Bit	R/W	Description	Default Value
31:17	R/W	TLB virtual address [31:17]	All 0's
16	R/W	Spare bit for special purpose	0b
15:8	R/W	Process Identifier number (0~255)	All 0's
7	R/W	Global bit 0 : Process Identifier is compared to the valued of the 8 bit Process Identifier Register 1 : Process Identifier isn't compared to the valued of the 8 bit Process Identifier Register	0b
6	R/W	Spare bit for special purpose in I-TLB entry Page access mode in the D-TLB entry 0 : Read only access mode 1 : Read/Write access mode	0b
5	R/W	Spare bit for special purpose in I-TLB entry Dirty page in the D-TLB entry 0 : Clean page 1 : Dirty page	0b
4:3	R/W	Cache configuration 00 : Disable cache, disable write buffer 01 : Disable cache, enable write buffer 10 : Write through cache, enable write buffer 11 : Write back cache, enable writ buffer	00b
2	R/W	Access right 0 : Supervisor only access 1 : User/Supervisor access	0b
1	R/W	Accessed 0 : Not accessed 1 : Accessed	0b
0	R/W	Valid 0 : Invalid entry 1 : Valid entry	0b

3.32.2.11 TLB Physical Address Register

Co-processor #0 – R6 (if Co-processor #0 – R7.b0 = 1)

Bit	R/W	Description	Default Value
31:12	W	TLB physical address [31:12]	All 0's
11:0	R	Reserved	-

3.32.2.12 Sub-bank Address Register : Indexed by SCP %R8

Co-processor #0 – R5 (R8[6:4]= x, Sub-bankx, 0≤x≤7)

Bit	R/W	Description	Default Value
31:12	R/W	Sub-bank Base Address Bit 31-12 Base Address = xxxxxxxxxxxxxxxxxxxx000000000000	All 0's

11:0	R/W	Sub-bank Size Enable 000000000000 : 4KB, 000000000001 : 8KB 000000000011 : 16KB, 000000000111 : 32KB 000000001111 : 64KB, 000000011111 : 128KB 000000111111 : 256KB, 000001111111 : 512KB 000011111111 : 1MB, 000111111111 : 2MB 001111111111 : 4MB, 011111111111 : 8MB 111111111111 : 16MB	All 0's
------	-----	--	---------

3.32.2.13 General Access Point Data Register

Co-processor #0 – R4

Bit	R/W	Description	Default Value
31:0	R/W	General Access Point Data R3 = 300h : Access the register whose content is virtual address caused instruction fetch TLB miss exception (Read Only) R3 = 301h : Access the register whose content is virtual address caused data access TLB miss exception (Read Only) R3 = 302h : Access the register whose content is TLB Process Identifier Register (Write Only)	All 0's

3.32.2.14 General Access Point Index Register

Co-processor #0 – R3

Bit	R/W	Description	Default Value
31:0	W	General Access Point Index 300h : Indexing Instruction fetch TLB miss exception virtual address register 301h : Indexing Data access TLB miss exception virtual address register 302h : Indexing TLB Process Identifier Register	All 0's

3.32.2.15 OSI RS-232C Transmit Data Register

Co-processor #0 – R2

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7:0	W	OSI RS-232C transmit data	All 0's

3.32.2.16 OSI RS-232C Receive Data Register

Co-processor #0 – R2

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7:0	R	OSI RS-232C receive data	All 0's

3.32.2.17 OSI Index Register

Co-processor #0 – R1

Bit	R/W	Description	Default Value
-----	-----	-------------	---------------

31:4	R	Reserved	-
3:0	R/W	OSI Register Index	All 0's

3.32.2.18 OSI Data Register

Co-processor #0 – R0(DIX00-DIX07)

Bit	R/W	Description	Default Value
31:1	R/W	Break Point Address Bits[31:1]	All 0's
3:0	R/W	Break Point Property (0 : Instruction Break Point, 1 : Data Break Point)	All 0's

3.32.2.19 OSI RS-232C Status Register

Co-processor #0 – R0(DIX08)

Bit	R/W	Description	Default Value
31:4	R	Reserved	-
3	R	OSI RS-232C receive over run error	0b
2	R	OSI RS-232C receive frame error	0b
1	R	OSI RS-232C receive buffer full	0b
0	R	OSI RS-232C transmit buffer empty	0b

3.32.2.20 OSI RS-232C Control Register

Co-processor #0 – R0(DIX08)

Bit	R/W	Description	Default Value
31:12	R	Reserved	-
11	W	Buffer Clear 0 : Null 1 : Clear OSI-UART Buffer	0b
10:9	W	Control break by RS-232C received data 0x : Null 10 : Disable 11 : Enable	0b
8	W	Bit 7-0 usage control 0 : Null 1 : RS-232C clock divider	0b
7:0	W	OSI RS-232C Clock Divider (Setting Baud Rate) $BaudRate = \frac{CPUClockRate}{(ClockDivider + 1) \times 16}$ Frequently Used Settings 1) 100MHz CPU Clock 38400 : A1h 57600 : 68h 115200 : 35h 2) 8MHz CPU Clock 19200 : 19h 38400 : 0Ch 57600 : 07h 115200 : 03h	0b

3.32.2.21 OSI Channel Valid Register**Co-processor #0 – R0(DIX09)**

<i>Bit</i>	<i>R/W</i>	<i>Description</i>	<i>Default Value</i>
31:8	R	Reserved	-
7:0	R/W	Break Channel Valid Bit	All 0's

Preliminary

3.33 JTAG of EAGLE

3.33.1 Features

- 4가지 기본 Instruction 제공 (Sample/Preload, EXTEST , Bypass, IDCODE)
- core debug를 위한 JTAG Debug instruction 제공 (Core debug)

3.33.2 Block diagram

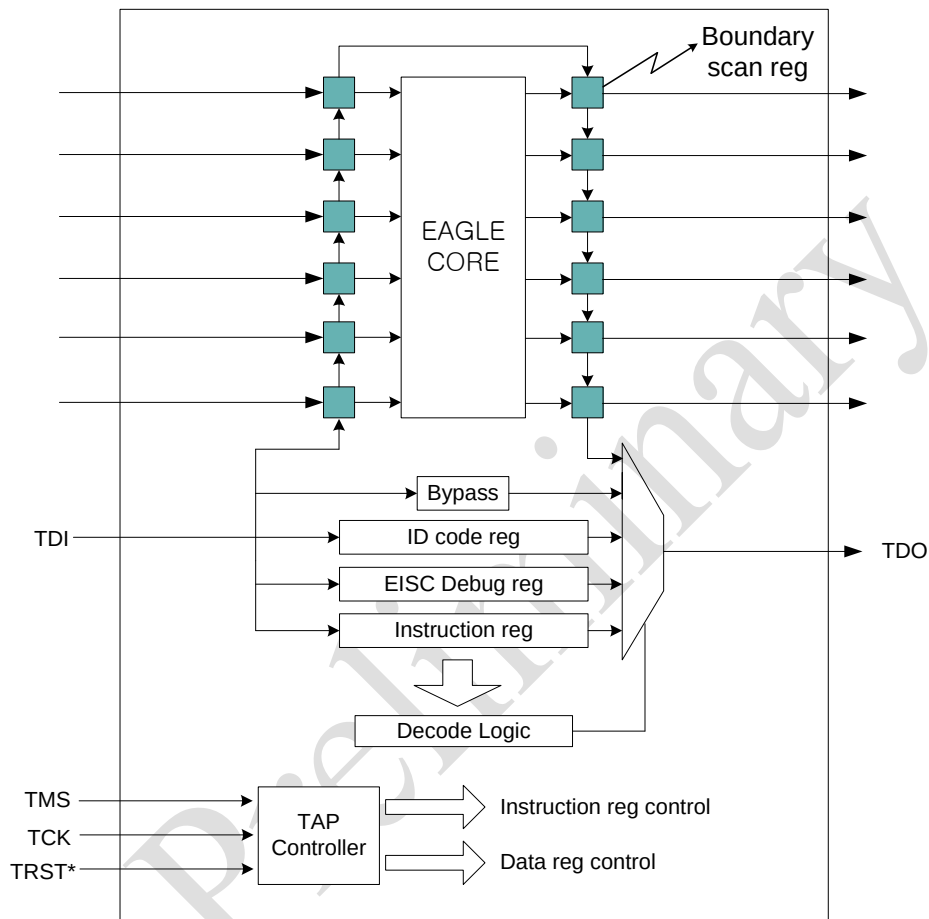


그림 3-66 JTAG Block Diagram

3.33.3 Description

JTAG의 구조는 위의 Block diagram 에서 보듯이 Instruction 레지스터, 4개의 Data 레지스터 (Bypass register, ID code register, EISC Debug register, boundary scan register) 그리고 Tap controller로 이루어져 있다.

3.33.3.1 JTAG Instruction

Instruction 레지스터와 Data 레지스터는 모두 TDI와 연결되어 있고 내부 Mux를 통해서 TDO로 출력되는데 TDO로 출력될 레지스터의 종류는 Instruction 내용에 의해 정해진다. 아래 표는 Eagle에서 제공되는 Instruction과 선택되는 레지스터의 종류이다.

Instruction	Binary code	Selected register
Sample / Preload	0011	Boundary scan register
Bypass	1111	Bypass register

EXTEST	0000	Boundary scan register
IDCODE	1010	IDCODE register
EISC Debug	1001 / 1011	EISC Debug register

3.33.3.2 Tap Controller

사용자는 TMS, TCK을 통해 TAP controller의 state를 제어하게 된다. TAP controller의 state는 모두 16단계이며 각각의 state에서 Data 레지스터와 Instruction 레지스터를 제어하는 control signal이 발생된다. TAP controller의 state는 아래 그림과 같다.

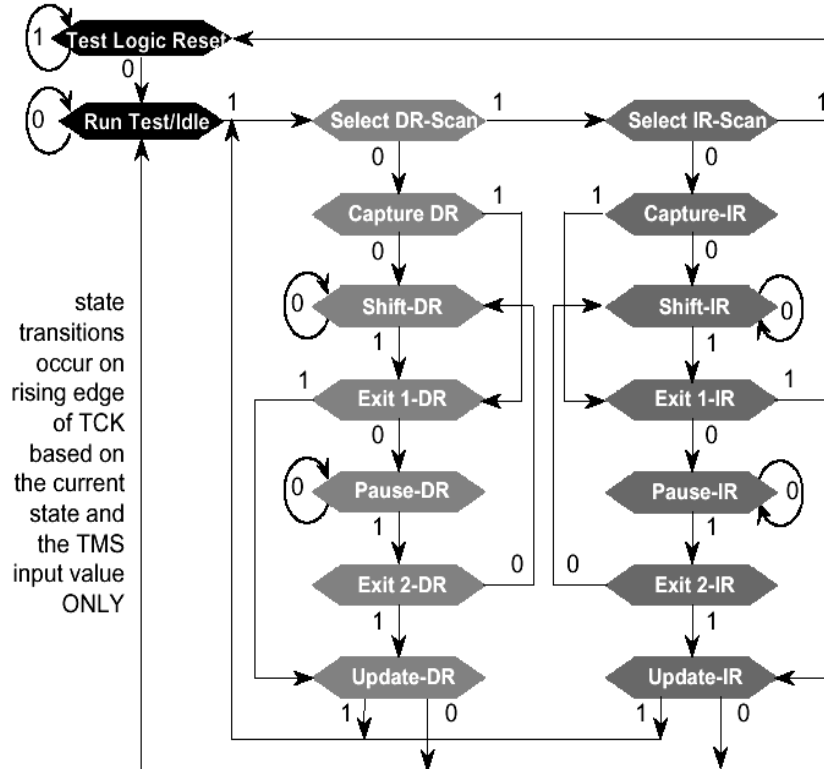
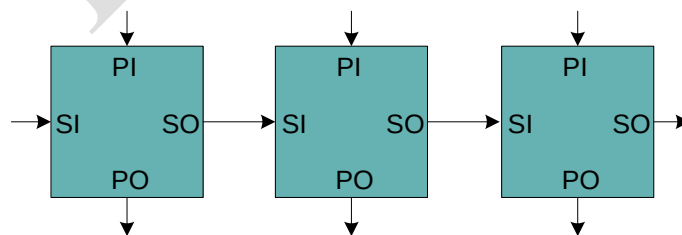


그림 3-67 Tap Controller Operation

위의 state중 오른쪽은 Instruction 레지스터를 제어하는 state이고 왼쪽은 Data 레지스터를 제어하는 state이다. 두 종류의 레지스터를 제어하는 state는 나뉘어 있지만 제어하는 방식은 거의 비슷하다. 기본적으로 capture, shift, update 이렇게 3단계 프로세스로 진행되는데 아래의 그림을 보면서 설명하도록 한다.



레지스터는 두 개의 입력 PI(Parallel input), SI(Serial input) 과 두 개의 출력 PO(Parallel output), SO(Serial Output)을 갖고 있으며 각 프로세스가 수행하는 역할은 다음과 같다.

1. Capture : PI 값을 SO에 전달한다.
2. Shift : SI 값을 SO에 전달한다.
3. Update : SO 값을 PO로 전달한다.

Instruction 레지스터를 제어하는 경우를 살펴보자 먼저 TMS와 TCK를 조작하여 Select IR-Scan, Capture-IR 단계를 차례로 거친다. Capture-IR 단계에서는 현재 적용되고 있는 Instruction이 PI를 통해 Instruction 레지스터의 SO에 전달된다. 그 후 SHIFT-IR 단계에서 새로운 Instruction이 TDI로부터 SI를 통해 한 비트씩 Shift 되며 SO에 저장된다. Exit1-IR 단계에서 Instruction shifting 완료되고 Update_IR 단계에서 Instruction 레지스터의 SO값이 PO로 전달되면서 새로운 Instruction이 적용되게 된다.

Data 레지스터에 대한 제어방식도 이와 비슷하다. Boundary scan register를 예로 들면 Capture DR 단계에서는 PI 로 들어오는 값을 SO에 전달한다. 이 때 Input에 있는 Boundary scan register의 PI는 Eagle Input 값이 되고 Output에 있는 Boundary scan register의 경우 PI는 Eagle core의 출력 값이 된다. Shift-DR 단계에서 TDI로부터 SI를 통해 SO에 저장되며 Update DR 단계에서 SO값이 PO에 전달된다. 이 때도 Input에 있는 Boundary scan register의 PO는 Eagle Core Input 값이 되고 Output에 있는 Boundary scan register의 경우 PO는 Eagle 의 출력 핀이 된다.

3.33.3.3 Boundary scan register

Eagle의 모든 입출력 Pin에는 Boundary scan register가 삽입되어 있어서 Board level에서 Pin과 Pin 사이의 연결상태를 확인할 수 있다. 아래의 표는 각 Pin에 삽입되어 있는 Boundary 레지스터의 function과 order를 관한 정보를 보여준다.

Pin name	Pin num	Function	bsr order	Pin name	Pin num	function	bsr order
TEST	P1	Input	297	TA[12]	P123	bidir	148
D[0]	-	Control	296	TA[11]	-	control	147
	P8	Bidir	295		P124	bidir	146
D[1]	-	Control	294	TA[10]	-	control	145
	P9	Bidir	293		P125	bidir	144
D[2]	-	Control	292	TA[9]	-	control	143
	P10	Bidir	291		P126	bidir	142
D[3]	-	Control	290	TA[8]	-	control	141
	P11	Bidir	289		P129	bidir	140
D[4]	-	Control	288	TA[7]	-	control	139
	P14	bidir	287		P130	bidir	138
D[5]	-	control	286	TA[6]	-	control	137
	P15	bidir	285		P131	bidir	136
D[6]	-	control	284	TA[5]	-	control	135
	P16	bidir	283		P132	bidir	134
D[7]	-	control	282	TA[4]	-	control	133
	P17	bidir	281		P133	bidir	132
D[8]	-	control	280	TSD_CLK	-	control	131
	P20	bidir	279		P136	bidir	130
D[9]	-	control	278	TSD_DQM[1]	-	control	129
	P21	bidir	277		P137	bidir	128
D[10]	-	control	276	TD[8]	-	control	127
	P22	bidir	275		P138	bidir	126
D[11]	-	control	274	TD[9]	-	control	125
	P23	bidir	273		P139	bidir	124
D[12]	-	control	272	TD[10]	-	control	123
	P24	bidir	271		P140	bidir	122
D[13]	-	control	270	TD[11]	-	control	121
	P25	bidir	269		P141	bidir	120
D[14]	-	control	268	TD[12]	-	control	119
	P26	bidir	267		P142	bidir	118
D[15]	-	control	266	TD[13]	-	control	117
	P27	bidir	265		P143	bidir	116
SD_DQM[0]	P28	output	264	TD[14]	-	control	115

SD_DQM[1]	P29	output	263		P144	bidir	114
SD_CLK	P30	output	262	TD[15]	-	control	113
CS6x	P31	output	261		P145	bidir	112
SD_RASx	P32	output	260	TD[0]	-	control	111
SD_CASx	P39	output	259		P146	bidir	110
SD_WEx	P34	output	258	TD[1]	-	control	109
SD_DQM[2]	P35	output	257		P147	bidir	108
SD_DQM[3]	P36	output	256	TD[2]	-	control	107
D[23]	-	control	255		P150	bidir	106
	P39	bidir	254	TD[3]	-	control	105
D[22]	-	control	253		P151	bidir	104
	P40	bidir	252	TD[4]	-	control	103
D[21]	-	control	251		P152	bidir	102
	P41	bidir	250	TD[5]	-	control	101
D[20]	-	control	249		P153	bidir	100
	P42	bidir	248	TD[6]	-	control	99
D[19]	-	control	247		P154	bidir	98
	P43	bidir	246	TD[7]	-	control	97
D[18]	-	control	245		P155	bidir	96
	P44	bidir	244	TA[3]	-	control	95
D[17]	-	control	243		P156	bidir	94
	P47	bidir	242	TA[2]	-	control	93
D[16]	-	control	241		P157	bidir	92
	P48	bidir	240	TA[1]	-	control	91
A[0]	P49	output	239		P158	bidir	90
A[1]	P50	output	238	TA[0]	-	control	89
A[2]	P51	output	237		P159	bidir	88
A[3]	P52	output	236	TBA[1]	-	control	87
A[4]	P53	output	235		P160	bidir	86
A[5]	P54	output	234	TBA[0]	-	control	85
A[6]	P55	output	233		P161	bidir	84
A[7]	P56	output	232	TSD_CSx	-	control	83
A[8]	P57	output	231		P162	bidir	82
A[9]	P58	output	230	TSD_RASx	-	control	81
A[10]	P61	output	229		P163	bidir	80
A[11]	P62	output	228	TSD_CASx	-	control	79
A[12]	P63	output	227		P166	bidir	78
A[13]	P64	output	226	TSD_WEx	-	control	77
A[14]	P65	output	225		P167	bidir	76
A[15]	P66	output	224	TSD_DQM[0]	-	control	75
A[16]	P67	output	223		P168	bidir	74
D[24]	-	control	222	SND_SDO	-	control	73
	P70	bidir	221		P169	bidir	72
D[25]	-	control	220	SND_LRCK	-	control	71
	P71	bidir	219		P170	bidir	70
D[26]	-	control	218	SND_SCK	-	control	69
	P72	bidir	217		P171	bidir	68
D[27]	-	control	216	SND_MCLK	-	control	67
	P73	bidir	215		P172	bidir	66
D[28]	-	control	214	CAPTURE_IN[2]	-	control	65

	P74	bidir	213		P173	bidir	64
D[29]	-	control	212	VSYNC_OUT	P193	output	63
	P75	bidir	211	HSYNC_OUT	P194	output	62
D[30]	-	control	210	CAPTURE_IN[3]	-	control	61
	P76	bidir	209		P195	bidir	60
D[31]	-	control	208	DCCLK_OUT	P197	output	59
	P77	bidir	207	R[0]	-	control	58
Bex[1]	-	control	206		P198	bidir	57
	P80	bidir	205	R[1]	-	control	56
A[17]	-	control	204		P199	bidir	55
	P81	bidir	203	R[2]	-	control	54
A[18]	-	control	202		P200	bidir	53
	P82	bidir	201	R[3]	-	control	52
A[19]	-	control	200		P201	bidir	51
	P83	bidir	199	R[4]	-	control	50
A[20]	-	control	198		P202	bidir	49
	P84	bidir	197	R[5]	-	control	48
A[21]	-	control	196		P203	bidir	47
	P85	bidir	195	R[6]	-	control	46
A[22]	-	control	194		P204	bidir	45
	P86	bidir	193	R[7]	-	control	44
A[23]	-	control	192		P205	bidir	43
	P87	bidir	191	G[0]	-	control	42
NDFL_ALE	-	control	190		P210	bidir	41
	P88	bidir	189	G[1]	-	control	40
NDFL_CLE	-	control	188		P211	bidir	39
	P89	bidir	187	G[2]	-	control	38
CS0x	P92	output	186		P212	bidir	37
CS1x	-	control	185	G[3]	-	control	36
	P93	bidir	184		P213	bidir	35
CS2x	-	control	183	G[4]	-	control	34
	P94	bidir	182		P214	bidir	33
CS3x	-	control	181	G[5]	-	control	32
	P95	bidir	180		P215	bidir	31
CS4x	-	control	179	G[6]	-	control	30
	P96	bidir	178		P216	bidir	29
CS5x	P97	output	177	G[7]	-	control	28
RDx	P98	output	176		P217	bidir	27
WRx	P99	output	175	B[0]	-	control	26
NDFL_BUSYx	-	control	174		P218	bidir	25
	P108	bidir	173	B[1]	-	control	24
NDFL_REx	-	control	172		P219	bidir	23
	P109	bidir	171	B[2]	-	control	22
NDFL_CEx	P110	output	170		P220	bidir	21
NDFL_WEx	-	control	169	B[3]	-	control	20
	P111	bidir	168		P221	bidir	19
NDFL_DATA[0]	-	control	167	B[4]	-	control	18
	P114	bidir	166		P222	bidir	17
NDFL_DATA[1]	-	control	165	B[5]	-	control	16
	P115	bidir	164		P223	bidir	15

NDFL_DATA[2]	- P116	control bidir	163 162	B[6]	- P224	control bidir	14 13
NDFL_DATA[3]	- P117	control bidir	161 160	B[7]	- P225	control bidir	12 11
NDFL_DATA[4]	- P118	control bidir	159 158	DISP_EN	P228	output	10
NDFL_DATA[5]	- P119	control bidir	157 156	TWI_SDA	- P229	control bidir	9 8
NDFL_DATA[6]	- P120	control bidir	155 154	TWI_SCL	- P230	control bidir	7 6
NDFL_DATA[7]	- P121	control bidir	153 152	UART_Tx[1]	- P231	control bidir	5 4
TSD_CSx2	- P122	control bidir	151 150	UART_Rx[1]	- P232	control bidir	3 2
	-	control	149	UART_Tx[0]	P233	output	1
				UART_Rx[0]	P234	input	0

표 3-33 Boundary Scan Cell Information

4 ELECTRICAL CHARACTERISTICS

Operation Conditions

<i>Parameter</i>	<i>Fast</i>	<i>Typical</i>	<i>Slow</i>
Core DC Supply Voltage (VDD)	1.98V	1.8V	1.62V
I/O DC Supply Voltage (DVDD)	3.60V	3.30V	3.00V
Junction Temperature	0°C	25°C	125°C

DC Electrical Characteristics

<i>Symbol</i>	<i>Parameter</i>	<i>Condition</i>	<i>Min</i>	<i>Typ</i>	<i>Max</i>
T _A	Operation Temperature		0°C	25°C	70°C
V _{IL}	Input Low Voltage	CMOS input	-0.5V		0.8V
V _{IH}	Input High Voltage		2.0V		5.5V
V _{IL}	Input Low Voltage	CMOS Schmitt input	-0.5V		0.8V
V _{IH}	Input High Voltage		2.0V		5.5V
	Hysteresis		0.021V ²		0.38V ²
I _{IL}	Input Current with Pull Up Resistor	V _{IN} = V _{IL} max, DVDD=MIN	-50μA ^{3,4,5}		
I _{IH}	Input Current with Pull Down Resistor	V _{IN} = V _{IH} MIN, DVDD=MIN	+50μA ^{3,4,5}		
I _I	Input Leakage Current	DVDD=MIN V _{IN} =V _{SS} or 3.6V	-10.0μA		+10.0μA ⁵
V _{OL}	Output Low Voltage	I _{OL} = -2, -4, -8, -12, -16, -24 mA	0.0V		0.4V
V _{OH}	Output High Voltage	I _{OH} = 2, 4, 8, 12, 16, 24 mA	2.4V		3.6V
I _{OZ}	Off-State Leakage Current	DVDD=MIN V _{IN} =V _{SS} or 5.5 V	-100μA		+100μA ⁶

표 4-1 DC Specifications 3.3V I/O, 5.0V Tolerant

^{1.} When the ring voltage is 3.3V (typical), CMOS voltage levels and LVTTL voltage levels are the same. Therefore, any I/O cell with CMOS voltage level can be used for LVTTL voltage level. For further information about LVTTL and CMOS output specifications, refer to "Interface Standard for Nominal 3V/3.3V Supply Digital Integrated Circuit" (the latest JEDEC spec).

^{2.} Hysteresis value will be determined after characterization.

^{3.} These are targets. The actual values will be determined after characterization.

^{4.} These are simulated values.

^{5.} DVDD is ring DC supply voltage as stated in the Operating Conditions table.

^{6.} For I/O pins, IOZ includes input leakage.